

I. 서 론

PCB의 제작은 모든 전기·전자회로의 구현에 필수적인 과정으로서 설계된 회로가 실제로 구현되는 단계이다. 일반적으로 PCB제작에 사용되는 레이아웃 설계 CAD는 각 부품들간의 연결관계를 정의하는 네트리스트를 이용하여 기판 상에 구현하는 선로의 물리적인 연결방법만을 설정하여 준다. 그러나 최근에는 사용되는 신호의 주파수 증가와 소형화로 인하여 집적회로(IC)레벨의 설계에서 뿐만 아니라 PCB레벨의 레이아웃설계에서도 신호의 지연이나 반사, 누화 등으로 인한 EMI문제가 발생하고 있다. 이는 PCB 레이아웃 설계용 CAD들도 네트 선로의 형태와 기판의 구성 등에 따른 SI(Signal Integrity) 해석이나 EMI규제에 대응하기 위한 복사파의 예측기능이 필요하다. 본 고에서는 PCB레벨의 설계에서 각종 EMI문제를 예측하기 위하여 당 연구원에서 개발 중인 PEMAS(EMI Analysis System for Printed Circuit Boards)시스템에 대한 기능과 사용 예를 소개한다.

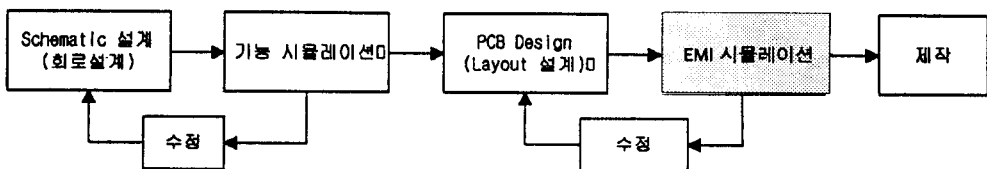
II. PEMAS 시스템의 구성과 기능

PCB의 제작은 모든 전기·전자회로의 구현에 필수적인 과정으로서 설계된 회로가 실제로 구현되는

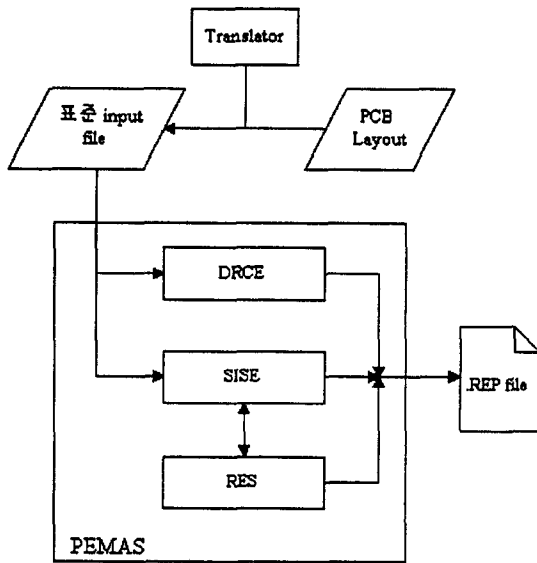
단계이다. 기존의 PCB제작은 각 부품들간의 연결관계를 정의하는 schematic 데이터를 이용하여 이를 실제 기판상에 구현하는 선로의 물리적인 연결방법만을 정의하여 PCB를 제작하였다. 그러나 회로가 집적화되고 사용신호의 주파수가 높아짐에 따라 신호의 특성을 결정하는 요소가 schematic 데이터를 뿐만아니라 소자들을 전기적으로 연결하는 선로의 형태와 기판의 구성방법에 따라라도 신호의 파형이 변화하게 되었다. 이러한 영향은 회로설계시에 고려되지 않은 효과로서 회로의 기능을 저하시키거나 오동작을 일으켜 전자과 장애현상을 발생시킨다. 회로를 기판상에 실제로 구현할 때에 나타나는 상기한 것과 같은 결과를 설계 단계에서 예측하기 위해서는 PCB설계의 결과로써 나타나는 전기적인 영향을 시뮬레이션할 수 있는 EMI시뮬레이터가 필요하다. 이러한 시스템을 이용한 PCB의 설계 단계를 표현하면 [그림 1]과 같다.

2-1 시스템의 구성

본 장에서는 PCB 설계시에 고려해야하는 상기한 항목들을 CAD들과 연동하여 이용할 수 있도록 당 연구원에서 구현한 PEMAS에 대하여 기술한다. PEMAS은 PCB설계자들이 사용하는 레이아웃 설계용 CAD와 연동하여 설계단계에서부터



[그림 1] PCB 설계시의 EMI를 예측하기 위한 순서도



[그림 2] PEMAS 시스템의 구성

EMI문제를 해결할 수 있도록 EMI문제를 종합적으로 분석하여 설계시에 고려해야 할 정보를 제공하는 시스템이다. PEMAS은 설계규칙 DB를 이용하여 예상되는 문제점을 예측하는 DRCE(Design Rule Checker under EMI constraints), 사용자가 선택한 네트에서 인가되는 신호에 따른 신호파형을 해석하는 SISE(Signal Integrity Simulator for EMI on PCBs), 해석된 신호파형으로부터 외부로 복사되는 전자파의 강도를 계산하여 EMI 규제치와 비교할 수 있게 해주는 RES(Radiated Emission Simulator) 등으로 구성한다. PEMAS은 레이아웃 CAD의 출력화일을 표준입력화일로 변환하여 EMI문제를 확인하는데 필요한 네트와 부품들의 정보를 인식할 수 있도록 하였다. 따라서 어떠한 CAD라도 표준 입력화일로 바꾸어주는 변환기만 제작하면 호환성을 가진다. PEMAS의 출력화일은 텍스트 형태로 구성하여 사용자가 직접 읽어서 이해할 수 있도록 하였다.

1) DRCE (Design Rule Checker under EMI constraints) 블럭

PCB설계시에는 모든 구조적인 특성을 동시에 고려하여 전자기적인 영향을 해석하기가 현실적으로 불가능하다. 그러나 경험적으로나 단순화된 모델링 등을 통하여 EMI영향을 최소화하기 위하여 요구되는 일반적인 설계규칙이 여러 가지 알려져 있다. 실제적으로 대부분의 PCB설계시에는 이러한 경험적 지식을 적용하여 적층이나 배선 등이 이루어진다. DRCE은 일반적으로 알려진 EMI설계 규칙들을 데이터 베이스화하고 설계된 PCB기판을 검토하여 규칙에 위반되는 사항들을 기록하여 설계자에게 전달하는 기능을 수행한다.

2) SISE (Signal Integrity Simulator for EMI on PCBs)

SISE는 배치된 특정선로에 대하여 사용자가 임의로 신호를 인가하여 선로의 각 포트에 나타나는 신호의 파형을 시뮬레이션할 수 있게 하여 최적의 선로형태와 종단부하를 선택할 수 있도록 SI해석을 지원하는 블럭이다.

3) RES (Radiated Emission Simulator) 블럭

RES블럭은 SISE의 해석결과로 얻어진 선로의 전류분포를 이용하여 외부로 복사되는 전자파의 강도를 분석하여 선로의 배치에 따른 복사파의 강도를 예측할 수 있도록 하는 블럭이다.

2-2 PCB의 EMI분석 시스템의 기능

1) 설계규칙을 이용한 DRCE블럭의 EMI 검증

PCB설계시에 발생하는 EMI는 선로의 길이나, 폭, 두께, 좌표, 기판의 유전율, 이웃 선로와의 결합, 연결된 부품, 신호를 주고받는 드라이버와 리시버 등의 여러 가지 특성이 종합적으로 반영되어 나타난다. 따라서 이러한 영향을 고려하기 위해서는 상호간의 전자기적인 영향을 해석할 필요가 있다.

이를 정확히 해석하기 위해서는 여러 가지 전자파 해석 도구를 이용하여 전기적인 파라미터를 추출하고 이를 이용하여 각 부분의 SI해석을 실시해야 한다. 그러나 이러한 해석은 실제회로를 해석에 필요한 형태로 정확히 모델링하는 데에 한계가 있을 뿐 아니라, 상용 전자파 해석도구를 이용하더라도 해당분야의 지식을 가지고 있어야 하고 해석시에도 많은 시간을 요하는 등의 문제로 인하여 PCB설계 현장에서 활용하기 어려운 점이 많다. 일반적으로 PCB에서 발생하는 EMI문제는 상기한 정확한 해석을 하지 않더라도 일반적으로 알려진 몇가지 규칙에 충실할 경우에는 많은 부분을 해결할 수 있는 것으로 알려져 있다. 따라서 설계된 PCB 데이터를 이용하여 설계규칙의 준수 여부를 판단하는 것만으로도 많은 문제점을 사전에 예방할 수 있다.

PEMAS의 DRCE블럭에서 검증하는 항목들과 그 기능은 다음과 같다.

(1) 다층기판의 적절한 층 배치

다층기판의 PCB를 설계할 경우에는 신호선이 있는 신호층, 전원선로가 분포되어있는 전원층과 접지층의 적절한 배치로 여러 가지 EMI 문제를 줄일 수 있다. 사용되는 기능에 따라서 적절한 배치가 달라질 수 있으므로 정형화시킬 수는 없지만 일반적으로 다층기판의 수에 따른 적절한 배치가 알려져 있다^[1]. 신호층을 배치할 때 일반적인 규칙 중의 한가지는 고주파 신호가 전달되는 신호층일수록 플랜(접지층, 전원층)에 인접한 신호층에 배치해야 한다. 이는 플랜에 인접한 신호선을 플랜의 영상평면 효과로 인하여 자속상쇄(flux cancellation)를 얻게되므로 인접한 선로와의 결합과 외부자속으로 인한 유기전류의 감소 및 접지면의 인덕턴스 증가로 인한 지연을 최소화할 수 있기 때문이다.

(2) High-speed 신호선로의 설계

고속 신호가 전달되는 클럭선로 등은 여러 가지 EMI문제가 발생할 가능성이 가장 높은 선로이다.

높은 주파수의 신호가 전달되는 선로는 신호의 파형왜곡에 취약할뿐 아니라 복사파로 인한 EMI문제가 발생하는 대표적인 소스가 된다. 이러한 고속 신호선로는 관련되는 부품의 배치와 선로의 좌표설정 및 선로의 형태변화(선폭, Via) 등을 고려하여 설계해야 한다.

설계자는 신호의 결합과 파형왜곡을 최소화시키는 SI측면의 대책과 복사파를 최소화시키는 등의 두 가지를 집중적으로 고려하여 설계해야 한다. 클럭신호와 같은 고속 선로는 접지면에 근접하도록 배치하고 I/O포트나 주변기기로 연결되는 케이블로부터 멀리 배치해야 한다. 이는 I/O포트나 케이블들은 큰 루프를 형성하기 쉽고 이로 인하여 외부 신호에 취약한 구조를 하고 있으므로 높은 주파수의 클럭신호가 다른 선로에 쉽게 결합될 수 있기 때문이다. 고주파신호를 발생시키는 발진기와 RF회로들은 같은 기판내에 집중적으로 배치하고 리드선이 있는 부품 패지키지들의 사용을 최소화할 수 있도록 설계한다. 리드선의 인덕턴스성분은 SSN(Simultaneous Switching Noise)으로 인한 EMI와 같은 접지면의 불안정을 초래하여(GND Bounce 현상 등으로 인한 접지신호의 불안정) 회로의 오동작 원인이 될뿐 아니라 복사전자파를 증가시키는 원인이 된다. 또한 클럭 및 RF신호가 발생하는 부품이 밀집된 영역에는 국부 접지면을 만들어서 고주파 신호가 직접 공간으로 복사되는 것을 방지하도록 한다.

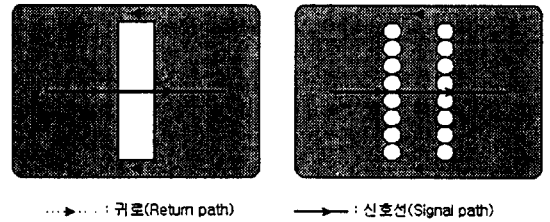
선로의 길이는 고속 선로를 배치할 때 가장 중요한 부분이다. 기존의 저주파 신호의 경우에는 신호의 지연은 게이트를 통한 지연이 중요한 성분이었으나 사용신호의 증가로 인하여 게이트 레벨의 신호지연뿐만 아니라 선로를 통하여 전달되는 지연시간이 중요한 성분으로 등장하였다. 일반적으로 선로의 길이는 아래와 같은 수식을 만족하는 길이로 제한하여 설계하여야 한다^[2].

$$L_{\max} = t_r v / 10 \quad (1)$$

상기식에서 t_r 은 신호의 상승시간을 v 는 신호의 전파속도를 나타낸다. 선로의 길이가 필연적으로 전기적으로 길어질 경우에는 적절한 드라이버와 리시버 부품의 단자에 적절한 종단 부품을 추가로 배치해야 한다. 이와 같은 경우를 대비하여 선로의 길이가 긴 고주파 선로가 연결된 단자의 패드에는 적절한 정합회로를 추가할 수 있는 패트를 추가적으로 설계하는 것도 제작 후의 디버깅을 위해서 효과적인 방법이다. 또한 선로의 길이와 더불어 고려할 사항은 선로의 특성 임피던스가 일정하게 유지되도록 배치하는 것이다. 특성 임피던스의 변화는 신호의 왜곡을 일으키는 원인이 되기 때문이다. 따라서 클럭선로 등은 Via를 통한 연결이나 불필요한 굴곡을 자제하고 최단거리로 배치하는 규칙을 지켜야 한다.

(3) 접지층의 불연속을 최소화

복사파로 인한 EMI문제에 대한 대책으로 가장 많이 이용되는 방법이 영상평면을 이용한 복사파 억제이다. 이는 영상평면이 신호선에 대한 귀로(return path)를 형성하고 영상전류에 의한 복사파의 상쇄효과를 얻을 수 있고, 낮은 선로의 특성 임피던스를 얻을 수 있는 장점이 있으므로 고속 PCB설계에 흔히 사용되는 방법이다. 이러한 접지층을 이용한 PCB설계시에는 선로가 대응되는 접지면 위에 있도록 배치해야한 효과를 기대할 수 있다. 접지층에는 Via의 사용이나 국부적인 동박의 사용등으로 인하여 불연속면이 존재한다. 이와 같은 불연속층을 통과하는 신호선에 대한 귀로는 최단거리를 형성할 수 없다. 이같은 경우에는 귀로에 추가적인 인덕턴스 성분이 형성되어 파형의 왜곡과 복사파를 증가 시키는 원인이 된다. [그림 3]은 접지면의 불연속과 여러개의 홀들이 형성한 불연속영역에 의한 귀로의 증가(Swiss cheese synthrome)를 도시하고 있다. 설계자는 신호선로가 그림과 같은 불연속면을 통과하지 않도록 설계해야 한다.



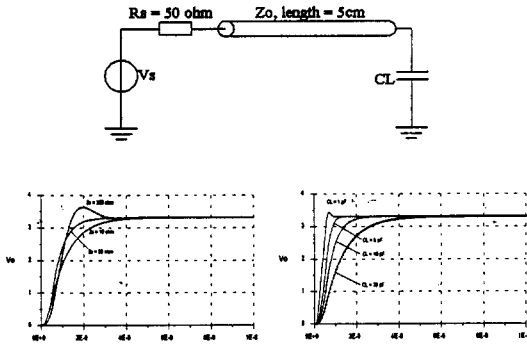
[그림 3] 접지면의 불연속으로 인한 귀로의 증가

(4) 전원층과 접지면의 가장자리 효과의 최소화

자계간의 결합으로 인하여 전원층과 접지층 사이에는 가장자리 효과로 인하여 고주파 신호의 복사효과가 나타난다^[1]. 이와 같은 현상을 방지하기 위해서는 전원층을 접지층보다 작게하여 자계를 접지층내로 집중시켜야한다. 자계가 집중되는 정도는 접지층과 전원층 사이 유전층의 높이(H)와 가장자리 간의 거리 차이에 따라서 결정된다. 일반적으로 전원층의 크기가 H의 20배 정도 더 작을 때 70%의 자속이 집중되는 것으로 알려져 있다. 이는 일반적으로 20-H rule로 알려져 있으며 플랜의 설계시에 가장 자주 적용되는 값이다.

2) SISE의 SI 해석을 통한 고속회로의 설계

근래의 디지털 제품은 사용되는 신호가 ~100 MHz에 이르는 고속소자를 이용하여 제작된다. 이러한 고속 제품을 제작하기 위해서는 설계단계에서부터 많은 경험과 기술을 필요로 한다. 고속신호를 사용하는 PCB설계시에는 신호의 반사와 결합현상등으로 인하여 전달되는 디지털 파형이 여러 가지 요소에 의하여 왜곡되는 현상이 발생한다. 따라서 클럭신호나 RF 주파수를 전송하는 선로는 PCB설계단계에서 예상되는 파형을 시뮬레이션하는 것이 중요하며 시간영역에서 파형의 변화를 해석하는 것을 SI(Signal Integrity)해석이라 한다. 예로써 상승시간이 0.5 nsec이고 3.3 V전압을 갖는 디지털 파형을 전송하기 위해 연결된 2 cm길이의 선로의 경우에 대하여 연결선로의 특성 임피던스와 용량성



[그림 4] 연결선로와 부하로 인한 전달파형의 변화

부하의 값에 따른 파형의 변화를 살펴보면 [그림 4]와 같다.

적절한 부하와 특성 임피던스를 설정할 경우에는 전달 파형의 왜곡이 거의 없는 PCB를 구현할 수 있다. 그러나 선로의 특성 임피던스가 적절하지 않을 경우에는 전달파형의 overshoot가 지나치게 크게 나타남을 확인할 수 있다. 또한 부하단에 연결된 용량성 부하(대부분의 고속소자에 사용되는 CMOS의 경우에 용량성 부하를 가짐)에 의해서도 파형이 변한다. 디지털 회로를 구현할 때 중요한 요소중의 한가지인 신호의 지연은 전달 지연(propagation delay)과 과도지연(transient delay)의 두 가지 요소로 구분할 수 있다. 전달지연은 선로의 길이에 의하여 결정되는 성분으로 선로의 길이로 조절할 있다. 과도지연의 경우에는 [그림 4]에서와 같이 파형의 천이에 소요되는 시간으로써 용량성 부하에 크게 의존한다. 따라서 고속신호가 흐르는 부하단의 경우에는 선로의 길이를 최소화하고 불필요한 기생 용량성 부하가 발생되지 않도록 부하단의 종단에 표면적이 넓은 패드를 사용하지 않도록 주의해야 한다.

SI해석을 위해서는 선로와 부품의 패키징에 따른 전자기적인 특성을 해석해야한다. 설계자는 적절한 도구를 선택하여 PCB를 제작하기 전에 선로의 배

치에 따른 기생소자의 특성을 시뮬레이션해 볼 수 있다. 이러한 도구를 이용할 경우에는 선로 각각에 대하여 구조적인 영향뿐만 아니라 부하단에 의한 영향까지 동시에 고려된 SI해석이 가능하다. 이러한 작업은 실제로 보드를 제작하여 실험할 경우에 디버그를 위해서 몇달씩 걸릴 수도 있는 문제를 보드의 제작없이 해결할 수 있는 능력을 제공한다. 이러한 도구를 사용하는데 있어서 가장 중요한 점은 시뮬레이터가 실제상황을 모델링하는 정확도이다.

전통적으로 사용되어온 회로설계용 시뮬레이터들도 SI해석에 이용된다. Spice, HSpice, Pspice 등은 주파수에 의존하지 않는 전기적으로 선형특성을 가진 선로에 대한 SI해석에 유용하게 사용된다. 또한 회로 라이브러리의 드라이버와 리시버의 전기적인 등가회로를 바로 이용할 수 있으므로 추가적인 소자별 라이브러리가 요구되지 않는다. 따라서 선로의 모델링이 정확할 경우에는 비교적 오차가 적은 SI해석이 가능하다.

구체적인 신호의 파형을 해석하는 시뮬레이터로써 PCB를 구성하는 구조적인 데이터뿐만 아니라 사용된 부품의 전기적인 특성에 대한 라이브러리를 필요로한다. PEMAS에서는 선로의 굴곡이나 Via 등으로 인한 불연속에 대한 등가회로를 구하여 SPICE로 파형을 시뮬레이션한다. 등가회로 값은 Quasi-static 해석을 통하여 얻어진 특성을 DB화하여 사용한다. PCB에서 사용되는 주파수는 수100 MHz 정도이므로 수mm단위로 구성된 불연속은 정적인 해석에 근거한 결과로 근사적인 결과를 얻을 수 있다. 일반적으로 불연속부분의 구조적인 크기가 사용 중인 파장보다 충분히 작을 경우에는 근사적인 결과를 기대할 수 있기 때문에 정적해석을 통한 등가회로도 PCB레벨의 SI해석에서는 충분한 근사화를 기대할 수 있다. 보다 정확한 해석을 위하여 사용자가 임의로 특정 굴곡부분에 대한 등가회로를 편집할 수 있도록 기능을 지원한다.

3) RES블럭의 복사과 강도의 예측

EMI에 대한 규제는 복사되는 전자파의 강도를 기준으로 하여 시행된다. 따라서 시뮬레이션된 결과를 효과적으로 이용하기 위해서는 파형의 왜곡을 방지할 수 있을 뿐만 아니라 복사되는 전자파의 강도를 최소화해야 한다.

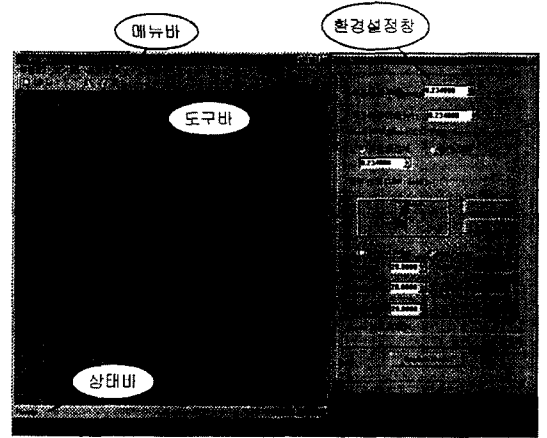
선로에 유기되는 전류 파형의 리플이 심한 경우에는 복사파의 강도도 증가하므로 SISE블럭과 연동하여 최적의 파형을 얻고 이를 통하여 복사되는 전자파의 강도를 조절할 수 있다. RES는 SISE와 연동하여 사용된다. SISE블럭의 시간영역에서 해석된 전류분포와 표준입력화일의 선로 좌표정보를 이용하여 선로를 와이어 안테나로 모델링하여 외부로 복사되는 전자파의 강도를 계산한다. 복사전자파를 측정하는 위치와 측정방법 등은 CISPR에서 정한 바를 이용하고 사용자가 임의로 위치와 주파수대역을 선택할 수 있는 기능도 지원하도록 한다. 해석된 결과는 CISPR, FCC 및 기타 사용자가 지정한 규제레벨과 비교하는 기능을 제공하여 설계단계에서 EMI규제에 대응할 수 있는 기능을 제공한다.

III. PEMAS의 활용 예

3-1 시스템의 초기화면

[그림 5]는 구현된 PEMAS시스템의 초기 화면을 나타낸다.

사용자와의 인터페이스를 구성하는 부분으로 검증에 필요한 PCB 데이터의 입력이나 전기적인 데이터를 입력하기에 편리하도록 구성하였다. 전체 GUI는 검증을 실행하는 메인창과 환경설정창으로 구성된다. 메인창은 사용자의 편의성을 증대시키기 위해서 메뉴바 외에 도구바와 상태바를 두었다. 화면의 리소스는 한글/영문으로 변환할 수 있도록 하였다. [그림 5]와 같이 창은 메인창과 환경설정창 두 가지로 구분된다. 메인창은 입력된 데이터를 이

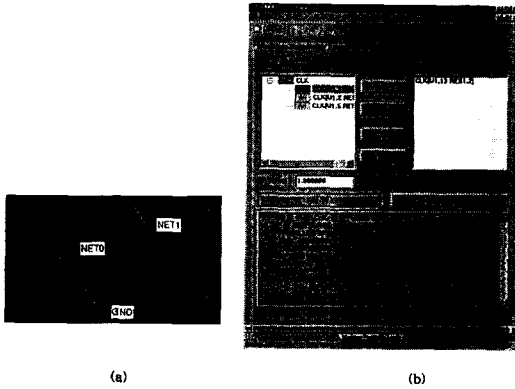


[그림 5] PEMAS의 초기화면

용하여 실제로 EMI 관련 항목을 검증하는 실행화면이다. PCB 데이터가 입력되면 검증항목을 선택할 수 있는 탭이 하단에 나타나도록 하였다. 사용자는 입력된 파일에 대하여 여러 가지 검증항목별 이용을 하단의 탭을 선택하여 이동할 수 있다. 일반적으로 레이아웃 설계용 CAD들은 선로와 부품의 배치를 정의하기 위한 기하학적인 정보만을 포함하고 전원이나 선로의 전기적인 특성을 포함하지 않는다. EMI는 전자기적인 현상으로 나타나는 현상이므로 각종 전기적인 파라미터를 설정해야 한다. 환경설정창은 EMI를 검증하기 위해 요구되는 선로의 도전율이나 기판의 유전율 신호선과 전원선의 구분 및 클럭신호의 상승시간 등 각종 EMI검증에 필요한 전기적인 파라미터를 설정하는 창이다. 현재, DRCE모듈의 기능이 완성되었으며 SISE블럭을 금년 중 개발 완료할 예정이다.

3-2 PCB패턴의 넷길이에 따른 EMI 예측 예

본 절에서는 구현된 PEMAS를 이용하여 설계된 PCB의 선로 길이를 검증하는 예를 보인다. [그림 6]은 입력된 파일로부터 넷를 선택하고 검증을



[그림 6] PEMAS의 선로 길이 검증결과
(a)시험용 PCB구조, (b)검증결과

실행한 화면이다. Net0과 Net1은 신호선로를 나타내며 GND는 접지선로를 나타낸다. PEMAS에서는 신호선에 대해서만 선로길이에 따른 문제점을 검증한다. 길이의 검증에 필요한 신호의 상승시간과 기판의 유전율 등은 환경설정창에서 입력한 데이터를 이용하여 검증한다. 화면상단은 네트리스트를 나타내며 하단의 텍스트는 출력된 결과이다. 결과는 텍스트형태의 report파일로 출력시킬 수도 있으며 <표 1>은 결과를 나타낸다. 이로부터 제작에 앞서서 설계된 레이아웃들 중에서 EMI문제가 발생할 가능성이 높은 선로를 확인하여 PCB설계의 효율을 증대시킬 수 있다.

<표 1> PEMAS를 이용한 [그림 5]의 PCB에 대한 선로길이 검증 결과

검증네트	결 과	비 고
Net0	<p>**** [네트 이름: NET0, 경로 : U1.5 U2.1] ****</p> <p>세그먼트 [0]좌표:(-1425,275)-(-1250,275) :</p> <p>총길이=175.500000</p> <p>선로 타입: MicroStrip</p> <p>길이:175.500000 [Mil]</p> <p>GroundPlane1=Mid2</p> <p>신호레이어:Top</p> <p>GroundPlane2=***</p> <p>***요구길이:2,638, 배선 총길이:175 : <<배선 OK>></p>	적절한 길이임을 표시
Net1	<p>**** [네트 이름: NET1, 경로 : U1.7 U3.7] ****</p> <p>세그먼트 [0]좌표:(-1525,575)-(-1525,900) :</p> <p>총길이=375.500000</p> <p>.[중략]</p> <p>세그먼트 [2]좌표:(475,-125)-(425,-125) :</p> <p>총길이=84.500000</p> <p>선로 타입: MicroStrip</p> <p>길이:50.500000 [Mil]</p> <p>GroundPlane1=Top</p> <p>신호레이어:Top</p> <p>GroundPlane2=***</p> <p>***요구길이:1, 배선 총길이:3670 : <<배선 길이를 줄여야 합니다>></p>	네트길이를 줄이라는 메시지를 출력

IV. 결 론

상시한 바와 같이 당 연구실에서는 PCB 설계시에 발생할 수 있는 EMI문제를 설계단계에서 예측할 수 있는 시스템을 제작하고 있다. 본 시스템은 각종 정보기기의 사용 클럭이 높아지고 집적도가 증가함에 따라 이제까지 집적회로 설계시에만 주로 관심의 대상이던 연결선(interconnect)의 해석기술을 보드레벨의 PCB설계에 적용하였다. 개발 중인 PEMAS는 다중 선로에 대한 해석을 효과적으로 실시할 수 있도록 선로의 결합현상을 매크로 모델로 표현하여 현재 회로해석에 널리 사용되고 있는 SPICE와 호환성을 갖도록 하여 사용자의 편의를 높히도록 하였다. 제작완료된 PEMAS의 DR-CE블럭은 각종 설계규칙에 대한 준수여부를 검증하는데 활용할 수 있음을 확인하였으며 기타 블럭의 기능도 금년내에 완성할 계획이다.

고속 PCB를 설계할 때는 사용하는 시뮬레이터는 실제 발생하는 상황을 모델링할 때의 정확도가 중요하다. 따라서 시뮬레이터를 본격적으로 사용하기 전에 저속의 논리소자에 선로길이를 길게 배치하여 시뮬레이터와 실제 상황을 비교해보는 것이 효과적이다. 결과에 오차가 크게 나타날 경우에는 선로의 모델링에 문제점이 있을 수 있으므로 이를 보완한 후에 시뮬레이터를 사용하도록 해야 한다. 또한 일반적으로 디지털 신호의 상승시간에 수nsec 단위의 고속신호일 경우에는 소자와 선로의 특성과

패키징으로 인한 효과도 고려되어야 한다. PEM-AS에서는 이러한 여러 가지에 대한 문제점을 고려할 수 있도록 기능을 확장시킬 계획이며 이를 PCB 설계단계에 활용할 경우 각종 EMI문제를 해결하는데 효과적으로 이용될 수 있을 것으로 기대된다.

참고문헌

- [1] Mark I. Montrose, *Printed Circuit Board Design Techniques for EMC Compliance*, IEEE Press, 1996.
- [2] Slobodan Simovich, Sharad Mehrotra, Paul Franz, and Michael Steer, "Delay and Reflection Noise Macromodelings for Signal Integrity Management of PCBs and MCMs," *NCSU Technical Report*, NCSU-VLSI-93-09.
- [3] Howard Johnson, "Planning for Signal Integrity," pp.135-136, *Electronic Design*, vol. 45, no. 10, May 1997.
- [4] Mustafa Celik, C.Cangellaris, and Abdul Yaghmour, "An All Purpose-Line Model for Interconnect Simulation in SPICE," *IEEE Trans. on Microwave Theory and Techniques*, pp.1857-1867, Oct. 1997.
- [5] Syed B. Huq, "Easy System Simulation with IBIS Device Models," *Electronic Design*, pp.93-108, Dec. 1996.