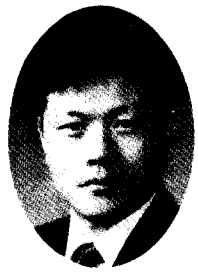
FED 기술 및 연구 개발 동향

주병권
KIST 정보재료·소자센터 선임연구원. 관심분야:Vacuum Microelectronics(FED) 및 MEMS(Si micro machining).

이윤희
KIST 정보재료·소자센터 선임연구원. 관심분야:ELD 및 FED (Thin film phosphor/insulator)

오명환
KIST 책임연구원, 연구기획조정부장. 당 학회 부회장. 관심분야: Vacuum Microelectronics (FED)/ MEMS 및 ELD.



이남양
오리온전기(주) 평판연구실 책임연구원. 관심분야:평판표시소자(FED, ELD) 및 박막형성메카니즘

1. 서 론

큰 부피와 무거운 중량으로 대표되는 CRT 고유의 한계점을 극복하기 위해, 평판 표시기(Flat Panel Display : FPD)가 등장하게 되었는데, 현재 기술 및 시장성 면에서 자리를 공고히 하고 있는 LCD(Liquid Crystal Display)를 비롯하여 PDP(Plasma Display Panel), VFD(Vacuum Fluorescent Display), ELD(Electroluminescent Display) 등이 이에 속한다. 이들 중 하나가 FED (Field Emission Display)로 최근에 이르러 그 연구 개발이 더욱 가속화 되고 있다.

이러한 FED의 기술적 배경을 거슬러 올라가 보면, 이미 1960년대 중반에 그 연구가 시도된 바 있으나, 전계 방출용 팁의 과도한 손상과 형광체 기술의 부족으로 좌절되었으며, 이후로 극히 미미한 수준의 연구만 진행되어 왔다. 그러다가 프랑스의 국립 연구소인 LETI가 독자적으로 수 년 동안 집중적으로 연구를 수행한 결과 소자의 구조, 전계 방출용 팁, 그리고 형광체 기술에 있어서 획기적인 개선을 이루었으며, 이로서 FED는 새로운 탄생을 맞이하게 되었다. 1992년 7월에 FED 전문 회사인 Pixel International(지금은 PixTech으로 개명되었음.)이 설립되었고, 그 해 9월에 LETI로부터 관련 특허들을 전수받아 1993년에 칼라 FED 시제품을 최초로 발표한 바 있다.

본 고에서는 2000년대 진입을 목표로 평판 표시기 시장에 강력히 도전하고 있는 FED와 관련하여, FED 동작 원리 및 장단점, FEA(Field Emitter Array) 소자 및 제조 공정, FED 회사들의 연구 개발 동향 등에 관하여 간단히 피력하고자 한다.

2. FED의 동작 원리

그림 1을 이용하여 FED의 동작 원리를 간단히 설명하면 다음과 같다. 전계 방출용 팁과 게이트 전극간에 충분한 전압이 인가되면 전자들이 팁으로부터 양자역학적인 터널링 과정을 통해 방출된다. 이 때 게이트 전압은 전자의 흐름을 제어하기 위해 20~60 V 정도의 범위에서 조절되며, 소자를 ON/OFF 하는 작용도 한다.

방출된 전자들은 양극 전압에 의해 양극쪽으로 가속되어 형광체에 충돌하게 된다. 에너지가 형광체에 충돌한 전자들로부터 형광체 내의 원자들로 전달됨에 따라 이들 원자 내의 전자들이 여기 되었다가 다시 기저 상태로 떨어지면서 광을 발생한다.

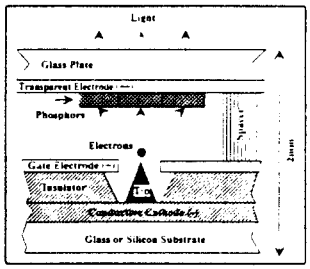


그림 1. 마이크로 팁 FEA를 이용한 FED 패널의 단면 구조

이상에서 살펴본 바에 따르면 기본 구조와 동작 원리면에서 FED는 CRT와 매우 유사하나 몇 가지의 다른 점이 있다. 즉, CRT가 단지 한 개의 전자 방출원을 사용하는 반면, FED는 매우 작은 전자 방출원들을 어레이화 하여 적용하고 있다. CRT는 방출된 전자 빔을 화면 상에 주사(scanning)함으로써 상을 형성하나, FED는 각 픽셀당 수 백 개의 전자 방출원들을 가지고 있어 주사 방식이 불필요하다. 아울러 CRT가 열 음극을 갖는데 반해 FED는 냉 음극을 갖는다는 점도 다르다.

3. FED의 장점 및 해결해야 할 문제점

여타 평판 표시기들과 비교할 때 FED가 갖는 장점들을 기술하여 보면 다음과 같다.

1) CRT와 동일하며 우수한 발광 기구인 음극선 발광에 의해 동작한다. 즉,자체 발광이고, 고 휘도 및 full color화가 가능하며, 시야각이 넓다(>160°).

2) 효율이 높다. 즉, 단색일 경우 20 lumens/watt, 칼라일 경우 15 lumens/ watt 이상의 휘도를 얻을 수 있다.

3) 높은 공간 분해능을 가지며 픽셀 단위의 어드레싱이 가능하다.

4) 단위 픽셀 내에 다수의 전자 방출원이 있어 이의 일부분이 손상되어도 동작에 큰 영향을 받지 않는다.

5) 방출 전류가 크고 이의 조절 범위가 넓다.

6) 동작 속도가 빠르며 온도 의존성 및 외부 방사선 의존성이 적다.

7) 히터가 불필요하고, 반도체 공정으로 제작되며 매우 얇게 만들 수 있다.

현재까지의 기술 개발을 통하여 예측되는 FED의 성능을 TFT-LCD와 비교하여 표 1에 나타내었다. 이를 살펴보면 시야각, 휘도, 동작 속도, 소비 전력, 패널 두께, 그리고 동작 온도 범위 면에서 FED가 상대적인 우월성을 지니고 있음을 알 수 있다. 아울러 이러한 우월성이 현실화되기 위해서는 화면의 크기와 가격 등에서 보완될 점도 많음을 알 수 있다.

표 1. TFT-LCD에 대한 FED의 성능 비교[1-3]

	Color TFT-LCD	FED
Viewing angle	100°	160°
Maximum screen brightness	70 cd/m^2	> 200 cd/m^2
Emission efficiency	4 ~ 6 lm/W	4 ~ 6 lm/W (10 ~ 15 lm/W also developed)
Contrast ratio	60:1 ~ 100 : 1	> 100 : 1
Response time	several dozen ms	several μs
Power consumption (at 60 cd/m^2)	4 W (10.4 inch)	< 1 W (10 inch)
Panel thickness	8 mm	2.4 mm
System thickness	23 mm	6 ~ 10 mm
Weight	0.33 Kg	< 0.2 Kg
Operating temperature range	0°C ~ 50°C	-45°C ~ 85°C
Maximum screen size (1996)	28 inches	10 inches
Price	US$ 500 (10.4 inch)	Target is same as TFT-LCD panel

FED가 지니고 있는 기술적인 문제점들 또한 적지 않은데, 이는 향후 해결해야 할 요소 기술들에 해당함은 물론이다. 특히 전계 방출 특성의 안정성 개선이 그 중 하나로, 동작 중에 팁의 구조적인 변형이나 진공도의 변화 등이 그 요인이 된다. 또한, 대면적·고 분해능 리소그래피 기술과 고온 공정 기술이 요구되며, 저 전압-고 효율 형광체와 고전력 구동 회로 등도 개선 혹은 개발되어야 할 기술이다.

4. 전계 방출 소자

전계 방출 소자(field emitter)는 FED에 있어서 냉 음극 역할을 하는 소자로 "약 5×107 V/cm 정도의 높은 전계 하에서 표면 에너지 장벽을 통한 터널링에 의해 전자를 전계 방출시키는 소자 및 부품"으로 정의될 수 있으며, 마이크로머시닝을 비롯한 반도체 공정 기술로 제조된다.

그림 2는 이의 기본적인 구조로, 금속 팁 전계 방출 소자를 보인 것이다. 음극으로 작용하는 실리콘(혹은 금속 박막이 코팅된 유리) 기판 상에 전자 방출부에 해당하는 금속 팁이 형성되어 있다.

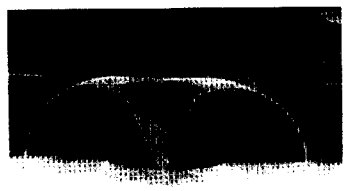


그림 2. 금속 팁 전계 방출 소자의 기본적인 모양

팁을 중심으로 하여 원형 모양으로 게이트 전극이 형성되는데, 여기에 전압을 인가함으로써 팁으로부터 전자 방출이 일어나게 된다. 게이트 전극과 음극이 형성된 기판 간에는 게이트 절연막에 의한 전기적 절연이 이루어져 있다. 이러한 전계 방출 소자 하나의 크기는 수 마이크론 정도로 이들이 모여 어레이(Field Emitter Array : FEA)를 이루고 있다.

FED를 비롯한 진공 마이크로 일렉트로닉스 분야에 효율적으로 이용하기 위하여 전계 방출 소자가 갖추어야 할 이상적인 요건들은 다음과 같다.

1) 방출 영역의 균일도 및 안정성 : 방출 영역이 서브 마이크론 이하의 오차로 가공 및 정의될 수 있어야 하며, 소자 동작 시 변형되지 않아야 한다.

2) 기계적-화학적-열적 내구성 : 진공 환경 내에서 일어날 수 있는 여러 요인들, 즉 이온 충돌, 잔류 기체와의 반응, 온도 상승, 그리고 방전 등에 견딜 수 있어야 한다.

3) 낮은 구동 전압 : 방출 전류를 조절하는 전압이 가능한 낮아야 하며, 이를 위해 낮은 일함수를 갖는 재료를 이용하거나, 공정이 허용하는 범위 내에서 게이트 전극-팁간의 거리를 줄이는 등의 방법이 고려될 수 있다.

4) 높은 방출 전류 : packing density를 줄이는 등의 방법을 통하여 가능한 높은 전류를 도출할 수 있어야 하는데, FED이외에도 진공 마이크로 소자로 응용하기 위해서는 최소한 10 A/cm2 정도의 전류를 도출할 수 있어야 한다.

5) 낮은 에너지 분산 : 방출된 전자들의 에너지 분산 정도가 종래의 열이온 음극에 상당하여야 하는데, 약 0.5 eV 이하의 값이 요구된다.

6) 낮은 전류 표동 : 방출된 전류의 표동이나 잡음이 소자의 성능을 훼손시키지 않을 정도로 적어야 한다.

7) 방출 특성의 재현성 : 각각의 소자들간의 특성이 균일하여야 하며, 요구되는 수명 범위 내에서 안정적이어야 한다.

8) 제조 공정성 : 제조면에서 볼 때, 공정이 간단함으로써 비용이 적게 들고 수율 및 생산성이 높아야 한다.

이상과 같은 점들을 고려하여 현재까지 사용되어 온 전계 방출 재료들을 살펴보면, 금속으로는 가장 고전적이고 범용성 있는 재료인 몰리브덴을 비롯하여 텅스텐, 크롬, 니켈 등이 있고, 반도체로서는 단결정 실리콘이 주종을 이루고 있으며, 다결정 실리콘이나 갈륨 비소도 보고되고 있다. 다음으로 관심을 끌고 있는 재료가 다이아몬드와 연관된 재료들로 단결정 및 다결정 다이아몬드, 다이아몬드 상 카본(Diamond-like Carbon : DLC) 등이 이에 해당한다.

이외에도 금속 실리사이드 계열이나 휘스커 재료들도 연구되고 있는데, WSi2, MoSi2, TiSi2, TaSis 등의 실리사이드의 경우 VLSI 공정에 있어서 게이트 전극 수준으로 이용될 정도로 연구가 심화되어 있을 뿐 아니라, 좋은 전기 전도도 및 전기적-열적-기계적 안정성으로 인해 전계 방출 재료로서의 이용이 기대되고 있다. Si 휘스커를 비롯한 소재는 그 형태가 전계 방출용 전극으로서 이상적인 모델에 가장 근접하다는 특징이 있어 이 위에 다이아몬드 관련 재료들을 도포하는 등의 연구도 진행 중이다.

전계 방출 소자의 모양은 여러 가지 독창적인 모델로 제안되어 오고 있는데 그 중 대표적인 것들은 원추형(cone- or point-type), wedge 형, 가장자리 형(edge-

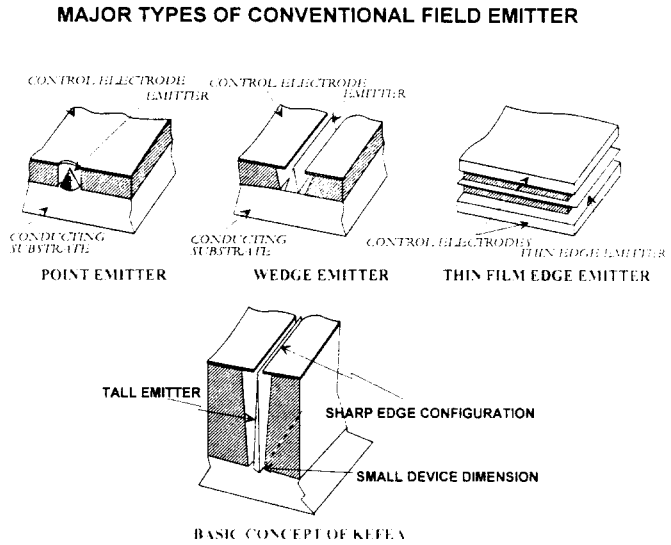


그림 3. 마이크론급 전계 방출 소자 기하학적 모양[4].

type), 화산형(volcano-type), 휘스커 형, 그리고 박막(thin-film)형 등으로 분류될 수 있다. 그림 3에 원추형, wedge 형, 가장자리 형, 그리고 휘스커 형(Knife-Edge FEA : KEFEA) 전계 방출 소자를 도시하였다.

용도에 따라 전계 방출 소자의 모양도 달라지겠지만, 공통적으로 중요한 요소는 낮은 인가 전압에서 높은 방출 전류를 도출하는 것이다. 낮은 인가 전압-높은 방출 전류-소자의 집적도를 고려한 성능 지수가 높고 아울러 안정한 온도 분포를 가질 수 있는 이상적인 방출 소자의 모양으로 "에펠 탑" 형 소자가 제안된 바 있다[3].

5. 마이크로 팁 전계 방출 소자의 제조 공정

5-1. Lift-off 공정 (Si-tip FEA)

실리콘 팁을 갖는 전계 방출 소자의 제조 공정은 여러 가지가 있지만 이들 중 lift-off 기술을 이용하는 방법이 대표적이라 할 수 있는데 이 공정은 그림 4에 보인 바와 같다. 먼저 실리콘 기판 상에 식각 마스크로 사용될 열 산화막을 성장시킨 뒤, 이를 패터닝한 다음 건식 식각을 행함으로써 실리콘 팁의 기본 모양을 완성한다. 이때 후속 공정을 위해 팁의 끝부분을 일정 폭으로 남겨놓는다. 다음으로 재 열산화 공정을 행하여 잔류한 실리콘을 뾰족하게 함과 동시에 희생층으로서 작용할 산화막을 성장시킨다. 게이트 절연막과 게이트 전극용 금속막을 순차적으로 증착시킨 뒤 희생층인 산화막을 제거함으로써 소자를 완성한다. 그림 5는 lift-off 공정을 거쳐 제작된 Si tip FEA panel을 보인 것이다. 이러한 공정 방법은 반도체 업계가 오랜 시간에 걸쳐

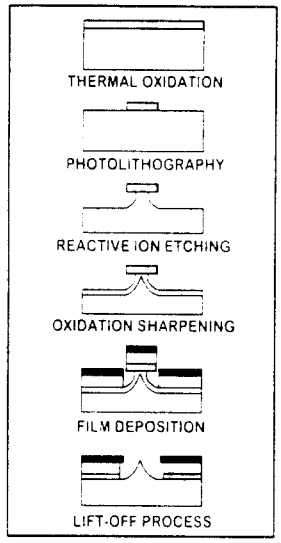


그림 4. Lift off를 이용한 자기 정렬형 실리콘 팁 전계 방출 소자의 제조 공정

축적하여 온 기술을 바탕으로 하고 또한 자기 정렬형이라는 특징도 있다.

5-2. Spindt 공정 (metal-tip FEA)

미국 SRI(Stanford Research Institute)의 C.A.Spindt 연구진에 의해 최초로 제안된 공정으로 그림 6에 보인 바와 같다. 먼저, 음극용 금속 박막이 형성된 유리 기판이나 실리콘 기판상에 게이트 절연막과 게이트 전극용 금속막을 순차적으로 증착한 뒤 패터닝한다. 다음으로 희생층을 증착하는데, 게이트 절연막의 측면에 코팅이 일어나는 것을 방지하고 아울러 게이트 홀의 모양을 조절할 수 있도록 증착이 일어나는 동안 일정한 입사각을 갖도록 기판을 기울인 뒤 회전시킨다. 이 과정이 끝나면 팁 물질로 사용될 몰리브덴을 기판에 대해 수직 방향으로 증착시키며, 이러한 증착 과정 중에 게이트 홀의 내부로부터 뾰족한 모양의 팁이 성장되는데, 이는 홀이 막힐 때까지 계속 자라게 된다. 최종적으로 희생층을 제거하게 되면 위에 덮인 몰리브덴 층이 함께 제거되고 이로서 전계 방출 소자가 완성된다.

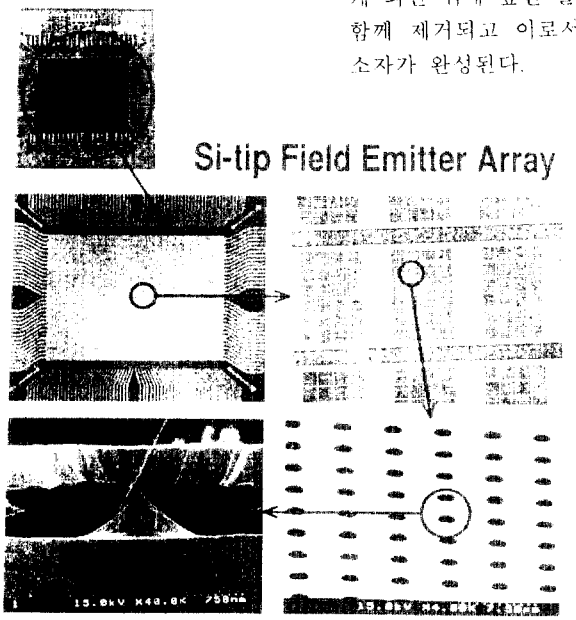


그림 5. Lift-off 공정을 거쳐 제작된 Si-tip FEA panel.

볼 수 있다.

6. FED 기술 개발 현황

현재까지 연구 개발 결과들을 대외적으로 비교적 활발히 발표하고 있는 회사들은 약 15~20 개사에 이르고 있다. 미국의 Candescent Technologies, FED Corporation, Micron Display-Technology(MDT), Motorola, Raytheon Electronic Systems, SI Diamond Technology(SIDT), 프랑스의 PixTech, 일본의 Canon, Fujitsu, Futaba, Hitachi, Matsushita, Mitsubishi, Pioneer, Toshiba, 한국의 삼성, 대우(오리온 전기) 등이 이에 해당한다. 이들 각 회사들의 FED 개발 계획은 1995년에서 1996년에 걸쳐 크게 바뀐 바 있으며, 1997년에 Nekkei 지에서 다시 한 번 수정? 발표되었는데, 각 회사들의 최신 FED 패널 사양과 개발 및 생산 계획을 요약하여 보면 표 2에 보인 바와 같다[6,7].

주목할만한 점을 살펴보면, Motorola가 1998년과 1999년에 각각 6 인치, 및 14 인치 FED 패널의 양산 개시를 밝혔으며, 1 인치급 초소형으로 특화 시켰던 MDT가 대형화를 착수하고, FED Co.는 양산 개시일을 당초 계획보다 3년 정도 늦추었으며, 10 인치급 개발을 계획했던 SIDT사가 공공용의 초대형 패널 개발로 목표를 수정한 점 등을 들 수 있다.

6-1. 미국

미국의 Candescent Technologies의 경우, 1991년도에 설립되었고, 실리콘 팁을 이용한 FED를 개발하고 있으며, Hewlett-Packard(HP)로부터 자금을 지원

표 2. FED 회사들의 패널 사양 및 개발/생산 계획 (1997 년 기준)[6,7]

회사명		최신 패널 사양					개발 및 생산 계획						비 고
		음극 구조	양극 전압	화면크기 (in)	화소수	휘도 (cd/m^2)	1995	1996	1997	1998	1999	2000	
미국	Candescent	원추형	고전압	4.5	320X240			2.3* 4.5	**5**** 12	**12**			* 개발 ** 생산
	FED Co.	원추형		2.54 mono	512X512	700				3~ 10	**3~ 10**		
	MDT	원추형		0.55 mono	548X222	51	1	**1**		**12.1**			
	Motorola	원추형	고전압	6	320X240				6	**6** 14	**14**		
	Raytheon		고전압										
	SIDT	평면형	저전압	3 color	4X4	> 1000							공공용 대형
프랑스	PixTech	원추형	저전압 고전압	10.5 color	640X480				**3~ 8.5**	15~ 20	**15~ 20** 40	**40**	
일본	Canon	평면형 (PdO)	고전압	10 color	240X240	690		10			40		
	Fujitsu	원추형 (Ni)	저전압	2	160X120	6	2						
	Futaba	원추형 (Mo)	저전압	5 color	320X240	~100	5						
	Hitachi	평면형 (MIM)		0.9 mono	30X30		0.9M						M:mono
	Matsusnita	평면형 (diamond)											
	Mitsubishi	원추형 (W on Si)											
	Pioneer	평면형 (MIM)											
	Toshiba	원추형 (LaB_6)	저전압										
한국	삼성	원추형 (Mo)	저전압	4 color	128X128	70		4C					C:color
	대우 오리온전기	원추형 (Mo)	고전압							4C			

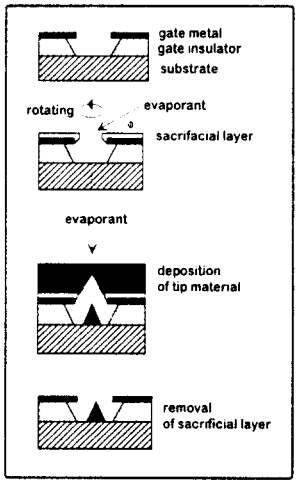


그림 6. Spindt 공정에 따른 금속 팁 전계 방출 소자의 제조 공정

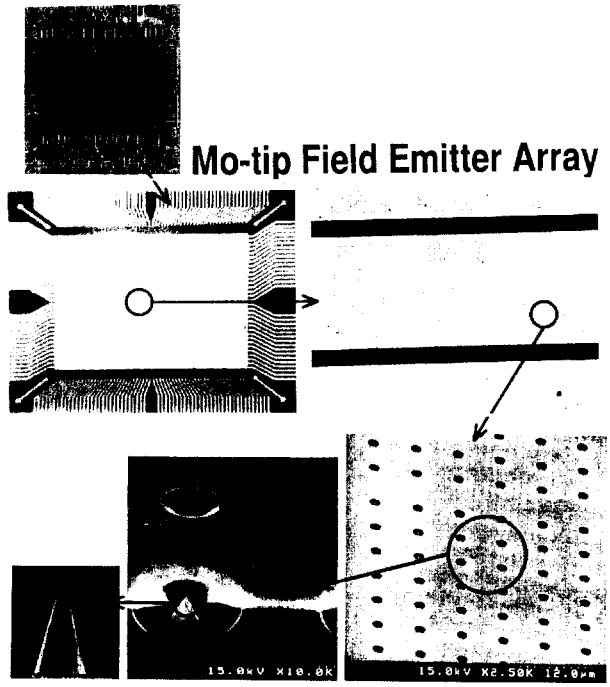


그림 7. Spindt 공정을 거쳐 제작된 Mo-tip FEA panel.

이러한 금속 팁의 재료로는 현재까지 몰리브덴이 주로 채택되고 있지만, 최근에 이르러 텅스텐이나 크롬 등에 관한 연구 결과들도 발표되고 있다. 금속 팁 재료로서 갖추어야 할 요건은 먼저 순수한 물질을 얻기가 용이하고 진공 증착 공정에 적합하여야 함은 물론 사용될 기판과의 점착성도 우수하여야 한다. 또한 습식 식각에 의해 희생층을 제거하는 과정에서 팁이 손상을 입지 않아야 하며, 융점이 높아야 하고, 진공 패키징을 할 때의 온도(약 400℃ 정도)에서 영향을 받지 않을 정도의 진공압이 요구된다. 아울러, 끝이 뾰족하게 될 수 있는 가공성을 지녀야 하고, 일함수의 값이 가능한 낮아야 함은 물론이다. 그림 7은 Spindt 공정을 거쳐 제조된 Mo-tip FEA panel을 보인 것이다.

이외에도 보다 향상된 특성을 갖는 전계 방출 소자를 제조하기 위하여 여러 종류의 공정이 개발되고 있는데, 예를 들어 몰딩을 이용하는 방법이나, 다이아몬드 관련 재료들을 이용하는 방법, 휘스커를 성장시키는 방법 등이 비교적 흥미로운 분야이다.

전술한 바와 같이 FED 용 FEA는 반도체 공정을 도대로 한 마이크로머시닝 기술로 제조되며, 대부분의 공정은 베모리 소자와 같은 기존의 반도체 소자 개발 과정을 통하여 확립이 되어 있다고 볼 수 있다. 그러나 FED가 14~16 인치 범위의 대면적으로 갈 경우, 즉 기존 웨이퍼 공정 한도를 넘어가게 되면 이로 인한 특수 공정들이 요구되며, 이 중 하나로 대면적으로 분해능 리소그래피를 들 수 있다. 현재에는 집적 회로의 경우 0.3~0.8 μm 수준이 확보되어 있으나 이는 최대 12 인치 직경의 실리콘 기판을 대상으로 한 경우이며, 대면적 FED의 경우 이보다 크고 상대적으로 거친 표면을 갖는 유리 기판 상에 0.5~2 μm 수준의 패턴들을 형성하여야 한다. 이는 기존의 TFT-LCD가 3~10 μm 정도의 리소그래피를 요구한다는 사실과 비교해 볼 때 상대적으로 어려운 기술임을 짐작할 수 있다.

이와 같이 대면적 FEA 용 리소그래피가 어려운 이유로는 여러 가지를 들 수 있지만 특히 패널의 크기가 증가하게 되면 노광 시간이 증가하게 되고 이로 인한 생산율이 저하된다는 점, FEA의 경우 원형 패턴을 필요로 하므로 집적 회로에 정의되는 사각형 패턴에 비해 더욱 정교한 공정을 요한다는 점, 대면적 유리 기판의 경우 표면의 평탄도나 거칠기 등이 고분해능 리소그래피 수준에 이르지 못한다는 점 등을 주 요인으로 꼽을 수 있다. 이의 해결을 위해 최근 LETI에서 개발된 micro-ball을 이용한 공정 등을 고려해

받고 있다. 이 회사에서 개발되는 FED 패널은 HP사의 제품에 탑재될 예정이며, 따라서 HP사의 요구가 제품의 규격에 영향을 미치고 있다. 이 회사는 1996년도 1월에 120×140 픽셀을 갖는 2.4 인치 칼라 FED 시제품을 선보인 바 있으며, 4 인치급 제품을 거쳐 최종 목표는 노트북 컴퓨터용 10~12 인치급 FED 패널을 개발하는 것이다.

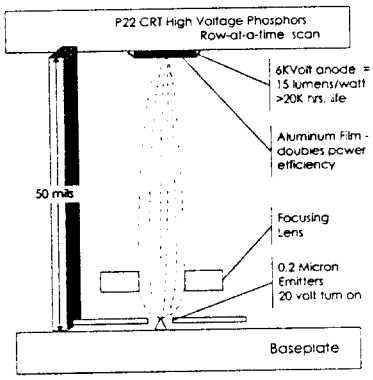


그림 8. Candescent Technologies의 TCRT 소자의 구조[8].

이 회사의 경우, FED라는 용어 대신에 thin CRT(TCRT)라는 명칭을 사용하는데, 그림 8에 보인 바와 같이 저 전압 형광체가 아닌 기존의 CRT 용 고 전압 형광체를 그대로 사용하는 대신에 양극에 인가되는 전압이 수 kV가 되도록 하고, 음극-양극 간의 거리도 50 정도의 큰 종횡비를 갖는 세라믹 스페이서를 이용하여 약 1 mm에 이르게 하고 있다. 기존의 CRT 용 형광체를 사용함으로써 가속 전압과 패널의 두께는 증가할지라도 형광체의 효율과 수명이 개선될 수 있다고 보고 있으며, 이와 함께 세라믹 스페이서 가공 공정, 초점 조절용 렌즈, 저 전압 구동용 FEA, 튜브가 없는 고 진공 패키징 기술 등을 개발 중이다. 현재까지 알려진 연구 협력 기관들은 HP, ATMI, SAIC, Planar Advance, AccuFab Systems, Florod, Johns Hopkins Univ., Lawrence Livermore Lab. 등이 있다.

FED Co.의 경우, 실리콘 팁을 이용하여, 1996년도에 2.54 인치급 단색 FED 시제품을 발표한 바 있으며, 후속 제품으로 7.1 인치급 칼라 FED 패널을 개발 중이다. 또한 미국의 MDT는 DRAM 제조업체인 Micron Technology, Inc.의 자회사로 실리콘 팁을 이용한 FED를 개발하고 있는데, 1994년도에 이미 0.7 인치급 칼라 FED 시제품을 발표한 바 있고 최근에 이르기까지 8~14 인치급의 모니터용 FED 패널을 개발하고 있다. CRT 생산업체인 Raytheon Electronic Systems도 FED 개발에 나서고 있는데, 특히 고 휘도 FED 패널을 개발 중에 있다. 최근 발표된 바에 따르면 4 인치 단색 및 6 인치 칼라 FED가 주 개발 품목으로 군용 장비 응용을 목적으로 하고 있다. SIDT는 레이저 어블레이션을 이용한 다이아몬드 증착 방법을 개발하였으며, 이로서 제조되는 AD(Amorphic Diamond) 박막을 전계 방출원으로 사용하는 다이오드 형 다이아몬드 FED를 연구 개발 중이다. 이를 이용한 1 인치급 단색 FED가 이미 2년 여 전에 발표되었으며, 최근에는 5 인치 급의 단색 FED 시제품을 선 보인 바 있다. 이와 함께 FED를 공공용 초대형 화면 및 고휘도 램프로 사용하고자 하는 연구도 병행 중에 있다.

6-2. 프랑스

프랑스의 PixTech은 이미 잘 알려진 바와 같이 FED 개발의 선두 업체이다. 이 회사는 1992년에 TI, Futaba, Raytheon, Motorola 등의 공동 출자 방식으로 설립되었고, 이 해에 LETI에 의해 개발된 FED 기술을 상업화하기 위한 계약을 체결하였다.

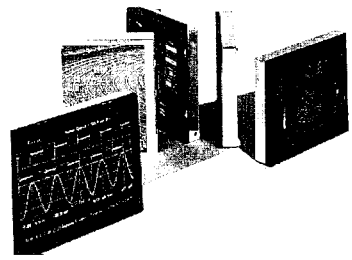


그림 9. PixTech에서 생산되는 FED 패널

이 회사는 설립된 이래로 현재에 이르기까지 금속 팁 FEA를 이용하여 5 인치에서 10 인치 크기를 갖는 단색 및 칼라 FED 시제품들을 꾸준히 선보이고 있다. 1996년도에는 10 인치급 칼라 FED 시제품을 선보인 바 있고, 아울러 5 인치급 단색 및 칼라 FED 패널을 계측기 용으로 주문 생산하고 있다. 그림 9는 PixTech에서 생산되는 FED 패널들의 일례를 보인 것이다.

6-3. 일 본

그동안 일본의 FED 개발은 PixTech과 컨소시움을 형성하고 있는 Futaba가 대표해 왔다고 해도 과언이 아니다. 이와 함께 1996년 이전까지만 해도 Osaka 대, 동북대등 일부 연구기관에서 소형 패널 개발을 중심으로 기초 실험 결과를 발표하는데 그쳤으나, 1996년을 기점으로 Canon을 비롯하여 Fujitsu, Hitachi,

Mitsubishi, Pioneer, Toshiba 등 여러 기업들이 앞 다투어 대 화면이 가능한 새로운 개념의 FED 패널에 관하여 발표하고 있다[6]. 즉, 이들은 지금까지 주로 연구되어 온 원추형 음극 대신에 새로운 개념의 평면형 음극을 도입하고 있다. 이러한 추세는, LCD가 우세한 영역인 10~20 인치 크기의 패널 영역보다는, LCD가 해결하기 어려운 벽걸이 TV 영역과 내환경성이 요구되는 군사용에 초점을 맞추는 것이 유리하다 점과 양산을 고려할 경우 가능한 공정을 단순화 시켜야 한다는 점을 배경으로 하고 있다.

최근 이들의 연구 개발 방향은 크게 두 가지 개념으로 분류할 수 있는데, Futaba를 비롯한 일부 회사들은 미국의 FED 개발 그룹들이 진행하고 있는 바와 같은 기존의 Spindt 형 또는 이를 개량한 형태의 원추형 전자원을 이용하여 패널을 제작하고 있으며, 다른 일부 그룹들은 평면형 음극을 이용하여 패널의 구조를 보다 간단히 함으로써 저가격-대면적 패널의 제작을 목표로 하고 있다. LCD 시장을 선점하고 있는 일본은 PDP 시장에서도 우위를 점할 것으로 보이며, 이와 함께 LCD 및 PDP 생산을 통해 얻은 know-how를 FED에 적용시킴으로써 양산의 경험이 적은 미국이나 유럽 기업들에 비해 보다 급속도로 FED의 제품화에 도달할 수 있는 잠재력이 있다.

일본의 Canon은 소형 디스플레이 분야에서 LCD가 절대적인 시장 경쟁력을 가지고 있기 때문에 FED가 그 틈을 비집고 들어가기가 매우 힘든 현실임에 주목하고 있다. 따라서, 이 회사는 40~60 인치급 이상의 대형 벽걸이 TV 시장 진입을 목표로 FED 패널을 개발하고 있는데, 이는 최근 시장에 등장한 칼라 PDP의 경우 가격, 화질, 소비 전력면에서 해결해야 할 많은 과제를 안고 있기 때문이라고 볼 수 있다. 이 회사는 1996년 10월에 개최된 Euro Display'96에서 SCE (Surface Conduction Emitter)를 이용한 고유 모델의 3.1 인치급 FED 패널을 발표하여 관심을 끌기 시작하였는데, 화면 크기가 소형임에도 불구하고 그 반응은 의외로 컸다. 그 이유는 FED가 안고 있던 문제점들을 해결할 수 있는 가능성을 잠재하고 있기 때문으로 풀이된다. 즉, 패널 구조 및 제조 방법의 단순화로 인해 40 인치급 수준에 이르는 대형화로의 접근이 용이하다는 것과 함께 화면의 휘도가 640 cd/m2로 상당히 높았다는 점이다. 이 회사는 1997년 5월에 개최된 SID'97에서 1996년에 발표한 3.1 인치형 패널과 같은 원리의 평면형 음극을 기준으로 제작한 10인치급 칼라 FED 패널을 선보여 여전히 한번 관심의 대상이 되고 있다.

Canon에서 개발한 평면형 음극의 구조에 대해 제조 방법 및 동작 원리를 살펴보면 다음과 같다. 먼저 백금 전극이 패터닝 되어 있는 유리 기판 상에 잉크젯 프린터를 사용하여 PdO 막을 형성한 다음, PdO막의 중앙에 10nm 정도의 간격을 갖는 슬릿을 형성한다. 이러한 슬릿은 PdO 막의 양쪽에 고전압 펄스를 인가하면 중앙 부근에 10nm 정도의 슬릿이 만들어지는 현상을 이용함으로써 제작할 수 있다. 슬릿이 형성되어 있는 전극의 양쪽에 10V 정도의 전압을 인가하면 한 쪽의 PdO 막으로부터 전자가 방출되고 방출된 전자는 슬릿을 건너 다른 쪽의 PdO 막으로 끌려 간다. 이때 대향 전극(양극)에 고전압을 인가하게 되면 방출된 전자의 일부가 대향 전극 위에 도포된 형광체를 향해 이동?충돌하게 된다. 대향 전극에 도달하는 전자는 슬릿을 통해 흐르는 전자의 약 1% 정도로 효율은 그다지 좋지 못한 편이나, 소비 전력을 환산해 볼 때 LCD 보다는 높고 PDP 보다는 낮은 수준이 된다. 이를 이용한 40 인치 칼라 FED 패널의 경우 소비 전력이 100 W 이하로 PDP의 1/3~1/4 정도가 될 것으로 추산하고 있다. 이러한 SCE 형 FED 패널은 대화면을 실현할 수 있다는 점 이외에도 5~10 kV의 전압으로 전자를 가속시켜 형광체에 충돌하는 에너지를 높임으로써 640 cd/m2 정도의 높은 휘도를 얻을 수 있다는 특징이 있다.

Canon이 개발한 3.1 인치급 시제품 및 이를 60 인치급에 이르기

표 3. Canon의 60 인치 FED 패널의 성능 예측

	3.1 인치 시제품	60 인치 패널
패널의 두께 (mm)	15 이하	15 이하
화면의 크기 (inch)	3.1	60
화소수	80 X 80	1920 X 1035
화소의 크기 (μm^2)	720 X 720	720 X 720
형광체 종류	P22	P22
휘도 (cd/m^2)	540	640
계조수	256	256
구동전압 (V)	13.5	13.5
양극전압 (V)	6	8
소비전력 (W)	2.3	300 이하

까지 대형화 하였을 경우에 예상되는 성능을 표 3에 나타내었다. 이를 통해 알 수 있는 바와 같이, 60 인치 패널에서도 휘도 640 cd/m2, 256 gray scale을 실현할 수 있어 대화면 벽걸이용 TV로서 기술적 만족도가 충분할 것으로 자체 판단하고 있다.

한편, Fujitsu에서 개발한 패널은 상부의 유리 기판에 Spindt 형 음극을 설치하고 하부 유리 기판에 형광체를 도포한 모양의 특이한 구조를 가지고 있다. 이러한 구조에서는 기존의 Spindt 형 음극을 이용한 FED 패널 구조와는 반대로 형광체에서 발생한 빛이 형광체 막을 통과하는 것이 아니라, 반사되어 냉음극이 형성되어 있는 상부 기판을 통하여 나오도록 되어 있다. 따라서, 종래의 구조에 비해 휘도가 높다는 장점과 함께, 게터를 내장할 수 있는 공간이 늘어남으로써 패널 내부의 진공도를 높여 수명을 증가시킬 수 있다는 특징이 있다. 반면에, 형광체로부터 발생한 빛이 냉음극이 형성되어 있는 상부 기판을 통해 나오기 때문에 상부 기판의 전극을 반드시 투명 전극으로 해야 하는 등의 제약이 있으며, 해상도를 높이는 데에도 한계가 있다. 수명은 3만 시간으로 발표되고 있다.

이와 함께 Futaba는 일본 FED의 선두 업체로, 이미 보유하고 있는 VFD 기술을 토대로 한 FED 개발을 수행 중이며, 1996년도에 5 인치급 단색 FED를 선보인 바 있다. 또한, Hitachi는 Canon과 거의 같은 시기에 MIM (Metal-Insulator-Metal) 구조의 평면형 음극을 개발한 것으로 보고하였다. 이러한 MIM 구조는 유리 기판 위에 패터닝된 Al 전극이 위치하고 그 위에 Al2O3 절연막과 Au 전극이 도포되어 있는 간단한 구조를 이루고 있다. Al 층과 Au 층 사이에 8 V 정도의 전압을 인가하고 대향 전극에 500 V의 가속 전압을 인가하게 되면, Au 전극 표면에서 방출된 전자는 가속이 되어 대향 전극에 도달하게 된다. 이때 가속된 전자가 대향 전극에 도포된 형광체에 충돌? 여기 시킴으로써 빛이 발생하게 된다. MIM 구조의 경우 절연막의 두께가 수 nm 정도 이상이 되면 전류가 흐르지 못해 전자들이 방출되지 않는다. 현재로서는 Al2O3 막의 질 및 Au 막 경계면의 균일도가 좋지 못한 관계로 전자원에서 발생하는 전자의 밀도가 일정치 않아 시제품을 내놓을 단계는 아니나, 향후 그 진행 상황이 기대되고 있다.

Pioneer는 MIS(Metal- Insulator-Semiconductor) 구조의 전자원을 개발 중으로 전자원의 제작은 박막 공정이 대부분을 차지하고 있어 원추형 음극과 비교해 볼 때 훨씬 간단하다. 전자원의 제작 공정을 살펴보면 진공 증착법에 의해 유리 기판 위에 Al 전극을 형성한 다음 5 ㎛ 정도의 실리콘 박막과 400 nm의 비정질 SiOx막을 증착하고 그 위에 다시 백금 전극을 형성한다. 이러한 평면 구조의 전자원은, 진공 중으로 방출되는 전류량이 공급한 전체 전류의 30 %에 이를 정도로 높은 것이 특징이다. 전술한 Canon의 SCE에 있어서 최대 1% 정도의 전류 효율을 얻을 수 있었던 점을 감안하면 상당히 큰 값에 해당함을 알 수 있다. Pioneer 측은 이를 고효율 전자 방출 소자 (High Efficiency Electro-emission Device : HEED)로 부르고 있으며, 이러한 전자원과 CRT 용 형광체를 사용함으로써 5kV의 가속 전압에서 80000 cd/m2에 이르는 휘도를 얻은 것으로 보고하고 있다. 그러나 현재로서는 FED 패널이 아닌 평면 구조의 전자원을 제작한 것에 불과하며, 이를 이용한 칼라 FED 패널을 제작하는 데에는 최소 2~3 년의 시간이 필요할 것으로 보고 있다.

7. 맺음말

FED와 관련하여 기본적인 기술 내용과 각 기업들의 연구 개발 동향을 다루어 보았다. 1998년도는 FED가 평판 표시기 시장에 본격적인 첫 발걸음을 내딛는 한해로, 경쟁력 여부가 객관적으로 평가될 것으로 보인다. 여건이 어렵더라도 반도체와 디스플레이 분야에서 나름대로의 입지를 구축하고 있는 국내 기업들이 이들 두 기술의 융합체인 FED 기술 개발 및 생산화를 향한 의지를 높일 수 있기를 기대해 본다.

참 고 문 헌

[1] K.Derbyshire, "Beyond AM-LCDs : Field emission displays ?," Solid State Technology, p.55 (1994.11)

[2] P.H.Holloway et al., "Production and control of vacuum in field emission flat panel displays," Solid State Technology, p.47 (1995.8)

[3] K.Yamashita et al., "New panel technologies challenge LCD supremacy," Nikkei Electronics Asia, p.42 (1996.4)

[4] H.F.Gray, "The field-emitter array," Information Display, p.9 (1993.3)

[5] T.Utsumi, "Keynote address, vacuum microelectronics: what's new and exciting," IEEE Tr. Electron Devices, vol.38, no.10, p.2276 (1991. 10)

[6] 이남양, "일본의 FED 개발 현황," Techno Review 1997 (오리온 전기), pp.34-38 (1997)

[7] S.G.Shi, "Field Emission Display," SEMI Technical Conference (1997.11)

[8] N.Sturiale, "Building a large-scale start-up on new technology," Information Display, p.22 (1996.7)

<서대식 위원>