

21世紀 나노미터 時代의 材料 限界의 當面課題

名譽教授 成英權

高麗大學校 工科大学 電氣工學科

1. 序 論

오늘날 고도 정보화 사회의 인프라 스트럭처(infra structure)로서 모든 산업 분야 기술의 패러다임 쉬프트(paradigm shift)를 가져오고 있는 실리콘 ULSI는 하나의 칩(Chip) 위에 1억개 이상의 소자를 형성시킬 수 있는 정도까지 대용량화와 미세화가 진행되고 있다. 현재 ULSI 기술은 그 가공 정도가 $0.35\mu\text{m}$ 의 64M DRAM을 거쳐 $0.2\mu\text{m}$ 의 256M DRAM 시대를 맞이하였고, 나아가 $0.1\mu\text{m}$ 의 1G DRAM 시대를 눈앞에 두고 있으며, 앞으로는 $0.1\mu\text{m}$ 에서 $0.01\mu\text{m}$ 즉 10nm에 접근하여, 서브미크론(submicron)이란 말은 나노미터(nanometer)로 대체되어야 할 처지에 이르게 되었다.

나노미터는 10^{-9}m 를 나타내는 미소영역의 단위로, 따라서 10nm란 원자수로 환산하면 50개 정도의 원자수에 해당하므로 나노미터 가공으로 하나의 셀(cell)이 1분자에 대응하는데 까지 소형화가 이루어지고, 필요에 따라 분자구성을 설계하고 그 분자를 우리들이 원하는 위치에 배열시켜 나가는, 소위 더욱 심오한 물질론에 입각한 분자공학 분야까지 연속해서 발전해 나가리라고 생각된다.

이러한 반도체 소자 기술의 역사는 Ge 트랜지스터 이래 거의 10년을 주기로 IC, LSI, VLSI, 나아가 ULSI로의 도약에 박차를 가하여 금세기 말로 50여년을 거치게 되어, 성숙기에 접어들어갔다. 이들 ULSI의 고집적화, 고기능화, 고신뢰도화를 위해 플라즈마 CVD나 레이저 CVD에 의한 SiO_x 막, SiON 막을 위시하여 열 CVD WSi_2 막, 다결정 Si막 등 새로운 재료들의 등장하고, 반도체 프로세스 기술에 적용되어 다양하게 활용되고 있다.

이와 같이 극도로 발전한 Si ULSI의 견인차 역할을 한 것은 바로 미세가공기술이며, 특히 광의 위상 제어(phase shift), 고주파 제어기술 등에 의해 광 리소그래피(i-선, 엑시머 레이저 등)의 한계가 $0.1\mu\text{m}$ 레벨에 육박하고 있어, 머지않아 1G DRAM도 광에 의

해 실현될 가능성이 높다. 또 SOR광(Synchrotron Orbital Radiation), X선, 고속 전자선 묘화 기술도 나노미터 영역의 양산 장치로서 등장하고 있다. 그러나 나노미터 시대를 맞이하는 차세대 고밀도, 초미세화, 박막화에 따라 야기되는 대단히 곤란한 문제점들이 산적해 있다.

이하 나노미터 시대에 대처할 Si를 중심으로 한 관련 재료 기술 중 우리가 다루어야 할 문제점들을 전반적으로 다루기는 무리이므로, 주목해야 할 몇 가지 재료기술의 개발발전의 포인트와 문제점을 개략적으로 다루어 보기로 한다.

2. 실리콘 디바이스 微細化의 限界

실리콘 디바이스에는 scaling칙이라는 강력히 고찰해야 할 사항이 있다. 이것은 현재 동작하고 있는 디바이스의 세로, 가로 및 높이를 모두 일정한 비율(1/K)로 축소시키고, 게다가 동작 전압도 1/K배로 감소시키면 동작 속도가 확실하게 빨라지게 된다는 것이다. 전계가 일정하므로 캐리어의 속도는 변화하지 않고, 전하의 이동시간은 1/K배가 되어 이것이 고속화로 이어지는 것이다.

그러나 최근에 와서 이 scaling칙이 성립하기 어렵게 되고 있다. 그 한 예가 DRAM이다. 현재 256M DRAM의 연구 試作이 이미 발표되어 있어도 이것이 실용화되기 위해서는 아직 많은 생산기술의 연구가 남아있다. 따라서 1G DRAM의 실용화를 위해서는 또 다른 생산기술의 어려움을 극복하지 않으면 안된다. 머지않아 이들의 장벽을 넘어 기대되는 생산성을 달성하여 21 세기에는 1G DRAM 이상의 실용화로의 도전이 이루어질 추세이다.

상기한 scaling칙을 적용하면 우선 정전용량이 1/K배로 되므로, 정보를 축적하고 있는 전하가 $1/K^2$ 배로 된다. 이러한 경우 재료에서 발생하는 작은 α 선이 정전용량의 근처를 통과하면 발생하는 이온에 의해 메모리의 전기량을 변화시키는 소위 소프트 에

러가 발생한다. 메모리가 미리 충분한 전하의 유무로 정보를 축적하고 있으면 문제가 없으나, 전하가 감소해 가면 상당한 장애를 일으킨다. 또 메모리 용량이 증대해 가면 배선의 정전용량이 상대적으로 증가하며, 그 효과로 읽어낼 때 정보의 전하가 희석되어 문제가 발생하고, 이로 인해 배선간의 漏話(cross talk) 등이 문제가 되어 설계하기가 곤란해진다.

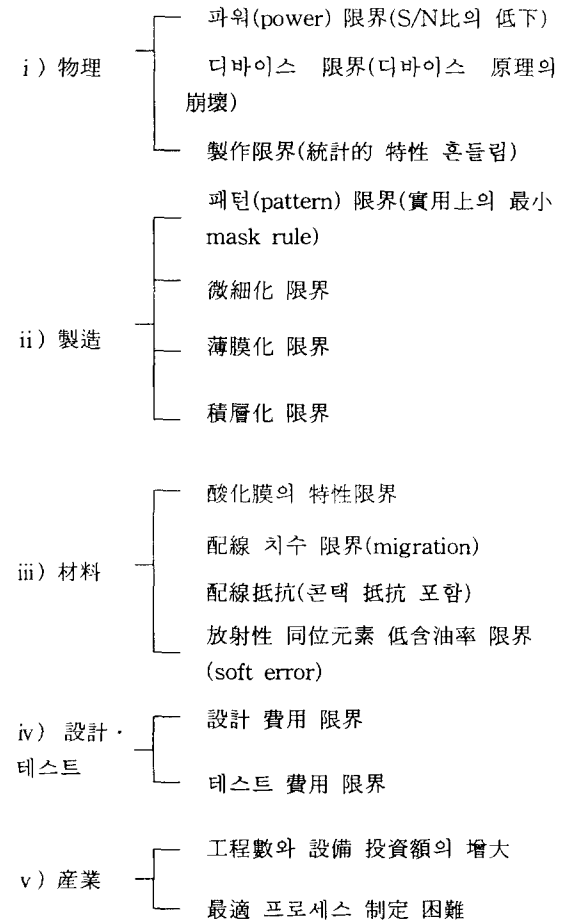
Scaling칙의 또 하나의 문제점은 논리회로에서 일어나고 있는 전류밀도의 증대이다. 전하가 $1/K^2$ 배이고, 시간이 $1/K$ 배가 되면 전류는 $1/K$ 배가 된다. 따라서 전류밀도는 K 배가 되어, 이로 인해 배선에서의 부담이 증가하여 전자의 흐름으로 이온이 움직여 배선이 변형되고, 결국은 단선되는 마이그레이션 등의 문제가 생기게 된다. 게다가 논리상태를 유지하기 위해서 전압을 그대로 유지하면서 scaling을 실행하면 전류가 $1/K$ 배로 되고, 그 결과 전력이 $1/K$ 배로 되기 때문에 단위 면적당의 전력이 K 배로 되어, 이로 인한 발열이 역시 큰 장벽으로 등장하고 있다.

한편 현재의 반도체 기술을 연장하여 초미세화에 의해 집적도를 향상시켜 가면, 소자는 2차원 치수가 작아지며 이에 따라 두께 방향도 작아져, 그 결과 트랜지스터 형상으로는 설계할 수 없게 된다. 이러한 ULSI 구조는 원자레벨에서 제어되어야 할 구조물인 소위 양자 현상 영역에 들어가게 된다. 최근 양자 현상에 대해 이해가 깊어짐에 따라 여러 가지 재미있는 현상이 발견되어, 양자 쇄선, 양자 박스와 메조스코픽 디바이스 등 양자 현상을 이용한 각종 디바이스가 제안되고 있고, 활발한 연구가 이루어지고 있다.

여기서 기술한 실리콘 디바이스 미세화의 한계는 반드시 지금 곧 실리콘 디바이스의 발전을 멈추어버리게 하는 것은 아니다. 아직 여러 고찰에 의해 조금씩 한계를 극복하게 되어, 예를 들면 앞으로 10년 정도, 요컨대 논리회로에서 10배정도, 메모리에서 수10배 정도의 진보는 아직도 충분히 가능하다고 본다. 그러나 한계가 나타나기 시작한 것도 사실이다. 따라서 지금부터라도 근본적인 해결책으로서의 기술을 육성해 갈 좋은 시기라고 생각된다.

이와 같이 ULSI 계통을 보다 고집적화하고 고기능화시키려고 할 때 예상되는 한계와 문제점들을 표기하면 대체로 표 1과 같이 들 수 있다.

표 1. ULSI 高集積化의 問題點



실은 3차원적으로 치수가 작아진 경우의 재료의 성질은 전연 미지의 세계라고 생각하여도 무방하다. 예컨대 절연물의 내압은 V/cm 표현되나, 물성 교과서에서도 밝혀지는 바와 같이 그 표시법은 엄밀하지 못하다. 또한 캐리어의 이동도의 경우에도 그렇다. 미세화가 진행되면 소위 벌크 물성을 전용(transfer) 못하는 경우가 허다하다.

따라서 이와 같이 치수가 작아진 전자재료가 어떠한 성질을 지니고 어떻게 ULSI의 재료로서 유용하게 활용하는가는 소위 마이크로 전자재료 물성을 밝혀 둘 필요가 있다. 또한 이러한 극한 기술의 추구뿐만 아니라 Si과 헤테로(hetero)계 재료의 융합화 기술, 원자층 레벨의 계면 제어 기술, PZT를 위시한 새로운 재료 기술 등이 Si ULSI의 한계를 나노미터

세계까지 추진시킬 수 있는 돌파구(breakthrough)가 될 것으로 본다.

여하튼 나노미터 시대의 디바이스는 재료 물성에 강하게 의존하며, 이것을 명백히 하지 않는 한 다가오는 21세기의 소자출현은 불가능하게 될 것이다.

3. 材料限界의 打破에는..

3.1 어떠한 材料 物性的 自由度가 바람직한가

재료 물성의 자유도는 여러 가지가 있겠으나, 대표적인 것을 요약해서 표기하면 표 2와 같다.

표 2. 材料에의 自由度의 factor

- (1) 禁止帶幅 可變 (↑↓)
 - (2) 誘電率 可變 (↑↓)
 - (3) 耐電壓 可變 (↑↓)
 - (4) 熱傳導率 可變 (↑↓)
 - (5) 熱膨脹係數 可變 (↑↓)
 - (6) 캐리어 移動度 可變 (↑↓)
 - (7) 耐藥品性 可變 (↑↓)
 - (8) 電氣抵抗 可變 (↓) - 配線抵抗의 境遇
 - (9) 不純物 固溶限度 可變 (↑)
- (1) 2차원 전자 가스 디바이스나 헤테로 접합 BJT 디바이스 실현을 위해 필요하다.
- (2) 배선, DRAM 용량 저감을 위해 낮은 값(↓)이 바람직하나 DRAM 캐패시터(capacitor) 등에 있어서는 높은 값(↑)이 바람직하다.
- (3) 일반적으로 높은 값(↑)이 좋으나 애벌렌치(avalanche) 효과를 적극적으로 사용하는 디바이스에 있어서는 낮은 값(↓)이 좋다.
- (4) ULSI의 소비전력 증대를 견뎌내기 위해서는 높은 값(↑)이 바람직하다.
- (5) 신뢰성 향상에는 여러 가지 물질 사이에 있어서 열歪를 생기지 않게 하기 위해서 중요하다.
- (6) 두말 할 것 없다.
- (7) 선택성 에칭 가공을 위해 필요하다.
- (8) 당연하다.
- (9) 양호한 옴성(ohmic) 전극 실현을 위해, 또는 미세화가 진행되어 불순물 원자수의 요동을 피하기 위해서는 높은 값(↑)이 바람직하다.
- 이들 중 가령 (1), (2)를 독립적으로 생각하면 오늘날의 기술로도 가능하다. 그러나 문제는 LSI 설계상 중요한 (2)와 (6)을 동시에 만족하는 것이 좀처럼 얻어지지 않는다는 것이다.

(8), (9)는 재료 물성상 거의 정해지고 있어, 현실적으로는 어떻게 가공법을 고안하여 진성치를 실현하는가 또는 비열평형 상태를 유지하는 가에 있다.

여하튼 단일재료로써 이들의 요구를 충족하는 것은 곤란하기 때문에 앞으로는 복합재료를 사용하여 등가적으로 이 조건을 만족시킨다는 방법밖에 없다고 할 수 있다. 이 때 걸림돌은 적용 대상이 미세화를 전제로 한다는 것이다. 이 때문에 그림 1에 나타낸 바와 같이 재료를 복합화시킨 경우에도 계면에서의 문란을 충분히 제어해 두어야 한다. 그것의 가장 이상적인 구조는 에피택셜(epitaxial) 성장된 복합재료라 할 수 있다.

SOI(Semiconductor On Insulator) 구조는 대표적인 복합재료라 할 수 있는 것으로, 고이동도이며 아울러 저유전율을 지닌 장점을 가지고 있다. SOI는 거의 실용화 단계에 있다. 단층인 경우에는 SOS에 그 예가 있으나, 다층구조에서도 레이저 또는 전자빔 법에 의해 상당히 실용성이 있는 기술까지 성장하고 있는 것은 삼차원 회로소자의 연구단계에서 명백해지고 있다. 단 지금까지는 SOI 웨이퍼 전면, 또는 그와 동가로 만드는 것만을 생각하고 있다. 만일 필요한 부분에 SOI를 만들 수 있는 기술이 발달하면 종래의 SOI 기술의 유용성은 한층 더 높아짐에 틀림없다. 또 실리콘 상의 에피택셜 고유전체 성장막은 메모리 디바이스 또는 소프트 디바이스의 새로운 발전을 기약할 수 있을 것이다.

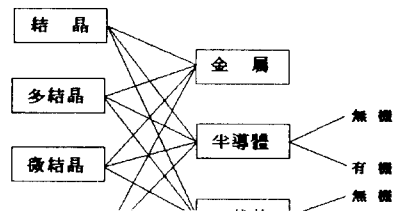


그림 1. 複合 電子材料의 組合

3.2 同一 材料로서 材料定數의 벽을 어떻게 무너트리는가?

무기인 동시에 결정 재료라는 조건으로 재료정수의 가변적인 자유도를 어떻게 얻을 수 있는가? 이것에 의해 LSI의 한계를 어떻게 돌파할 수 있는가는 그렇게 명확하지는 않다. 그러나 방법으로는 표 3에 나타낸 바와 같은 것을 생각할 수 있다. 그러나 재료정수가 차수(order)로 변하는 것은 없기 때문에 오히려 새로운 물성이 생기는 (예컨대 간접천이형이 직접천이형 밴드구조로 변한다) 것을 적극적으로 이

용하는 것을 고려하지 않는 한 앞으로 다가오는 21세기형 LSI 재료기술이라고 할 수도 없을 것이다.

표 3. 材料 自由度의 실현방법

- (1) 構造의 微細化-量子 우물
- (2) 構造의 高次元化 - 量子線·函
- (3) 結晶構造의 異形化 - 立方晶 InSb
- (4) 合金의 高次元化 - 單一元부터 高次元 混晶
- (5) 材料의 異方性 利用 - ZnO 등
- (6) 不純物 導入 - 變調 도핑
- (7) 歪性 導入 - SiGe

3.3 配線材料의 問題

미세화가 진행하면, 배선저항의 문제는 무시하지 못한다. 77°K 동작에 의해 Al 저항이 약 1/10로 저하하는 것은 매우 매력적이며, 따라서 21세기에는 냉각형 LSI가 실현될지도 모른다. 역으로 말하면 배선저항의 문제로 인해 미세화의 진행이 둔화된다고 할 수 있으며, 결국 적층화로서 집적도를 높이기도 될 것이다. 그러나 그것이 바로 3차원 회로소자라 할 수 없다. 3차원 회로소자 프로젝트로서 개발된 내열 스루홀(through hole) 기술로써 선평이 넓은 다층배선 기술 등에 사용되는 것도 상정된다.

여하튼 재료상의 제한은 단순히 전기저항이나 콘택 저항에 한정되지 않고 신뢰성 상에서도 대단히 중요하다. 마이그레이션(migration) 등으로부터 현재의 LSI 집적도에 관한 경향과 포화상태로 됨을 충분히 예상할 필요가 있다고 생각된다.

물론 이러한 문제들은 고온 초전도 재료가 실용화 되면 해결된다. 즉 세라믹 재료의 0.5 μ m 정도의 패터닝은 새로운 기술상의 문제로 될 것이나, 상온 초전도체의 실현이 비교적 먼 훗날에 초점을 맞추어 두는 것이 안전하다고 생각된다.

여하튼 오믹 콘택의 문제는 남아 있어 상술한 마이그레이션과 더불어 충분히 이해를 높여두지 않으면 안될 것이다.

4. 解決해야 할 材料의 當面課題

소자의 2차원적인 기하학적 치수가 0.1 μ m 이하의 초미세 구조의 Si계 소자를 대상으로 하여, 지금까지의 Si 집적소자의 사용되는 주요 구성 재료(반도체 결정, 절연막, 배선 금속)가 지니는 재료 면에서의 과제를 간추려보면 다음과 같다.

4.1 半導體 結晶

종래의 Si 집적소자에서는 결정재료로서 Si 단결정 기판이 사용되어 왔으나, Si 결정기술은 종래 무전위, swarf-free인 것보다 더 나아가 소위 열처리유기 결함을 디바이스의 활성영역에서 제거하는 것이 중요 과제이다. 최근에는 단결정 Si의 초미량 결함 제거기술이 착실하게 진보하고 있으나, 더욱 더 그 발전이 요구된다. 아울러 새 소자의 2차원적 치수의 축소에 수반하여 결정 기판내의 수직방향으로의 전계에 대해 수평방향 전계의 영향이 무시하지 못하게 되어 결정 기판내의 3차원적인 포텐셜(potential)의 간섭은 단채널 효과 또는 펀치스루(punch-through) 현상 등으로써 이 치수 영역 이전에 이미 해결해야 할 중요한 과제로 되어 있다.

이러한 문제는 종래의 Si 단결정 기판을 사용하고 있는 한 현저해짐은 물론이다. 따라서 Si 결정 기판을 능동 결정 영역으로써 사용하는 경우는 결정내의 전계의 3차원적 간섭을 회피해야할 어떤 가공 또는 결정 기판 구조의 변경 등이 필요할 것이다.

다음으로는 웨이퍼(wafer)의 大口徑化를 들 수 있다. 반도체 소자 제조를 위한 기본적 공정은 모두 웨이퍼 단독으로 처리되기 때문에 소용량의 소자 및 IC, LSI, VLSI, 및 ULSI 등은 웨이퍼의 직경(면적)을 크게 할 수록 웨이퍼 당 소자수를 증가시켜 생산성을 올리며, 그 결과 제조 단가를 내릴 수 있어, 웨이퍼는 해마다 대직경화로 이행해 가고 있다.

현재 16M DRAM이나 64M DRAM의 제조라인의 웨이퍼는 8inch이나 앞으로 웨이퍼 크기는 大口徑化로 이행되리라고 본다. 웨이퍼 크기가 커짐에 따라 프로세스 기술이 본질적으로 달라지는 것은 아니나, 프로세스를 실행하는데 있어 여러 가지 제약 또는 난관에 봉착하게 된다. 즉 액체 시약의 사용 증대나 프로세스 장치의 대형화 등을 비롯하여 열처리시의 온도의 균일성, CVD나 에칭 등의 웨이퍼면 내에서의 균일성, 요컨대 큰 웨이퍼 면적 내에서 균일하게 프로세스를 실행하기 위한 여러 가지 개량이나 고안이 필요하게 된다. 그 하나는 디바이스 미세화로부터의 요청도 가미시킨 프로세스의 저온화 지향이며, 또 다른 측면에서는 종래의 기술의 대부분이 배치타입(batch type) 프로세서가 프로세스의 개선책이나 새로운 프로세스 기술 개발이 필요하게 된다.

절연막 위의 얇은 Si 기판은 지금까지 SOS 구조로서 그 역사는 길지만은 이 문제를 해결하는 하나의 결정 기판 구조라 할 수 있다. 최근에 와서 SOI 구조의 얇은 Si 결정층에서는 높은 펀치스루 내성, 단채널 효과 억제, 결정 내의 수직 전계 강도의 저

감화에 의한 캐리어 이동도의 특성 향상도 기대되고 있다. 단 $0.1\mu\text{m}$ 이하의 소자치수 영역에서는 박막 결정에 의한 효과가 기대되는 결정막 두께는 수십 nm 정도로 생각되어 이 구조에서 어디까지 양질의 초박막 결정이 얻어지는가는 앞으로 검토해야 할 과제이다.

한편 헤테로 접합 결정 구조에서 얇은 Si의 歪曆을 이용한 Si계의 modulation doped 전계효과 소자(2차원 전자 가스) 등도 차세대 소자로서 제안되고 있다. 여하튼 차세대 능동 결정 영역에서는 지금까지의 Si 결정 기판을 대신하여 수십 nm 내지 수 nm의 초박막 결정층을 적극적으로 이용할 필요가 나타날 것이라 본다. 또 초박막 결정층의 구조로서는 절연막상의 초박막 Si 결정층 구조, 헤테로 접합 결정 구조, 호모(homo) 접합의 적층 결정 구조 등이 소자형성에 필요하게 될 것으로 생각된다.

다음에 결정의 품질에 관한 것으로 결정 결함을 예로 들면, 지금까지의 Si 초고밀도 집적화로에 사용되고 있는 Si 기판의 결정 결함은 단지 소자의 신뢰성에만 영향을 주는 것이었으나, $0.1\mu\text{m}$ 이하 치수영역의 기판 결정 결함은 소자의 본질적인 성능에 결정적인 영향을 미치는 수준이 되리라 생각된다. 즉 결정층이 수십 nm~수 nm의 초박막 구조에서는 결정층의 계면이 직접적으로 벌크 결정의 품질에 영향을 주게 된다. 따라서 계면의 적절한 제어를 제외하고는 양질의 벌크 결정층은 얻어지지 않게 된다.

에피택셜 결정층 형성의 기판으로 되는 Si 단결정 기판에서의 Si 결정내 또는 결정 표면은 지금까지 별로 검토되지 않은 원자 레벨의 초미세 결함의 검토의 필요성도 증가할 것으로 생각된다. 특히 양자효과 미세결정 Si(nano crysto Si)은 단결정, 비정질(amorphous)에 잇는 제 3의 Si재료로 되기 때문에 이것의 結晶粒徑, 입자 간격, 입자 위치 등을 제어하여 제작하는 기술을 확립하는 것이 중요 과제이다. 또 헤테로 접합 결정 구조에서는 격자 부정합에 의한 전위의 발생을 피하는 구조를 취할 필요가 있어, Si계에서는 격자 부정합과 임계막 두께 등의 검토도 필요하게 될 것으로 본다. 나아가 수십~수백 원자층의 능동 결정층을 사용하게 되면 헤테로 계면의 단원자층 레벨의 급준성, 캐리어 이동도 열화 등을 피하기 위해 결정 계면의 원자레벨의 평탄성도 구해진다.

또 소자형성의 필요한 캐리어 공급의 불순물층 또는 불순물 영역에도 3차원적인 급준성이 구해지는 것이 생각되며, 결정 기판 구조면에서 보면 불순물 영역도 불순물 도입 결정층으로써 형성하는 것이 필요하게 되리라 생각된다.

이상으로부터 $0.1\mu\text{m}$ 이하의 2차원적 치수의 소자를 구성하는 반도체 결정의 검토해야 할 기술과제를 정리하여 나타내면 다음과 같다.

- (1) SOI 高品質 超薄膜 結晶 形成
- (2) Si 結晶의 超微細 缺陷의 檢知, 解明 및 制御
- (3) 格子 不整合 構造의 多層 結晶 形成
- (4) 結晶層 界面의 原子 레벨의 急峻化 및 平坦性
- (5) 局在 不純物 導入 結晶層 形成
- (6) 原材料 및 裝置를 포함한 Si 結晶層의 超高純度化

4.2 絶緣膜

널리 알려진 바와 같이 디바이스의 미세화가 진전됨에 따라 야기되는 제 현상 중 메모리 디바이스의 경우 α 입자에 의한 소프트 에러가 큰 문제가 된다. 이러한 소프트 에러를 방지하려면 적어도 200fC 이상의 신호전하량이 필요하며, 이를 위해서는 용량막의 박막화와 고유전율화가 필요하게 된다.

가령 SiO_2 막은 $40\sim 30\text{\AA}$ 에서 터널효과에 의해 절연막으로의 기능을 잃어 절연막으로서의 한계에 달하나, 디바이스에의 적용에 있어서는 SiO_2 막 단독으로는 70\AA 전후가 한계로 보여지고 있다. 따라서 보다 박막화가 필요하게 되는 경우에는 SiO_2 막보다 유전율이 큰 재료의 사용이 바람직하나, 이 때는 우선 반도체 프로세스 재료로서 적합한가를 살펴야 하며, 앞으로는 반도체 프로세스 재료로서 사용실적이 많은 Si_3N_4 막이 SiO_2 막과의 적층구조로 널리 사용될 것으로 본다. 단 이것도 유전율을 고려한 실효적인 산화막 환산 두께로서는 겨우 50\AA 정도까지로 예상된다. 따라서 같은 막 두께라도 유전율이 커 큰 용량치가 얻어지는, 즉 직접적인 신호전하량을 증가시키는 Ta_2O_5 등 전이금속의 산화막을 비롯하여 여러 신재료의 출현이 기대되고 있다. 이에겐 그림 2에 나타낸 바와 같이 SiO_2 ($\epsilon_r=3.9$) 대신에 Si_3N_4 ($\epsilon_r\approx 8$)이나 Ta_2O_5 ($\epsilon_r=24\sim 26$)막 등이 검토되고 있으며, 특히 Ta_2O_5 는 SiO_2 와 동일 용량을 얻는데 면적을 1/6 정도로 축소시킬 수 있기 때문에 대단히 매력적인 재료이다. 그러나 이들 고유전율 재료는 밴드갭이 좁고 물리적으로 누설전류가 크기 때문에 절연막의 전하를 축적하는 능력은 (유전율 \times 전계)로 나타나기 때문에 문제가 있다. 주목되는 Ta_2O_5 는 SiO_2 에 비해 그 성능지수는 2~3배 높다고 할 수 있다. 여하튼 고유전율을 유지한 상태에서의 박막화(10nm)가 주요 과제로, 유전율과 절연성의 tradeoff의 극복이 중요

하다.

SiO₂막의 진성절연과괴강도는 ~10⁷V/cm 정도이다. 따라서 허용되는 트랜지스터의 전원전압은 2.5V 정도가 바람직하며, 이 이상에서는 지금까지보다 산화막에 걸리는 전계는 높아져 사용조건은 가혹하게 될 것으로 본다. 따라서 게이트 절연막의 박막화에 수반하는 절연과괴에 관해서는 전계집중을 극도로 배제시키기 위하여 원자레벨로 표면을 평탄화시킨 절연막, 아울러 완전히 무정형화시킨 또는 완전 단결정의 절연막 등의 연구가 중요하다.

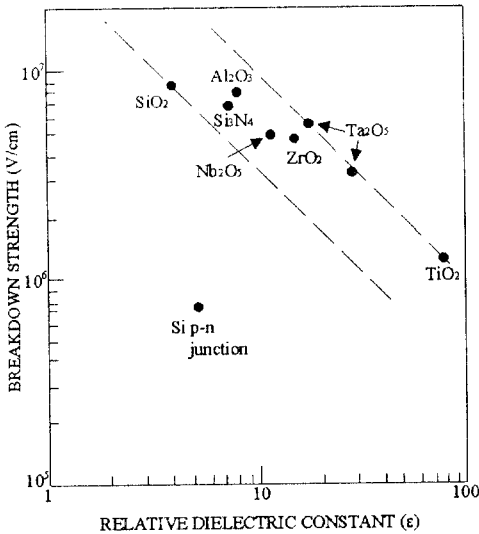


그림 2. 여러 高誘電體 絶縁膜의 比誘電率 ϵ - 耐壓 E_{max} 關係 (點線은 $\epsilon E_{max} = \text{일정함}$ 을 나타냄)

주제인 0.1 μ m 이하의 2차원적 치수의 소자에 사용되는 MOSFET의 게이트 절연막에는 수 nm의 초박막이 요구되나, 이 막 두께 영역에서는 계면의 영향이 현저하게 되어 막의 신뢰성을 유지하지 못하게 된다. Si/SiO₂ 계면 근방에서는 조성이나 화학결합 상태가 벌크와는 상이한 막이 존재하며, 이 천이영역은 막의 제법에 따라 다르지만은 대체로 10Å~30Å 정도임이 보고되고 있다. 따라서 SiO₂막의 박막화는 벌크의 성질을 유지하기 위하여 지금까지의 기술에 의하면 50Å 정도가 한계라고 할 수 있을 것이다.

게이트 산화막에 요구되는 또 다른 중요한 성질은 막의 전기적 성질의 경시 변화가 사용조건 하에서 충분히 작아야 한다는 것이다. 경시 변화에 관해서는 소자의 2차원적 치수의 축소화에 수반하여 핫 캐

리어(hot carrier)에 의한 열화, 산화막의 누설전류, 경시절연과괴 등 현재의 소자 레벨에서도 이미 큰 과제로 되어있다. 따라서 이러한 문제는 초박막화에서는 보다 현저하게 나타나게 되리라 생각된다. 핫 캐리어는 Si/SiO₂ 계면준위를 증가시키거나 SiO₂ 내에 포획되어 소자의 임계전압 및 상호 콘덕턴스 등을 변동 또는 열화시킨다. 이와 같은 문제는 소자의 저전압화가 도모된 경우에는 저감되는 경향이 있으나, 0.1 μ m 또는 그 이하 치수에서는 역시 문제가 되리라고 본다. 따라서 핫 캐리어에 관해서는 소자에서의 최고 전계를 완화하는 방법을 비롯하여, 핫 캐리어를 어떤 메커니즘으로서 감소시키는 방법, 소자 내부의 전계 분포를 최적화시키는 방법 등의 연구를 초미세 영역에서의 전도현상을 파악하면서 진행시켜야 할 것이다. 또 핫 캐리어를 포획하는 포획준위가 작은 절연막이나 핫 캐리어에 의해 포획 준위가 발생하지 않는 절연막의 형성 방법도 중요한 연구 과제이다. 한편 Si/SiO₂ 계면 근방의 고정 전하 및 계면 포획 전하의 수는 전원 전압의 저하에 비례하여 저감하지 않으므로 이에 기인한 임계전압의 변동 등은 저전압 구동 조건하에서 보다 큰 문제로 될 것이다.

계면준위의 발생이나 경시절연과괴의 메커니즘은 현재 반드시 명확하지는 않으나 막의 제법이나 구조 등에 따라 크게 상이하다고 할 수 있다. 수 nm의 막 두께의 초박막에 있어서는 산화막 내의 불순물, 수소의 거동, 초박막의 구조, 및 계면 구조의 검토 및 그 제어가 보다 중요한 과제로 된다.

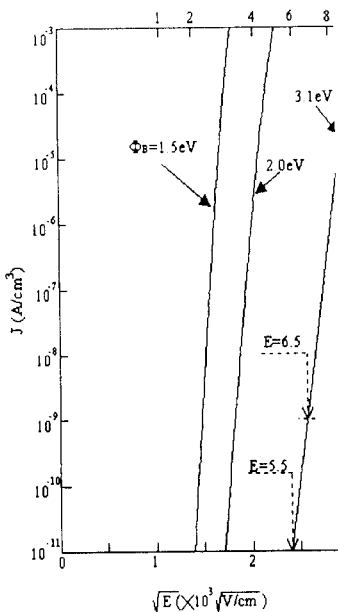
한편 게이트 절연막도 10nm 이하로 되면 Fowler-Nordheim 형의 터널 전류의 누설 전류가 증가하게 된다. 이 전류는 수 nm의 초박막 영역에서는 회로의 동작에 영향을 주리라 생각된다. 그렇다면 SiO₂막은 어디까지 얇게 할 수 있는 것인가? 산화막에 큰 전계 E를 인가하면 막 내에 터널전류 (Fowler-Nordheim 전류) J가 흐른다. m*를 SiO₂의 유효질량(m* \approx 0.5), Φ_B 를 실리콘과 절연막의 각 전도체 높이의 차(barrier height)라 하면, 터널전류 J는 아래 식으로 주어진다.

$$J = E^2 \exp \left[- \frac{3(2m^*)^{1/2} (q\Phi_B)^{1/2}}{3q\hbar\epsilon} \right]$$

그림 3은 일반적인 SiO₂막의 터널 전류의 전계의 존성을 나타낸 것으로, 그림에서 알 수 있는 바와 같이 이 전류는 5.5MV/cm 부근에서 급격히 상승하

여 DRAM의 캐패시터 산화막에 흐르는 전류가 많아지면, 정보의 축적은 불가능하게 된다. 절연막에 흐르는 전류가 메모리 셀 부의 pn접합 전류 이하 ($10^{-9}A/cm^2$)까지 허용된다고 가정하면 절연막에는 0.2MV/cm의 전계를 인가할 수 있다. 이로부터 전원 전압 V_{cc} 를 5V라고 하면 산화막 두께는 80Å이 한계이고 3V로 하면 50Å이 한계라고 생각된다.

이상으로부터 지금까지의 순수한 산화막은 0.1 μm 이하 소자의 수 nm 게이트 절연막으로 사용할 수 없는 한계에 이르고 있다고 할 수 있다.



FLOWLER-NORDHEIM TUNNELING CURVE
($\Phi_B=3.1-3.2eV, SiO_2$)

그림 3. SiO_2 막의 Fowler-Nordheim 터널 전류

또한 능동 소자용이 아니라 용량 형성에 사용되는 절연막에 관해서도 잠음 전하에 대하여 적절한 신호 변화를 유지하기 위해 현재의 SiO_2 막의 대해서 더욱 고유전율을 지닌 새로운 절연재료의 검토의 필요성도 증대하리라 본다. 나아가 0.1 μm 이하의 소자에서는 절연막 게이트 구조에 대신하는 헤테로 접합 게이트를 사용한 소자 구조의 검토도 필요성이 나타나리라고 본다.

이상 0.1 μm 이하의 2차원 치수 소자를 구성하는 절연막에 관해서 검토해야 할 재료면의 과제로는 다음 항목을 들 수가 있다.

- (1) 超薄膜에서의 핫 캐리어 劣化, 漏洩電流의 低減策 및 經時絶緣破壞의 檢討
- (2) SiO_2/Si 界面의 構造 解析 및 制御
- (3) 超薄膜內의 不純物, 수소의 擧動, 捕獲 中心의 解析 및 制御
- (4) 絶緣膜의 高耐壓化 (單結晶 絶緣膜을 비롯한 새로운 絶緣膜의 開發)
- (5) 高誘電體 薄膜(「誘電率×最高電界强度」가 SiO_2 膜의 2~3배 이상인 絶緣膜)
- (6) 超高純度 絶緣膜
- (7) 超薄膜의 加工 工程(0.1 μm 이하의 量産에 견딜 수 있는 微細加工技術)

4.3 配線 材料(接觸抵抗 및 容量 問題 包含)

배선이 더욱 미세화되고 동시에 길어지게 되면 배선에 큰 전류가 흐르게 되고 한편으로는 디바이스의 고기능화로 다층화가 진행되면 전자는 전하이동성(electro migration; EM)이 후자는 스트레스 이동성(stress migration; SM)이 생기게 된다. 이들의 대책으로서 종래의 Al-Si-Cu에서 Al-Pd-Cu나 Al-Ti-Cu 등으로 개선을 도모하고 있다. 특히 전하이동성은 저융점 금속인 Al에 내열성의 Ti나 TiN 등의 barrier metal을 적층시키는 방법을 취하여 64M DRAM을 위시하여 1G DRAM 시대에는 거의 대응될 것으로 전망하게 되어 있다.

그러나 배선금속의 대표적인 Al이 배선재료로서 본질적으로 한계에 이르러, 그 연명책으로 형성막의 개선, 결정립의 제어 등의 방법에 의해 Al의 최대 약점인 마이그레이션 신뢰성을 서서히 개선시키고 있다. 그러나 아직도 불충분하다.

게이트 전극 또는 비교적 고온에 드러내는 구조의 배선재료로서는 오래 동안 다결정 Si 또는 실리사이드(silicide)와 다결정의 적층구조(polycide)가 사용되어 왔다.

한편 디바이스에서는 여러 가지 다층 Si 구조가 사용되어, 이들의 배선이 디바이스 표면의凹凸을 초래케 하는 요인의 하나로 되는 경우도 있다.

배선 저항을 저감시키고 아울러 배선두께를 얇게 하여 디바이스의凹凸을 억제하기 위하여, 다결정 Si나 실리사이드(silicide)를 대신하여 이들보다 더 저항치가 낮고 고온에 견딜 수 있는 재료로서, 가까운 장래에는 고용점 금속 그 자체에 의한 배선이 꽤 넓게 활용될 것으로 본다.

Scaling칙에 따르면 0.1 μm 폭의 배선의 전류 밀도는 1 μm 에 비해 10~100배($1 \times 10^6 \sim 1 \times 10^7 A/cm^2$)로 되어, 전자 이동성, 스트레스 이동성이 지금까지보다

더 큰 문제로 된다. 재료로서는 배선 저항을 생각해 보면, Cu(Al의 약 2/3의 비저항)가 가장 유리하나 전자이동성 내성이 Al 합금의 약 2배 정도로, 충분하다고 할 수는 없다. W는 비저항이 Al의 2~3배로 크나 전자이동성 내성은 대단히 강해 신뢰성 면에서는 사용 가능하다. 현재로서는 비저항, 신뢰성의 양쪽을 충족시키는 적당한 재료는 없다. 그러나 단결정의 금속재료가 사용가능해지면 결정립계가 존재하지 않으므로 신뢰성은 비약적으로 상승할 가능성이 있다.

여하튼 전자 이동성이나 스트레스 이동성에 관해서는 고융점 금속을 비롯하여 단결정 재료, 고온 초전도체 및 이들의 복합구조의 연구와 아울러 저저항 이면서도 강도가 큰 재료 개발 등 물질과학적 기초 연구가 필요하다.

초전도 재료는 액체 질소 온도에서 가능한 재료가 개발되고 있으나, Al계 금속에서도 이 온도로 냉각시키면 비저항은 약 1/7로 된다. 이 상태에서는 콘택 저항이 스위칭 속도의 율속조건으로 되기 때문에 초전도 재료를 사용하려면 상온에서 초전도를 나타내는 것이 필요하게 된다.

배선 금속의 치수 축소에 따라 배선 저항이 회로의 지연 시간을 지배하게 된다. 특히 형상비를 높인 배선을 사용하면 배선간의 용량이 증가하여 신호지연을 증가시킨다. 0.1 μ m 룰의 배선에서는 100 μ m 정도의 길이라도 배선 저항이 소자의 채널 저항과 같은 정도로 되며, 또 배선의 형상비가 높아지면 배선간 용량이 증대한다.

이상과 같이 0.1 μ m 또는 그 이하의 치수의 배선에서는 배선의 저항, 용량, 및 콘택 저항이 집적소자의 속도를 결정하는 요인으로 된다. 이것을 극복하기 위해서는 회로적 또는 구조적 해결책(breakthrough)이 필요하게 된다.

한편 콘택에서는 저접촉 저항의 실현이 과제이다. 구조치수가 작아지고, 접촉면적이 축소되면 역으로 전류가 증가하기 때문에 접촉부에 Al에 녹은 Si이 석출하여 접촉저항이 상승하여, 더욱 무시 못하게 된다. 가령 0.2 \times 0.2 μ m²인 경우는 접촉 비저항 ρ_c 는 1 \times 10⁻⁸Ωcm 정도라야 한다.

접촉저항 R_c 는 기판 농도와 장벽높이 및 자연 산화막의 두께로 정해져 결국, 열전자방출기구 $R_c = k/(qAT)\exp(\Phi_B/kT)$ 와 터널 기구 $R_c \propto \exp(\Phi_B/\sqrt{N_D})$ (단, A : 리차드슨 상수, Φ_B : 장벽높이, N_D : 불순물 농도)로 표시된다. 따라서 낮은 Φ_B 의 실현을 위해서는 자연 산화의 제거, 실리사이드화 등의 전극 재료의 최적화와 헤테로 접합 형성에 의한 계면

구조 및 계면 전자 구조의 제어를 통해 장벽 높이의 저감화가 필요하게 된다. 高 N_D 실현을 위해서는 고농도 도핑과 원자층 레벨의 계면구조 제어가 필요하게 된다. 이를 위해서는 금속/반도체 구조의 고정도 에피택셜 기술이 필요할 것이다.

이상 0.1 μ m 및 그 이하의 2차원적 치수의 소자를 구성하는 배선 금속 및 콘택에 관하여 검토해야 할 재료면에서의 과제로는 다음 사항을 들 수 있다.

- (1) EM 및 SM의 메커니즘의 규명
- (2) 超微細線 金屬에서의 마이그레이션 評價
- (3) 耐마이그레이션 材料 開發(單結晶 配線金屬)
- (4) 常溫 超傳導 配線
- (5) 配線 遲延의 回路的, 構造的 解決
- (6) 콘택 界面 電子 構造의 制御
- (7) 金屬/半導體 헤테로 에피택셜 構造
- (8) 高濃度 不純物의 δ 도핑
- (9) 콘택 界面 構造의 原子層 레벨 制御와 安定化

5. 結 論

이상 Si 디바이스를 위시한 ULSI의 나노미터화의 문제점과 이에 대응하는 당면과제에 대해 개설하였다. 지금까지 여러 차례 걸쳐 미세화 기술에서의 한계설이 나왔으나, 그들의 한계는 어느 것이나 기술 한계였고 원리적 한계는 아니었다. 그러나 최근의 고집적화, 고속화에 이은 초소형화의 가공기술에는 물리적 한계가 엿보이며, 아울러 벌크에 없는 새로운 원리와 현상이 나노미터 시대에는 나타나 이에 적용하는 새로운 개념의 ULSI 개발의 방향이 재료를 중심으로 설정되어야 한다고 본다.

특히 21세기에서도 지속해서 우리가 반도체를 비롯한 전자 재료 시장에서의 주요한 역할을 감당하려면 지속적인 전자 재료 기술발전 외에는 별다른 정도가 없다. 이를 위해서는 거시적인 재료의 개념으로부터 미시적으로 원자, 분자의 집합 상태를 하이브리드(hybrid)화 기술을 통해 분자 상호 작용을 임의로 제어하여 새로운 재료를 얻어, 이 재료의 성능을 예측하고 실현하도록 노력하는 것이 앞으로의 재료 연구의 방향이라고 할 수 있다. 아울러 이를 뒷받침하기 위하여 정확한 기술예측과 이를 바탕으로 하는 효율적이고 과감한 기술개발 투자가 이루어져야 할 것이다. 또한 기업의 Global 기술발전 사업을 통해 기업의 국제화를 추구해야 하며, 우수한 인력 확보만이 미래의 반도체를 비롯한 전자재료 왕국을 실현할 수 있게 됨을 명심하여야 할 것이다.