

전력 TFT 소자의 제작과 전기적인 특성

논문
11-10-7

Fabrication of Power TFT Devices and Electrical Characteristics

이우선*, 정용호**, 김남오***

(Woo-Sun Lee, Yong-Ho Chung, Nam-Oh Kim)

Abstract

Fabrication of inverted staggered power TFT devices and electrical characteristic were investigated. 16 fingers with drain and source electrode of TFT and 100V output voltage were designed successfully. It is observed that as V_g increased, I_d increase exponentially. Because of localized deep states of a-Si, I_d shows irregular variation at low voltage. Output and transfer characteristic showed the same as typical variation. But electrical characteristic strongly depend on the channel length and thickness of silicon nitride and amorphous silicon

Key Words (중요용어) : a-Si(비정질 실리콘), TFT(박막 트랜지스터), High Voltage TFT(고전압 박막 트랜지스터)

1. 서론

TFT의 불순물 도핑 시에 채널 이동도의 감소는 절연체와 a-Si:H 사이에서 확산 층의 상태밀도 결합으로 인한 국부적인 경계면에서 상태밀도의 증가를 가져오게 된다.¹⁾ 따라서 TFT 채널 캐패시턴스는 활성영역의 공간전하 밀도에 따라서 달라져서 동작전압을 결정하는 중요한 요인이 된다. TFT의 드레인 전압이 게이트 전압보다 클 때 TFT의 구조상 제일 밑부분에 위치하는 게이트와 제일 윗부분에 위치하는 드레인 및 소오스 영역이 서로 겹치게 되는 오버랩핑(overlapping)이 존재할 경우

드레인 및 소오스 층 바로 밑에 있는 비정질 실리콘 층에 2차 전하축적 현상을 가져와서 TFT 유효 채널 길이는 감소하게 되어 드레인 전류는 증가하게 되고 캐리어농도는 감소하게 되어 전력용 TFT를 실현할 수 있게 된다.

지금까지 연구된 TFT는 HD-TV display, computer display, image sensor, airplane cockpit 등에 이용 가능한 저 전압용이 대부분으로²⁾⁻⁴⁾ TFT에 관한 주요 연구내용을 보면, TFT의 정적, 동적 및 CAD 모델에 대해서 연구의 진전이 있었고, I-V 온도변화 특성에 대한 CAD 모델을 규정한 것은 반도체 소자로서 TFT를 이용한 대규모 면적의 디스플레이에서 로직(Logic)회로에 들어가는 단 자수를 줄일 수 있게되어 새로운 첨단 로직 회로의 개발에 기여하게 되었으나 대부분 30V미만의 저 전력용 TFT이다.⁵⁾⁻⁷⁾

그러나 LCD용 a-Si:H TFT는 최근에도 연구가 계속되고 있는데⁸⁾ 로직회로와 연결하여 사용하는

* : 조선대학교 전기공학과 교수

** : 서강정보대학 전임강사

*** : 조선대학교 대학원 전기공학과 박사과정
(광주광역시 동구 서석동 375, Fax:062-232-9218)

E-mail: wslee@mail.chosun.ac.kr)

1998년 6월 9일 접수, 1998년 8월 3일 심사완료

TFT는 30V 이상의 구동전압이 필요하게 되고 대형화 전력 기기의 디스플레이를 구동하기 위해서는 구동 회로의 사용 전압이 30V를 넘어서 100V 이상의 로직회로 구동전압을 필요로 하는 전력 TFT의 연구를 요구한다. 따라서 본 연구에서는 첫째로 반도체 소자인 비정질 실리콘 박막트랜지스터를 100V급 구동전압인 high voltage TFT(HVTFT)를 inverted staggered형으로 레이아웃 설계하여 PECVD 저온 증착에 의한 lift-off 기법을 이용하여 제조하고, 둘째로 제조된 TFT의 전달특성과 출력 특성 및 전기적인 특성을 실험적으로 측정하고 결과분석을 하고자 한다.

2. 실험 방법

본 연구에서 고압 TFT 제조를 위한 사진식각 마스크 패턴은 모두 3장으로 설계하였는데 첫 번째 마스크는 게이트 패턴설계이고, 두 번째 마스크는 SiN와 a-Si:H 증착용 패턴이며, 세 번째 마스크는 드레인과 소오스 증착용 패턴이다. TFT 마스크를 레이아웃 하여 포토 마스크(photoplate mask)를 직접 제작하였으며, 채널 폭 1,000 μm , 2,000 μm 채널 길이가 각각 20, 50, 100 μm 인 TFT 4개를 하나의 실리콘 웨이퍼 위에 제작하였다.

a-Si:H TFT의 반도체 소자를 광범위하게 사용하기 위해서 구조적인 면을 고려한 신뢰성 있는 제조 공정이 무엇보다도 중요하며 특히 상업화를 위한 TFT제조 공정에서는 수소화 비정질 실리콘의 공정을 필요로 하게 되므로 TFT제조는 가스혼합 방식에 의해서 PECVD로 a-Si:H를 증착 및 에칭하고 공정의 마지막 단계에 알루미늄과 PR부분을 솔벤트를 사용하여 에칭 하는 소위 Lift Off 방법을 적용하였다. 디바이스 I-V 및 제특성 측정은 HP4215B 반도체 파라미터 분석기(Semiconductor parameter analyser)를 사용하였다.

본 연구에서 제작한 TFT의 구조를 그림 1에 나타낸다. 게이트가 밑부분에 배치된 인버티드 스테이지형 이고, 실리콘 웨이퍼 위에 전극, 절연체, 비정질 실리콘, 이온주입 n⁺ 그리고 metal 콘택전극의 순서로 증착하여 TFT 제작을 완성하였다.

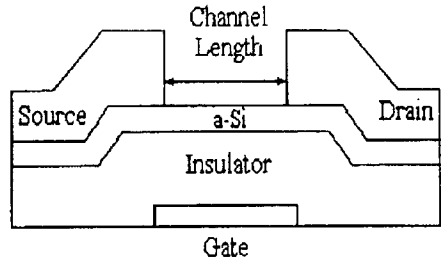


그림 1. 제작된 TFT의 구조.

Fig. 1. Structure of fabricated TFT.

그림 2는 제작한 TFT의 레이아웃인데 고전압화를 위해서 드레인과 소스 사이에 핑거(finger)를 16개 설치 하였으며 드레인 핑거와 소스 핑거 사이는 채널이 형성되도록 하여 설계하였다.

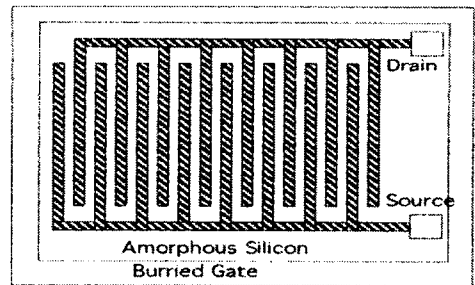


그림 2. TFT의 레이아웃.

Fig. 2. TFT layout.

TFT의 제작공정의 개요도를 그림 3에 나타내는데 n-type 100방향 10~20 ohm-cm 실리콘 웨이퍼를 산화 시켜서 SiO₂를 형성한 다음 게이트 전극을 형성하고 PECVD에 의해서 SiN를 형성한 다음 SiH₄ 가스로 비정질 실리콘 층을 형성하고 RIE에칭하고 다시 산화시킨 다음 7:1 HF 용액에 30초 콘택 에칭을 하였다. 40 KeV로 이온 주입하여 n⁺를 형성한 다음 드레인 소스 전극을 증착하고 솔벤트로 알루미늄과 PR부분을 제거하여 TFT제작을 완료하였다.

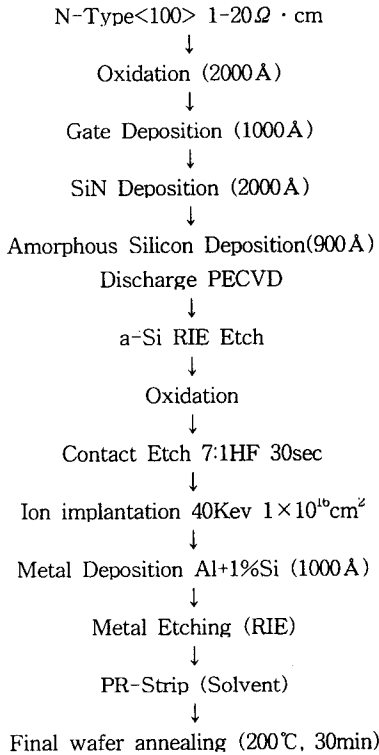


그림 3. 제작공정의 흐름도.
Fig. 3. Fabrication flow chart.

3. 결과 및 고찰

V_g 가 $-50 \sim 50V$, V_d 가 $20V$ 에서 TFT의 V_g - I_d 전달 특성곡선을 그림 4에 나타낸다. 드레인 전압 V_d 가 $20V$ 에서 게이트전압 V_g 가 $-50V$ 에서 $50V$ 로 증가함에 따라서 드레인 전류 I_d 는 최초에는 감소를 보이다가 $-35V \sim 10V$ 영역에서부터 I_d 가 증가함을 보였다. V_d $20V$ 의 경우 $-50V \sim -10V$ 사이에서 드레인 전류는 매우 불규칙적인 변화를 보였는데 이는 낮은 V_d 에서 비정질 실리콘 층에 존재하는 국부적인 상태결함이 원인으로 생각된다. 이 불규칙적인 I_d 의 변화는 V_d $60V$ 에서는 거의 없어지고 V_d $100V$ 에서는 완전히 없어지게 되었는데 V_d 가 $20V$

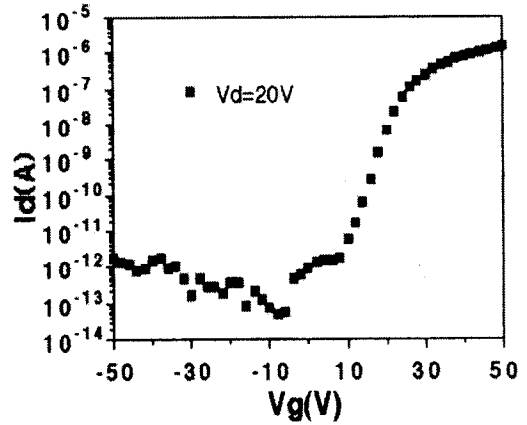


그림 4. V_g - I_d 전달특성 곡선
Fig. 4. V_g - I_d transfer characteristic

에서 $100V$ 로 고전압이 될수록 채널내의 활성화 전자가 더욱 활성화되어 비정질 실리콘 층의 국부적인 상태결함이 점차로 감소함을 알 수 있다.

그림 5는 V_g 가 $10 \sim 50V$ 이고, V_d 가 $0V$ 에서 $100V$ 까지 증가함에 따른 드레인 전류 I_d 의 변화인 TFT 출력특성 곡선을 나타낸다. 고전압 TFT에서 출력특성은 V_d 가 증가할수록 V_g $10V$ 의 낮은 게이트 전압에서는 I_d 의 불규칙적인 변화를 보였다. 그러나 게이트 전압이 $30V$, $50V$ 로 증가함에 따라서 I_d 는 일반적인 TFT의 V_d - I_d 출력특성 곡선과 같게 됨을 보였다.

게이트전압 $30 \sim 50V$, V_d $0 \sim 100V$. a-Si:H층의 두께 $2,000 \text{Å}$, $5,000 \text{Å}$ 범위에서 출력 특성 곡선을 그림 6에 나타낸다. V_g 가 $30V$ 이고 SiN 층의 두께가 $2,000 \text{Å}$ 에서 $5,000 \text{Å}$ 증가함에 따라서 드레인 전류 I_d 는 감소함을 보였고, V_g $50V$ 로 증가하면 I_d 의 증감의 차이는 더 크게 되었다. 비정질 실리콘 층인 a-Si:H층이 I_d 의 변화에 크게 기여하게 됨을 보이는데 이는 a-Si:H층의 두께가 증가될수록 수소의 양이 더 많아지기 때문에 I_d 의 증가와 관계가 있는 것으로 생각된다.

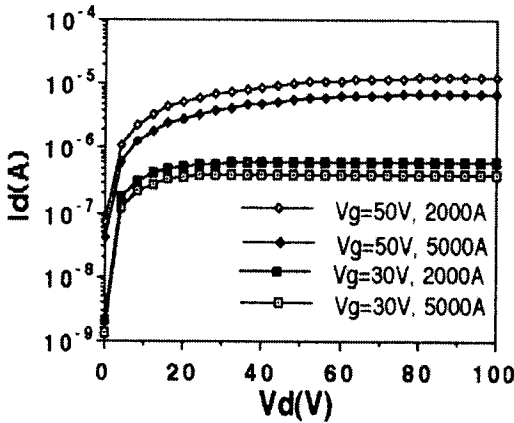


그림 5. V_g - I_d 출력특성
Fig. 5. V_g - I_d output characteristic.

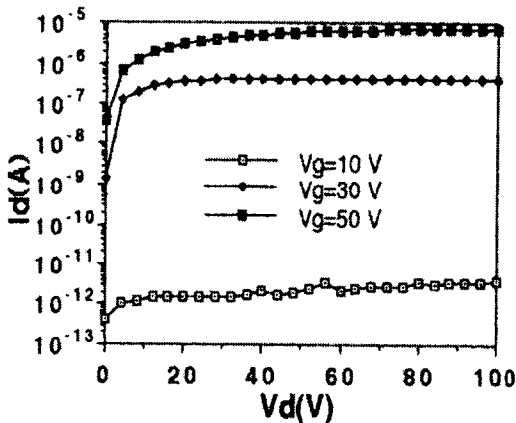


그림 6. SiN 두께 증가에 따른 출력특성곡선의 변화.
Fig. 6. Output curve variation by SiN thickness

채널 길이와 폭의 비가 10, 50, 100 일 때 V_d - I_d 출력 특성 곡선의 변화 특성을 그림 7에 나타낸다. 채널길이와 폭의 비가 100일 때 I_d 는 가장 높고 10 일 때 가장 I_d 가 가장 낮음을 알 수 있어서 채널 길이와 폭의 비가 클 때가 적을 때보다 I_d 가 많이 흐름을 보였는데 채널 길이와 폭의 비가 커 지면 채널이 짧아짐으로 해서 채널이 길 때보다 채널내의 전자가 더욱 활성화되기 때문 인 것으로 생각된다.

그림 8은 V_g - I_d 전달 특성곡선인데 V_g 가 -50V에서 I_d 가 흐르기 시작하여 -35V부근에서 드레인 전

류 I_d 가 증가하기 시작하는데 이 점이 I_d on 점이 되고 20V 부근에서 I_d 의 포화가 서서히 되는데 이 점이 I_d off 점이 된다. 이 I_d on off 점은 -35V~50V 사이의 I_d 선형영역에서 상하로 직선을 그어서 결정하였다.

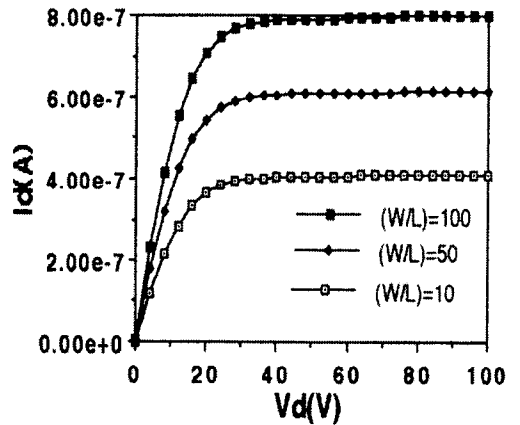


그림 7. (W/L)비에 따른 출력특성곡선의 변화.
Fig. 7. Output curve variation by (W/L) ratio

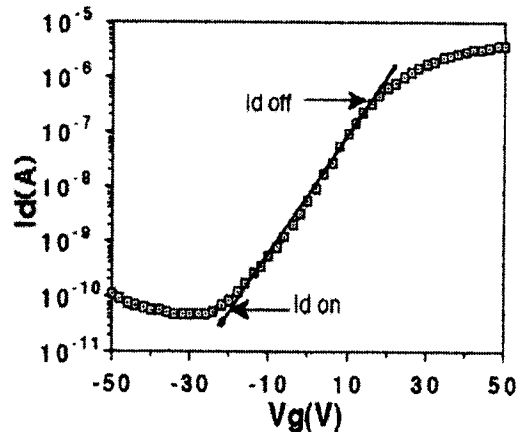


그림 8. I_d on off점의 결정.
Fig. 8. I_d on off point decision

이와 같이 결정한 드레인 전류의 I_d on off 점을 V_d 10V~100V 영역에서 그림 9에 나타낸다. I_d on off 점은 V_d 가 증가 할 수록 증가함을 보였으며 I_d on off의 편차는 10V에서의 I_d on off 편차보다 100V에서의 I_d on off 편차가 더 적게되어 고전압으

로 갈수록 I_d on/off 편차는 적게 됨을 보였다.

V_d 10~100V영역에서 I_d on/off 비를 구하여 컴퓨터에 의해서 exponential curve fit 하여 그림 10에 나타낸다. I_d on/off 비는 V_d 10V~100V 영역에서 V_d 가 증가 할 수록 감소함을 보여서 고전압 TFT에서 전형적인 특성과 같은 I_d on/off 특성을 보였다.

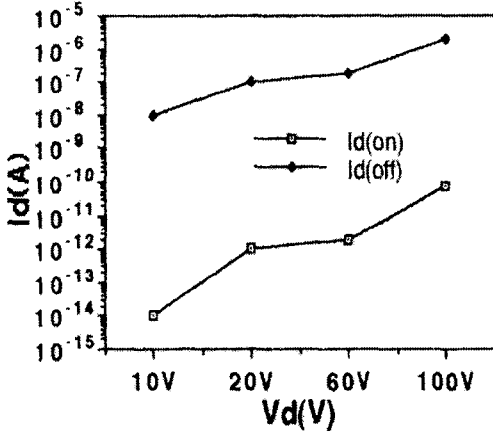


그림 9. I_d on/off 편차의 변화

Fig. 9. Variation of I_d on/off difference

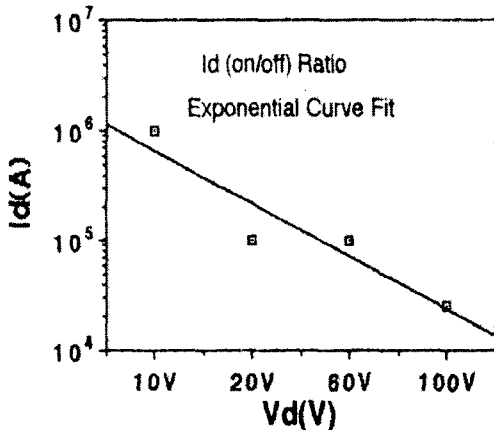


그림 10. I_d on/off 비의 변화

Fig. 10. Variation of I_d on/off ratio

4. 결 론

본 연구에서는 반도체 소자인 비정질 실리콘 박막트랜지스터를 100V급 구동전압인 TFT를

Inverted Staggered형으로 레이아웃 설계하여 제조하고 제조된 TFT의 전달특성과 출력 특성 및 전기적인 특성을 실험적으로 측정하고 결과가 분석되었다. a-Si:H 층의 두께가 증가 될 수록 수소의 양이 더 많아지기 때문에 a-Si:H층의 두께가 증가함에 따라서 드레인 전류 I_d 는 더 증가함을 보였고, V_g 가 증가함에 따라서 I_d 의 증가 차이는 더 크게 되었다. SiN층의 두께가 증가함에 따라서 드레인 전류 I_d 는 감소함을 보였고, V_g 가 증가하면 I_d 의 증감의 차이는 더 크게 되었다.

채널이 짧아 지면 채널내의 전자의 활성화로 인하여 채널 길이와 폭의 비가 클 때가 비가 적을 때보다 I_d 가 많이 흐름을 보였다. I_d (on/off) 점은 V_d 가 증가 할 수록 증가함을 보였으며 I_d (on/off)의 편차는 낮은 전압에서의 I_d (on/off) 편차보다 고전압에서의 I_d (on/off)편차가 더 적게되어 고전압으로 갈수록 I_d (on/off) 편차는 적게 됨을 보였다.

감사의 글

본 연구는 1997년도 교육부 학술연구 조성비(반도체 97-154)에 의하여 연구되었음.

참 고 문 헌

1. G. W. Neudeck, A. K. Malhotra, "An amorphous silicon thin film transistor: Theory and experiment," Solid State Electronics, vol. 19, pp 721-729, 1976.
2. T. L. Credelle, "Recent trends in color avionic LCD's" Soc. Information Display, vol.3, no.10, pp 15-18, Nov. 1987.
3. Y. Naara, Y. Kudou, and M. Matsumura, Application of amorphous field effect transistor in 3-dimensional integrated circuits, Japanes Journal of Applied Physics, Vol. 22, No. 6, pp L370-L372, June 1983.
4. Y. Nara and M. Matsumura, "An amorphous silicon integrated inverter," IEEE Trans. Electron Devices, vol. ED-29, no.10, pp. 1646 - 1649, 1982.
5. Woo-Sun Lee, G. W. Neudeck, and Min-Koo

- Han, "Temperature Dependent ID-VD Measurement and Analytical Model of Thin Film Transistor", Solid State Electronics, Vol. 37, No.11, pp.1896-1898 Nov. 1994
6. Woo-Sun Lee, G. W. Neudeck, "A Model for the temperature dependent I-V characteristics of a-Si:H Thin Film Transistor", IEEE, Trans. on Electron Devices, Vol. 38, No.9, pp. 2070 - 2074 Sept. 1991.
 7. F. OKumura and S. Kaneko, "Amorphous Si:H linear image sensor operated by a-Si:H TFT array," Proc. Mat. Res. Soc. Symposium, Vol. 33, M. J. Thompson Ed. New York:North Holland, pp 275-280, 1984.
 8. H. Aoki," Dynamic characterization of a-Si TFT-LCD pixels", IEEE, Trans. on Electron Devices, Vol. 43, No.1, pp.32-39, Jan. 1996.