

8비트 10MS/s 저전력 아날로그-디지털 변환기 설계

Design of a Low power Analog-to-Digital Converter with 8bit 10MS/s

손 주 호*, 이 근 호**, 설 남 오***, 김 동 용**

(Ju Ho Son*, Geun Ho Lee**, Nam O Seul***, Dong Yong Kim**)

요 약

본 논문에서는 고속의 변환속도를 갖는 파이프라인드 방식과 저전력 특성을 갖는 측차 비교 방식 구조를 혼용하여 고속, 저전력 아날로그-디지털 변환기를 설계하였다. 제안된 구조는 측차 비교 방식의 변환에서 비교기를 파이프라인드 구조로 연결하여 홀드된 주기에 비교기의 기준 전위를 전 비교기의 출력값에 의해 변환하도록 하여 고속 동작이 가능하도록 하였다. 제안된 구조에 의해 8비트 아날로그 디지털 변환기를 0.8 μ m CMOS공정으로 HSPICE를 이용하여 시뮬레이션한 결과, INL/DNL은 각각 $\pm 0.5/\pm 1$ 이었으며, 100kHz 사인 입력 신호를 10MS/s로 샘플링 하여 DFT측정 결과 SNR은 41dB를 얻을수 있었다. 10MS/s의 변환 속도에서 전력 소모는 4.14mW로 측정되었다.

ABSTRACT

In this paper, The High-speed, Low-power Analog-to-Digital Converter is designed using the Pipelined architecture for High-speed conversion rate and the Successive-Approximation architecture for Low-power consumption. This architecture is the Successive-Approximation architecture using Pipelined Comparator array to change reference voltage during Holding Time. A 8-bit 10MS/s Analog-to-Digital Converter is designed using 0.8 μ m CMOS technology. The INL/DNL errors are $\pm 0.5/\pm 1$, respectively. The SNR is 41dB at a sampling rate of 10MHz with 100kHz sine input signal. The power consumption is 4.14mW at 10MS/s.

I. 서 론

최근 들어 급격한 집적회로의 발전에 따라 디지털 시스템과 아날로그 시스템의 단일칩화 연구가 활발하게 진행되고 있다. 이러한 요구에 부응하여 아날로그-디지털 변환기의 연구방식도 속도, 정확도, 장밀도 그리고 선형성 등의 특성면에서의 개선보다는 단일칩상에서 구현될 수 있도록 소형화가 연구의 주 목표가 되고 있다. 하지만 여전히 멀티미디어 및 통신 시스템에서 널리 사용되는 디지털 신호처리 기술의 발전으로 인하여 아날로그 신호를 디지털 신호로 바꾸어 주는 아날로그 디지털 변환기 특성 개선이 요구되고 있으며, 따라서 아날로그-디지털 변환기 설계시 고려하여야 할 사항은 저전압, 저전력, 고속, 고해상도에 관한 내용이다. 지금까지 연구되어온 바에 의하면 고해상도를 구현하기 위한 방법으로 시그마 델타 변환 방법이 널리 사용되고 있지만 구조가 복잡하고 변환 속도가 느리다는 단점을 가지고 있다.

이러한 단점을 극복하여 고속 변환 특성을 지니기 위하

여 플래시 구조와 2스텝 방식, 파이프라인드 방식이 사용되고 있고^{[1][2]}, 이 중에서도 플래시 구조는 가장 간단하고 빠른 변환기이지만, 해상도를 높일 경우 많은 비교기가 요구되어 전력 소모가 많고 집적회로로 실현할 경우 한정된 칩면적 때문에 고해상도 방식에는 부적합하다. 또한 2스텝 방식도 고해상도를 위해서는 역시 많은 비교기를 필요로 하고, 각 단 사이를 연결하기 위해 DAC(Digital-Analog Converter), 샘플/홀드 회로, 뿔셈기 및 잔류 증폭기가 필요하게 되어 전력 소모가 많다. 따라서, 비교기의 수를 줄이며 고속으로 신호를 변환하기 위해 파이프라인 구조를 사용하고 있다. 하지만, 이 방법은 비교기의 수를 현저하게 줄일 수는 있으나, 각 단 사이에 DAC, 샘플/홀드 회로 및 뿔셈기, 잔류 증폭기가 필요하게 되며, 각 단을 거치면서 발생하는 오차를 제거하기 위해 디지털 교정 회로를 사용하여야 한다. 또한, 12비트 이상의 고해상도를 위해서는 그 외에 디지털 보정 회로를 더 추가해야만 하는 단점을 가진다.^[2]

중속 변환 방식에는 대표적으로 측차 비교 방식이 있다. 이 방식은 상대적으로 구조가 간단하고 저전력화를 실현할 수는 있으나, 고해상도를 위해 많은 클럭이 필요하게 되어 변환 속도면에서 단점을 지니고 있다.^[3]

본 논문에서는 이러한 각각의 단점을 보완하기 위해 낮

* 전북대학교 전기전자회로합성연구소

** 전북대학교 전기공학파

*** 서남대학교 전자전기공학파

접수일자 : 1998년 7월 16일

은 소비전력의 특성을 지니는 측차 비교 방식을 기본으로 하여, 파이프라인식 비교기 배열을 이용하여 고속 변환의 특성을 동시에 보여줄수 있는 새로운 구조의 아날로그-디지털 변환기를 제안하였다. 또한, 제안한 구조를 이용하여 8비트 10MS/s 아날로그-디지털 변환기를 설계하였다.

II. 새로운 구조의 아날로그 디지털 변환기 설계

2.1 제안된 구조와 기존의 측차 비교 방식과의 비교

기존의 측차 비교 방식은 비교기 한 개, DAC(Digital to Analog Converter)와 샘플/홀드 회로로 구성되어 있으며, 입력된 신호가 비교기에서 비교되어 출력값을 얻고, DAC를 통해 비교 전위를 바꾸어 주게 된다. 이때 출력값은 디지털 소자에 저장하고 전체 클럭이 끝날 때 동시에 디지털 출력값이 나타나게 된다.

제안된 구조의 8비트 아날로그-디지털 변환기를 그림 1에 나타내었다. 비교기를 파이프라인식으로 배열하여 비교기의 출력값을 데이터로 사용하도록 하였으며, N비트 해상도를 구현하기 위해 N개의 비교기를 사용하였다. 측차 비교 방식에서 한 개의 비교기만으로 동작하는 것에 비해 많은 비교기를 사용하지만 신호 변환 속도를 향상시킬 수 있다. 측차비교 방식에서는 한번의 비교기 동작을 위해 한 클럭을 사용하지만, 제안된 구조에서는 비교기 출력값에 의해 다음 비교기의 기준 전위를 바꾸어 주므로 측차 비교 방식보다 빠른 동작이 가능하게 된다.

2.2 제안된 아날로그-디지털 변환기의 동작

그림 1에서 입력 신호가 샘플/홀드 회로에 입력된 후 홀드된 주기 동안에 비교기 N개가 순차적으로 동작하도록

하였다. 비교기 부분은 파이프라인 방식을 사용하고 기준 전위 절체부는 측차 비교 방식의 DAC부분을 사용하였으며, 스위치 배열을 이용하였다. 변환 동작 원리는 먼저 홀드된 신호가 비교기 1, 2, 3에 모두 입력되고, 각각 기준 전위는 아직 입력되어 있지 않은 상태에서 비교기 1은 항상 1/2 기준 전위(V_{mid})에 연결되어 비교기 1을 동작시킨다. 이때 비교기 1에서 나온 출력값은 D 플립플롭에 저장되며, 또한 비교기 2의 기준 전위를 바꾸어 준다. 이때 비교기 2는 동작할 것이고, 비교기 1의 동작을 반복하게 된다. 비교기 1, 2, ... N에 의해 전송된 디지털 출력값은 D 플립플롭에서 동시 동작을 위한 과정을 거치고, 완성된 N비트 디지털 출력값을 얻게된다.

그림 2에서는 기준전위절체를 위한 그림이다. 보여주는 바와 같이 로직 회로를 사용하지 않고 스위치를 사용하여 설계하였으며, 로직 회로보다 적은 면적을 가지게 된다. 하지만, 많은 스위치들에 의한 잡음 개선 및 기준 전위에 의한 스위치 온 저항값의 고려가 필요하다.

스위치 하나가 기준 전위를 바꾸는데 걸리는 시간은 최대 2ns이며, 따라서 바뀐 기준 전위에 의해 비교기의 비교되는 전달 지연 시간은 최대 2ns이다. 기준 전위 저항에서 스위치는 최대 2개의 직렬 배열된 스위치를 거치며, 스위치 변환 시간과 비교기 전달 지연 시간을 합하고, 2배를 하면 3비트에서 가장 빠른 변환 속도를 얻을 수 있다. 8비트 아날로그-디지털 변환기를 설계하였을 때를 고려해 보면, 1개의 스위치와 비교기를 거치는데 걸리는 시간 4ns와 최대 7개의 스위치를 거쳐야 하므로 28ns의 변환 시간이 필요하게 되며, 스위치 변환 오차 시간 및 비교기 동작 오차 시간 등을 고려하여 약 2배 여유를 두었을 때, 변환 속도는 최대 10MS/s이다.

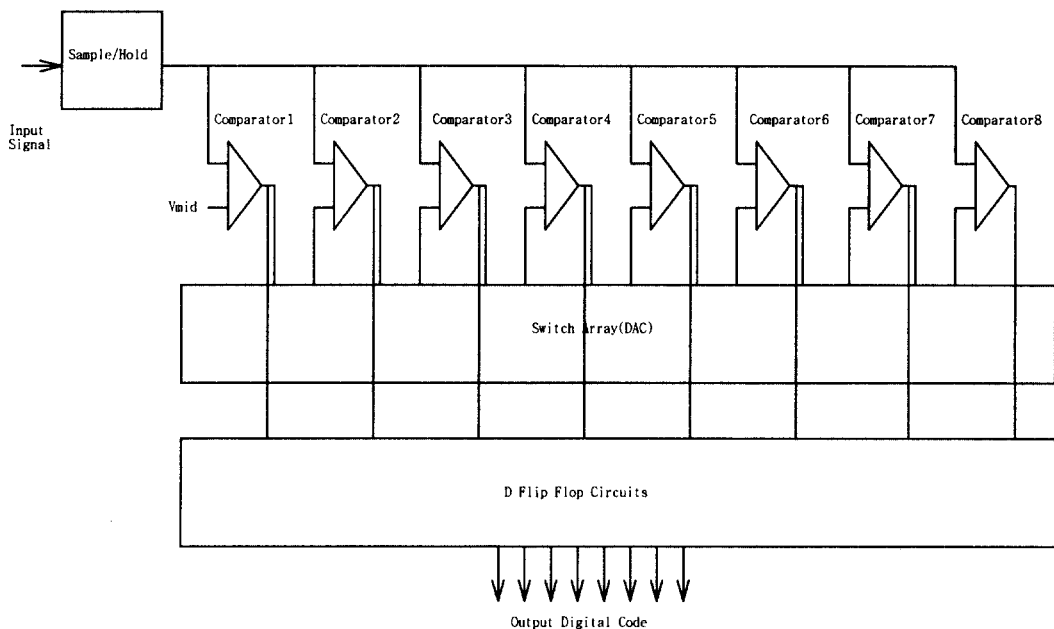


그림 1. 8비트 아날로그-디지털 변환기의 블록도
 Fig. 1 Block Diagram of 8bit Analog-to-Digital Converter.

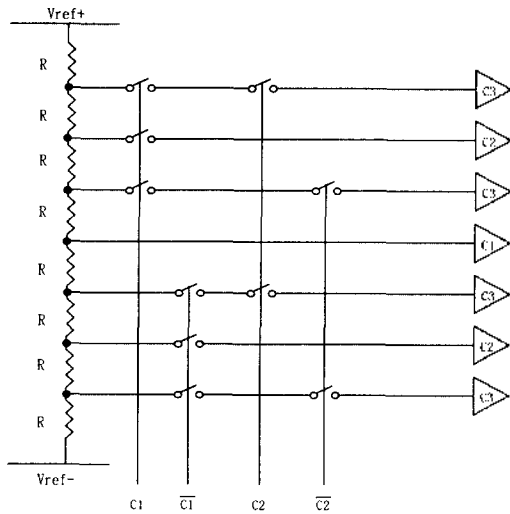


그림 2. 3비트 기준 전위 절체 회로
Fig. 2 3bit reference voltage conversion circuits.

III. 주변 회로 설계

2.1 샘플/홀드 회로

본 논문에서 사용한 트래크/홀드 회로는 8비트 해상도만 만족하면 되므로 스위치와 캐패시터만으로 구성된 가장 간단한 구조를 갖는 BUTTOM PLATE 방식을 이용하였고, 사용된 캐패시터 값은 4pF이다.

2.2 비교기

프리 앰프 2개를 사용하여 8비트 이상의 해상도를 갖는 비교기를 사용하였으며, 비교기 하나의 전력 소모는 10MHz의 동작속도에서 0.35mW이다.^[8]

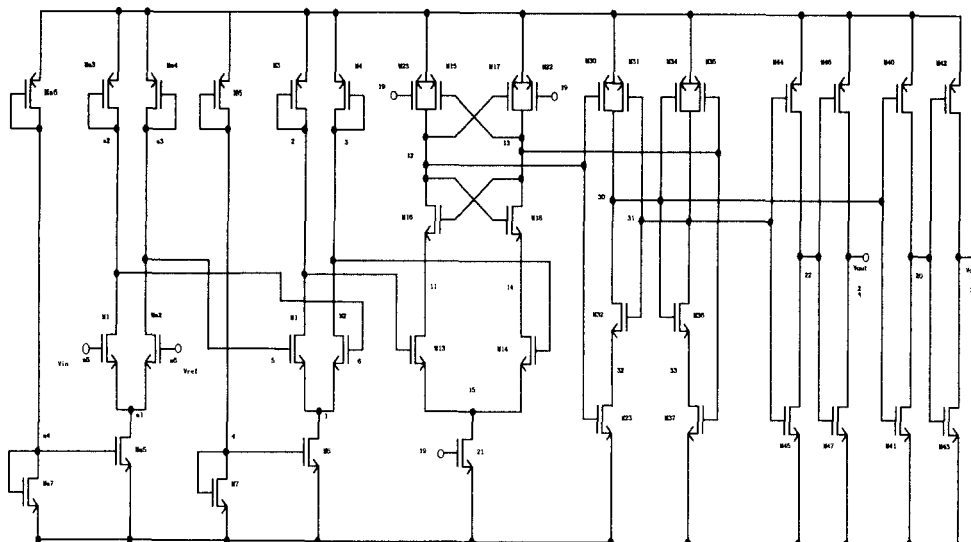


그림 3. 비교기 회로
Fig. 3 Comparator circuit.

2.3 스위치

간단한 CMOS 상보형 스위치가 사용되었으며, 트래크/홀드 회로에 사용된 스위치의 크기는 25 μ m/5 μ m(PMOS/NMOS)이며, 비교기 기준 전위 변환에 사용된 스위치는 10 μ m/4 μ m(PMOS/NMOS)이다.

IV. 시뮬레이션 결과 및 고찰

8비트 10MS/s 아날로그 디지털 변환기를 0.8 μ m CMOS 공정 파라미터를 이용하여 HSPICE로 시뮬레이션 하였으며 그림 4에서 램프 입력에 의한 출력값을 나타내었고, 그림 5에서 INL/DNL (Integral Non-Linearity/Differential Non-Linearity)을 나타내고 있다. 또한, 100kHz의 사인 입력 신호를 10MHz 샘플링 클럭을 사용하였을 때 사인 출력 파형을 그림 6과 같이 얻었다. 이를 DFT(Discrete Fourier

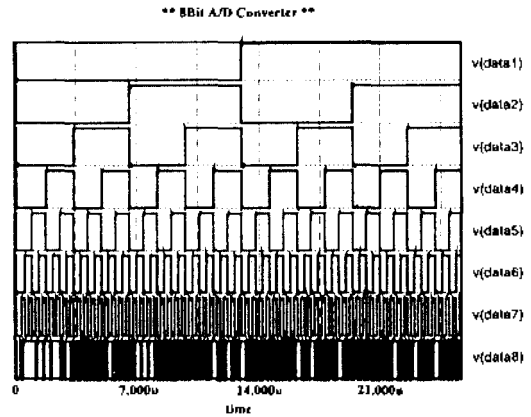
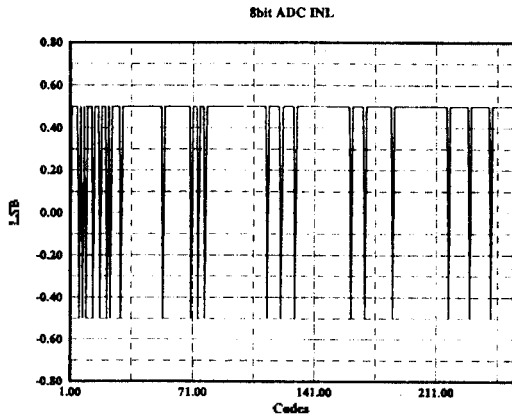
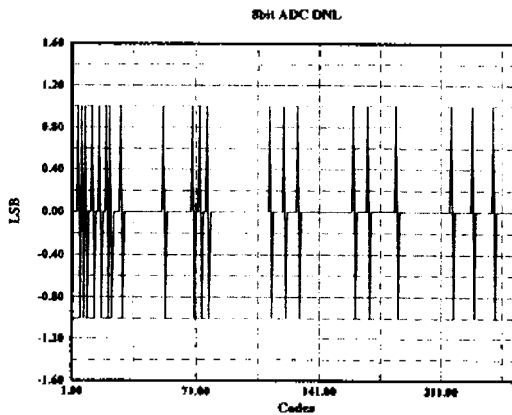


그림 4. 램프 입력에 의한 출력값
Fig. 4 Digital Output of Ramp input.



(a) INL



(b) DNL

그림 5. INL, DNL 결과
Fig. 5 INL, DNL result.

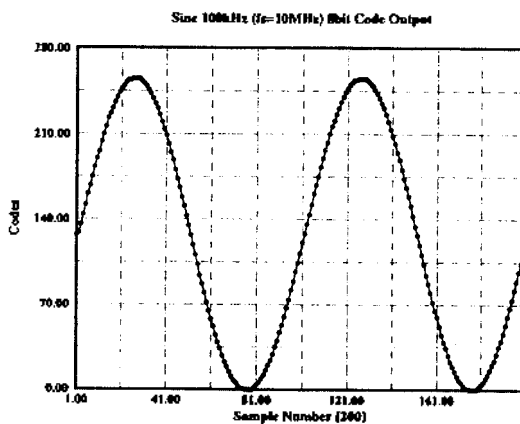


그림 6. 100kHz 사인 출력 파형
Fig. 6 100kHz sine output result.

Transform) 측정된 결과를 그림 7에 나타내었으며, 측정결과 41dB의 SNR(Signal to Noise Ratio) 값을 얻었으며, 이

는 식(1)과 같은 계산을 통해 6.5비트의 ENOB(Effective Number Of Bit)를 구할 수 있었다.

$$ENOB = \frac{SNR - 1.76dB}{6.02} \quad (1)$$

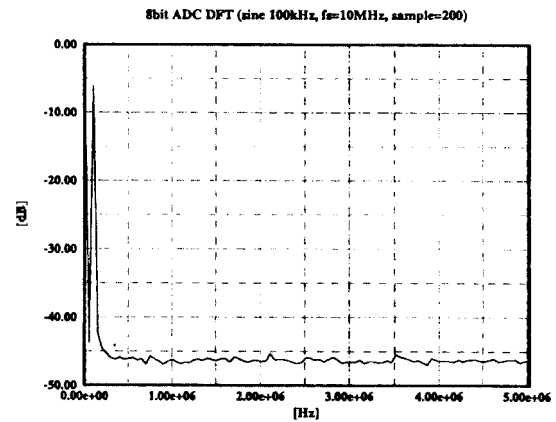


그림 7. DFT(100kHz 사인 입력과, 10MS/s 샘플링, 200point 샘플링)

Fig. 7 DFT plot(100kHz sine input, 10MS/s sampling rate, 200 point sampling)

표 1에서 설계한 아날로그 디지털 변환기를 기존 방식과 비교하고 있다.

표 1. 기존방식과의 비교

Table 1. Comparison of Existence Architecture.

	제안한 구조	[3]	[4]	[5]	[6]	[7]
비트수	8비트	8비트	8비트	8비트	8비트	8비트
속도	10MHz	1.3MHz	20MHz	4.5MHz	10kHz	2MHz
공전압	3V	5V	5V	5V	5V	3V
소비전력	4.14mW	70mW	50mW	128mW	9.8mW	6.5mW
CMOS 공정	0.8 μ m	3 μ m	1 μ m	0.8 μ m	0.8 μ m	1.2 μ m
INL	± 0.5	± 0.3	± 0.5	± 0.9	± 1.2	± 0.015
DNL	± 1	± 0.9	± 0.5	± 0.9	± 0.5	± 0.15
구조	제안한 구조	Successive Approximation	Subranging	Pipelined	Algorithm	2Step/ Successive Approximation

V. 결론

고속과 저전력 특성을 보유하기 위한 아날로그-디지털 변환기의 연구에 있어, 성능 향상을 위해 여러 가지 방식이 도입되고 있으나, 기존의 구조별로 각각 지니고 있는 장점과 단점들의 적절한 혼용이 각 문제점들을 해결할

수 있다. 따라서 우선적으로 속도와 저전력화 부분의 문제점을 해결하기 위해 측차비교 방식을 기본으로 파이프라인식 비교기 배열을 이용한 아날로그 디지털 변환기를 제안하였다. 제안된 구조를 이용하여 8비트 10MS/s 아날로그 디지털 변환기를 설계하였으며, 0.8 μ m CMOS 공정파라미터를 이용하여 HSPICE로 시뮬레이션한 결과, INL/DNL은 각각 +0.5/-1이었으며, 100kHz 사인 입력 신호를 10MHz 샘플링 클럭을 사용하여 DFT 측정하여 41dB의 SNR값을 얻었다. 또한 4.14mW의 전력 소모를 측정하였다. 제안된 구조는 2 스텝 아날로그-디지털 변환기에 응용 가능하며, 요즘 급격한 발전을 이루고 있는 이동 통신 장비, 휴대용 오디오, 비디오 시스템등에 응용가능한 것으로 사료된다.

참고 문헌

1. Raf Roovers and Michiel S. J. Steyaert, "A 175MS/s, 6b, 160mW 3.3V CMOS A/D Converter," *IEEE J. Solid State Circuits*, vol. 31, no. 7, pp. 938-944, July, 1996.
2. Gil-Cho Ahn, Hee-Cheol, Shin-II Lim, Seung-Hoon Lee and Chul-Dong Lee, "A 12-b, 10-MHz, 250-mW CMOS A/D Converter" *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 2030-2035, December, 1996.
3. KH.HADIDI, VINCENT S. TSO and GABOR C. TEMES "An 8-b 1.3-MHz Successive-Approximation A/D Converter," *IEEE J. Solid-State Circuits*, vol. 25, no. 3, pp. 880-885, June, 1990.
4. SHIRO HOSOTANI, TAKAHIRO MIKI, ATSUSHI MAEDA and NOBUHARU YAZAWA, "An 8-bit 20-MS/s CMOS A/D Converter with 50-mW Power Consumption," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 167-172, Feb., 1990.
5. Chung-Yu, Chih-Cheng Chen and Jyh-Jer Cho, "A CMOS Transistor-Only 8-b 4.5-Ms/s Pipelined Analog-to-Digital Converter Using Fully-Differential Current-Mode Circuit Techniques," *IEEE J. Solid-State Circuits*, vol. 30, no. 5, pp. 522-532, May, 1995.
6. 하장용, 박종태, 유종근, "스위치드-캐패시터 기술을 이용한 알고리즘 아날로그-디지털 변환기 설계," *대한전자공학회의 논문지*, 제34권, C편, 제 8호, pp. 29-38, 1997.
7. Nasirul CHOWDHURY, Hassan ELWAN and Mohamed ISMAIL, "A Low Power Transistor-Only CMOS Current-Mode A/D Converter Architecture," *IEEE 2nd Analog VLSI Workshop proceedings*, pp. 137-144, June, 1998.
8. Tsuguo Kobayashi, Kazutaka Nogami, Tsukasa Shirotori and Yukihiro Fujimoto, "A Current-Controlled Latch Sense Amplifier and a Static Power-Saving Input Buffer for Low-Power Architecture," *IEEE J. Solid State Circuits*, vol. 28, no. 4, pp. 523-527, April, 1993.

▲손 주 호 (Ju Ho Son)

1970년 9월 26日生



1994년 2월: 전북대학교 공과대학 전기공학과 졸업(공학사)
1996년 3월~현재: 전북대학교 대학원 전기공학과 석사과정
1996년 9월~현재: 전북대학교 전기전자회로합성연구소 조교

※주관심분야: 회로 및 시스템, VLSI설계

▲이 근 호 (Geun Ho Lee)

1969년 3월 29日生



1994년 2월: 전북대학교 공과대학 전기공학과 졸업(공학사)
1997년 2월: 전북대학교 대학원 전기공학과 석사졸업(공학석사)
1997년 3월~현재: 전북대학교 대학원 전기공학과 박사과정

※주관심분야: 회로 및 시스템, 아날로그 집적회로

▲설 남 오 (Nam O Seul)

1966년 1월 17日生



1989년 2월: 전북대학교 공과대학 전기공학과 졸업(공학사)
1991년 2월: 전북대학교 대학원 전기공학과 석사졸업(공학석사)
1998년 2월: 전북대학교 대학원 전기공학과 박사졸업(공학박사)

※주관심분야: 회로 및 시스템, 지능제어

▲김 동 용 (Dong Yong Kim)

현재: 전북대학교 전기전자제어공학부 교수
한국음향학회지 제 16 권 4호 참조