

비트 동기 Charge-pump 위상 동기 회로의 해석

(Analysis for Bit Synchronization Using Charge-Pump Phase-Locked Loop)

鄭熙永*, 李範哲*

(Hee Young Jung and Bhum Cheol Lee)

요 약

본 논문에서는 비주기적인 기준 펄스와 루프 필터에서의 누설 전류를 고려된 비트 동기용 charge-pump 위상 동기 회로의 수학적 모델 제시하였다. 제시된 모델을 사용하여 이론적인 정적 위상 오차와 과부하 및 안정도를 유도하였으며 이를 종래의 charge-pump PLL 모델과 비교하였다. 제안된 비트 동기 위상 동기 회로는 비트 동기 charge-pump PLL의 특징인 비주기적인 기준 펄스와 루프 필터에서의 누설 전류를 고려하였으므로 비트 동기 Charge-pump PLL을 정확하게 해석할 수 있었으며 이를 HSPICE를 이용한 시뮬레이션을 통하여 검증하였다.

Abstract

The Mathematical model of bit synchronization charge-pump Phase Locked Loop (PLL) is presented which takes into account the aperiodic reference pulses and the leakage current of the loop filter. We derive theoretical static phase error, overload and stability of bit synchronization charge-pump PLL using presented model and compare it with one of the conventional charge-pump PLL model. We can analysis bit synchronization charge-pump PLL exactly because our model takes into account the leakage current of the loop filter and aperiodic input data which are the characteristics of bit synchronization charge-pump PLL. We also verify it using HSPICE simulation with a bit synchronizer circuit.

I. 서론

비트 동기는 전송된 데이터를 복구하기 위해서 리타이밍 (retiming) 클럭의 주파수를 전송 데이터 원천 (source) 클럭의 주파수에 동기 시키고, 주파수 동기된 리타이밍 클럭의 천이를 전송된 데이터 눈 패턴 중앙에 동기 시키는 기능으로 정의된다. 비트 동기를 위해서 초기에는 데이터를 비선형화 시켜 원천 비트 클럭을 대역 필터로 추출하는 기법을 사용하였으나 최근에

는 PLL을 이용한 동기 회로가 널리 사용되고 있다^[1]. Charge-pump PLL은 고전적인 PLL에 비해, 정적 위상 오차가 매우 작기 때문에 널리 사용된다. 종래의 charge-pump PLL에 대한 해석은 주로 루프 대역 폭이 좁고, 주파수 성분이 중시되는 주파수 합성 분야에 치중되었다. 주파수 합성 분야의 charge-pump PLL은 루프 대역이 좁거나 또는 좁게 하기 위해서 VCO 클럭 펄스를 분주하여 사용하며, PFD에 입력되는 기준 신호는 주기적이다. 이에 반하여 비트 동기 charge-pump PLL은 VCO 클럭 펄스를 분주하지 않고 사용하며, 입력되는 기준 신호도 비주기적이므로 주파수 합성에서의 해석 결과를 그대로 응용할 수가 없다.

* 正會員, 韓國電子通信研究院

(Electronics and Telecommunications Research Institute)

接受日字: 1997年7月24日, 수정완료일: 1997年11月13日

II절에서는 상기의 문제점을 해결하기 위한 비트 동기 charge-pump PLL의 수학적 모델을 제시하며 III 절에서는 제안된 모델을 이용한 정적 위상 오차와 과부하 및 안정도를 해석한다. IV절에서는 수학적 모델을 해석한 결과와 HSPICE를 통한 시뮬레이션 결과를 비교, 분석하며 V절에서는 결론을 기술한다.

II. 비트 동기 Charge-pump PLL의 수학적 모델

1. 비트 동기 Charge-pump PLL 구성 요소

비트 동기 charge-pump PLL 모델은 그림 1과 같이 위상 비교기(Phase Detector : PD), charge-pump, 루프 필터, 전압 제어 발진기(Voltage Controlled Oscillator : VCO)로 구성되어 있다. 비트 동기에 사용되는 charge-pump PLL은 주파수 합성에 사용되는 PLL과는 달리 위상 주파수 비교기(Phase Frequency Detector : PFD) 대신에 PD를 사용하며 이때 사용되는 PD는 일반적으로 비트 동기 전용 PD가 사용된다. 또한, 비트 동기용 charge-pump를 집적회로로 구현할 때는 PD와 더불어 주파수 검출기(Frequency Detector : FD)를 대부분 별도로 사용한다. 그러나, 본 논문에서는 해석 결과에는 아무런 영향을 주지 않으므로 비트 동기 모델의 복잡성을 배제하기 위해서 FD를 생략하였다.

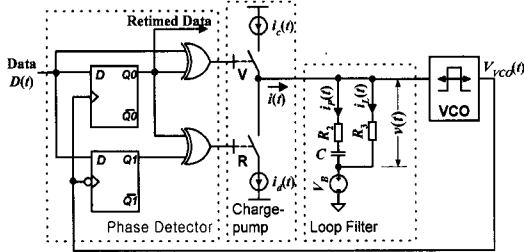


그림 1. 비트 동기 charge-pump PLL
Fig. 1. Bit synchronization charge-pump PLL.

비트 동기에 사용되는 PD는 종래의 charge-pump PLL에서의 PD와는 달리, 입력되는 비트 열에서 데이터의 천이 위치와 VCO 클럭 펄스의 천이 위치를 서로 비교한다. 이러한 비교는 데이터에서 천이가 있을 때마다 수행되며, 데이터의 천이 밀도 $1/p$ (p 는 자연수)은 데이터 비트 패턴에 따라서 임의로 변한다. 비트 동기에 사용되는 PD는 여러 가지가 있으나 리타이밍 클

럭 펄스의 타이밍을 최적으로 조절할 수 있는 PD를 사용하게 된다^[8,10]. 그림 1에 비트 동기용 PD를 나타냈으며, 그림 2(a) 및 2(b)에 PD의 각 부분의 타이밍을 나타냈다. 그림 2(a)는 데이터 단위 비트 간격(Unit Interval : UI) 중앙의 위치보다 VCO 클럭의 상승 천이의 위치가 뒤에서 발생하는 경우에 대한 PD의 각 부분의 타이밍 도이다. 반면에, 그림 2(b)는 데이터 UI 중앙의 위치보다 VCO 클럭의 상승 천이의 위치가 앞에서 발생하는 경우에 대한 PD의 각 부분의 타이밍 도이다. PD는 디지털 회로로 구현되기 때문에 논리 레벨 0에서 논리 레벨 1로 천이 되거나, 논리 레벨 1에서 논리 레벨 0으로 천이 될 때에 천이 시간 τ_{tr} 가 요구된다. 즉, PD 출력의 펄스 파형은 이상적인 구형파가 아니고 그림 2(a)와 2(b)과 같이 기울기를 갖게 된다.

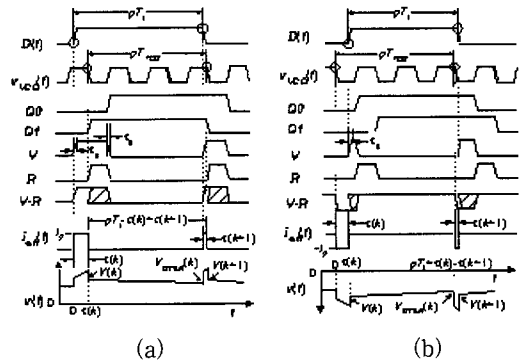


그림 2. 비트 동기 charge-pump PLL의 타이밍 도
Fig. 2. Timing diagrams of bit synchronization charge-pump PLL.

Charge-pump 회로는 $i_c(t) = i_p(t) + i_L(t)$ 를 구동하는 전류 원 (source)과 $i_d(t) = i_p(t) + i_L(t)$ 를 배출하는 전류 싱크 (sink)로 구성된다. Charge-pump 회로는 PD의 출력인 R 및 V 펄스 신호에 따라 4가지 경우의 불연속 전류 값으로 변환하여 출력한다. 각 상태의 전류 값은 각각 $i(t) = i_c(t)$, $i(t) = i_d(t)$, $i(t) = 0$ 및 $i(t) = i_c(t) - i_d(t)$ 이다. 실제의 charge-pump회로로 구현되기 어렵지만, 만일 $i_c(t) = i_d(t)$ 이면, charge-pump 출력 상태는 $i(t) = i_c(t) - i_d(t)$ 상태가 제외된 3가지 경우로만 모델링 될 수 있다. 실제 VCO의 출력이 정현파가 아니고 펄스이며, 데이터에서 천이 밀도 $1/p$ 가 1보다 항상 같거나 작아서 정상 상태에서 데이터의 펄스 너비가 VCO의 클럭 펄스의 주기보다 같거나 크다. 따라서, charge-pump 및 루프 필터에서 충전과 방전의 동작이

대칭이면 적분한 charge-pump의 실효(effective) 전류는 그림 2(a)와 2(b)와 같이 등가적으로 $i_{cp}(t)$ 로 나타낼 수 있다. 따라서, 루프 필터로 입력 및 출력되는 실효 출력 전류는 그림 2(a) 및 2(b)의 $i_{cp}(t)$ 와 같이 k 번째 비교 순간에 $\tau(k)$ 펄스 폭을 가진 파형을, $k+1$ 번째 비교 순간에는 $\tau(k+1)$ 펄스 폭을 가진 파형을 charge-pump 출력에서 출력한다. 누설 전류 $i_L(t)$ 은 charge 또는 pump하는 동안에는 무시하게 되는데, 이것은 $i(t)=i_c(t)$ 또는 $i(t)=i_d(t)$ 인 동안에는 $i_p(t) \gg i_L(t)$ 이기 때문이다. 또한, k 번째 위상 비교 순간에, 로 근사할 수 있으며, 여기서 I_P 는 종래의 charge-pump PLL의 것과 같으므로 $i_p(t)i_{cp}(t)$ 로 모델링할 수 있다. 그림 2(a)와 2(b)와 같이 charge-pump 회로의 실효 전류 출력 파형은 PD 및 charge-pump에서 발생한 τ_{ut} 가 없이 이상적인 펄스로 모델링 하지만 실제로는 전류 원 및 전류 싱크에서 스위칭 시간 지연이 존재하여 τ_{ut} 가 발생하게 되며 이 경우에는 논문 [2] [3]에서의 해석 방법을 이용하여 해석 할 수 있다.

루프 필터는 그림 1과 같이 R_2-C 로 구성되어 있으며, R_3 은 누설 전류를 모델링 하기 위해서 추가되었다. R_3 이 추가되었기 때문에 포착이 된 후에 charge-pump PLL의 동작에 대한 해석을 정확하게 할 수 있다. 루프 필터의 출력 전압은 직류 바이어스 전압 V_B 와 R_2-C 양단 전압인 $v(t)$ 이 합해진 $v(t)+V_B$ 가 된다.

VCO 이득이 K_V 이고, 최소 발진 주파수가 f_{min} 이고, 루프 필터의 직류 바이어스 전압이 V_B 이고, 루프 필터의 출력 전압이 $v(t)+V_B$ 일 때에 VCO 주파수 특성은

$$\begin{aligned} \frac{f_{vco}(t)}{P} &= \frac{f_{min}}{P} + \frac{K_V}{P}(v(t) + V_B), v(t) + V_B \geq 0 \\ &= \frac{f_B}{P} + \frac{K_V}{P} v(t) \end{aligned} \quad (1)$$

로 표현된다. 식 (1)의 양변이 p 로 나누어진 것은 비트 동기의 PD는 데이터에서 천이가 있을 때만 위상 비교를 하기 때문이며, 이때 PD는 입력 신호에 대해 $f_{vco}(t)/p$ 와 위상 비교를 하는 것으로 모델링할 수 있다.

2. 차동 방정식

비트 동기 charge-pump PLL의 동작은 직류 바이어스 전압이 제외된 루프 필터의 출력 전압 $V(k)$ 와 PD의 출력 펄스 간격 $\tau(k)$ 를 상태 변수로 하는 차동

방정식으로 기술할 수 있다. 상태 변수 $V(k)$ 는 루프 필터의 캐패시터 C 의 충전된 전압에 따라서 변하게 되나, 상태 변수 $\tau(k)$ 는 입력되는 데이터 UI 중앙의 위치와 VCO에서 출력하는 펄스의 천이의 위치에 따라서 변하게 된다. 두 상태 변수는 T_{VCO} 마다 계산되지 않고, pT_{VCO} 마다 (k 상태, $k+1$ 상태, $k+2$ 상태 등등) 반복적으로 계산이 된다.

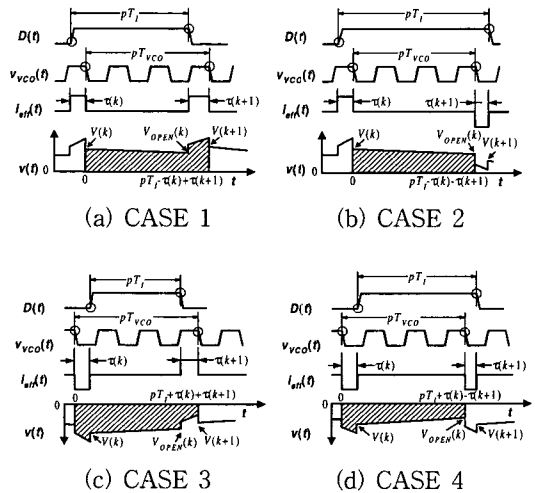


그림 3. 4가지 경우에 대한 비트 동기 charge-pump PLL의 타이밍도

Fig. 3. Timing diagrams of bit synchronization charge-pump PLL for 4 cases.

천이 밀도는 데이터 패턴에 따라 임의로 변하지만 데이터에서 천이 간격이 평균적으로 p UI이면, 입력되는 데이터는 주기 pT_I 를 갖는 기준 신호로 모델링할 수 있다. 그림 3에서와 같이, 비트 동기 charge-pump PLL의 동작 유형은 평균 천이 밀도가 $1/p$ 인 비트 열(stream)에 대한 주기 pT_{VCO} 를 갖는 VCO 신호의 위상 및 주파수의 관계에 따라 아래와 같이 4가지 분류할 수 있다.

- CASE 1 : $pT_{VCO} = pT_I - \tau(k) + \tau(k+1)$ 인 경우 (그림 3(a))
- CASE 2 : $pT_{VCO} = pT_I - \tau(k) - \tau(k+1)$ 인 경우 (그림 3(b))
- CASE 3 : $pT_{VCO} = pT_I + \tau(k) + \tau(k+1)$ 인 경우 (그림 3(c))
- CASE 4 : $pT_{VCO} = pT_I + \tau(k) - \tau(k+1)$ 인 경우 (그림 3(d))

그림 3에서 $V(k+1)$ 은

$$V(k+1) = V_{OPEN}(k) + \frac{1}{C} \int_0^{\tau(k+1)} i_{eff}(t) dt \quad (2)$$

이고, 이때 $V_{OPEN}(k)$ 은 k 상태에서 charge-pump 회로의 실효 전류 $i_{eff}(t)=0$ 을 유지하는 최종 순간에서 루프 필터의 출력 전압이다. 만일 charge-pump의 전류원 및 전류 싱크에서의 스위칭 시간으로 인한 τ_{tr} 를 고려한다면 6가지의 경우로 비트 동기 charge-pump PLL의 동적 동작을 분류할 수도 있으나 본 논문에서는 비트 동기의 동적 특성을 간단하게 하기 위해서 4가지로 분류하여 비트 동기 charge-pump PLL의 파라미터를 기술하였다^[4]. 만일 τ_{tr} 가 무시되지 않을 정도로 큰 경우에는 논문 [2] [3]에서 구한 식을 적용하면 된다. $t - \tau \ll (R_2 + R_3)C$ 인 경우, charge-pump 회로의 출력 전류가 0인($t > \tau$) 임의 시간 t 에 루프 필터의 R_2 - C 양단 전압은

$$v_{OPEN}(t - \tau) = \frac{R_3 v(\tau)}{R_2 + R_3} e^{-\frac{t - \tau}{R_2 + R_3} C} \approx R_3 \frac{V(k)}{R_2 + R_3} \left\{ 1 - \frac{t - \tau}{(R_2 + R_3)C} \right\} \quad (3)$$

가 되며, 이때 $V(k)$ 은 k 상태의 $t = \tau$ 인 시점에서 루프 필터 출력 전압이다. 여기서 $t - \tau$ 는 비트 동기 charge-pump PLL 동작 유형에 따라 값이 다소 달라진다. Charge-pump가 정상 동작하려면 $t - \tau \ll (R_2 + R_3)C$ 이어야 함을 알 수 있다. $k+1$ 상태에서 charge-pump PLL의 동기 상태를 나타내는 $\tau(k+1)$ 을 계산하기 위해서는

$$\int_0^{pT_{VCO}} v(t) dt = \frac{p}{K_V} \left(1 - \int_0^{pT_{VCO}} \frac{f_{fr}}{P} dt \right) \quad (4)$$

를 이용한다. 식 (4)을 도형을 이용해서 나타내면 그림 3에서 사선으로 칠한 $v(t)$ 의 면적이 $p(1 - f_{fr}T_{VCO})/K_V$ 와 같다는 것을 의미한다. 여기서, pT_{VCO} 는 상기 4가지 charge-pump PLL 동작 유형에 따라 pT_I , $\tau(k)$, $\tau(k+1)$ 의 조합으로 나타낼 수 있다. 임의의 pT_{VCO} 동안 charge-pump PLL이 상기 4가지 경우 중에 어떤 경우를 갖는지는 식 (4)에 의해서 정해지게 되며, 각 경우에 대한 $\tau(k+1)$ 과 $V(k+1)$ 또는 $V_{OPEN}(k)$ 로 나타내지는 차동 방정식을 논문 [2] [3]에서와 같이 구할 수 있다.

III. 정적 위상 오차, 과부하 및 안정도

이 절에서는 비트 동기 charge-pump PLL의 정적 위상 오차, 과부하 및 안정도를 해석한다. 비트 동기에서 정적 위상 오차는 데이터를 복구하는데 중요한 요소가 되며 매우 중요한 성능 파라미터이다. 왜냐하면, 비트 동기에서는 VCO의 클럭 펄스 천이를 데이터의 눈 패턴 중앙에 정확하게 일치시켜야 하기 때문에 작은 위상 오차를 요구한다. 그러나, 데이터의 전송 속도가 증가하면 눈 패턴의 유효 간격이 점점 좁아지고, 누설 전류도 증가하기 때문에 위상 오차는 점점 증가하게 된다. 비트 동기에서 과부하는, 비트 동기 PD의 특성에서 기인되는 문제로 인해, 종래의 charge-pump PLL에서의 과부하보다 charge-pump PLL의 동적 기능에 영향을 크게 주기 때문에 중요하다. 비트 동기 charge-pump PLL은 루프 필터의 대역폭이 매우 넓고 시간 불연속 시스템이기 때문에 식 (5)의 시간 영역 파라미터를 사용한다.

$$\begin{aligned} f_{frN} &= f_{fr} T_I \\ \tau_{RCN} &= \frac{R_2 C}{T_I} \\ \tau_{errorN} &= \frac{\tau_{error}}{T_I}, \tau_{error} = \tau(k) \mid_{k=\infty} \end{aligned} \quad (5)$$

1. 정적 위상 오차

입력 데이터 열에서 천이 밀도가 $1/p$ 인 경우, charge-pump PLL의 정적 추적 오차인 정적 위상 오차는 정상 상태 해석으로 기술할 수 있다.

$pT_I - (k) \ll (R_2 + R_3)C$ 이므로, 그림 3(a)에서

$$V(k) \approx V(k-1) \left\{ 1 - \frac{pT_I - \tau(k)}{(R_2 + R_3)C} \right\} + \frac{I_{PT}(k)}{C} \quad (6)$$

이 되고,

$$V(k) \approx V(k+1) \quad (7)$$

이다. 그리고

$$V(\infty) \approx \frac{\frac{1}{pT_I} - \frac{f_{fr}}{p}}{\frac{K_V}{p}} \quad (8)$$

이며 파라미터가 p 에 의해서 변화된다. 식 (6)에 식 (7) 및 (8)을 대입한 후 정리하여 정규화 한 정적 위상

오차를 구하면

$$\begin{aligned} \tau_{errorN} &\approx \frac{p(1-f_{fN})}{K_V I_P (R_2 + R_3) T_I} \\ &\approx p\tau_{ieN} \end{aligned} \quad (9)$$

$$\tau_{ieN} = \frac{\tau_{ie}}{T_I} = \frac{(1-f_{fN})}{K_V I_P (R_2 + R_3) T_I}$$

로 근사되며 여기서 정규화를 pT_I 로 하지 않고 T_I 로 한 이유는 식 (9)가 입력 신호 pT_I 에 대한 모델링의 결과이지만 실제의 정적 위상 오차는 1 UI에 대해서 정의되기 때문이다. 이때 식 (9)에서의 τ_{ie} 는 고유 정적 위상 오차를 의미한다. 일반적으로 천이 밀도 $1/p$ 이 평균값이기 때문에 식 (9)에서 τ_{errorN} 은 평균값이 되며, p 에 따른 τ_{errorN} 의 편차 (variance)는 패턴 종속 출력 지터 (pattern dependent output jitter)가 된다.

최근에 비트 동기 charge-pump PLL은 한 개의 칩으로 집적하여 구현하기 때문에 수정 전압 제어 발전기(crystal voltage controlled oscillator)에 비해서 free run 주파수를 정확하게 제어하기가 어렵다. 이런 경우에 고유 정적 위상 오차는 증가하며, 입력 데이터 열에서 천이 밀도가 작으면 정적 위상 오차는 더 증가하게 된다. 또한, charge-pump를 연산 증폭기 (operational amplifier)로 하면 PD의 logic level 불일치와 연산 증폭기의 DC offset 전압으로 인해 정적 위상 오차가 식 (9)보다 더 커질 수 있다.

2. 과부하

비트 동기 charge-pump PLL에서도 두 가지 종류의 과부하가 존재하며 통상적인 charge-pump PLL에서 처럼 charge-pump 과부하에 대한 한계 범위가 VCO 과부하 전압에 대한 한계 범위보다 좁게 설계되어야 한다. 비트 동기 charge-pump PLL에서 과부하는 PD의 특성으로 인해 주파수 합성 charge-pump PLL에서보다 시스템에 큰 영향을 주게 된다. 이는 과부하가 위상 오차를 유발시키며, 위상 오차는 비트 동기 charge-pump PLL에서 VCO의 클럭 펄스의 천이를 데이터의 눈 패턴 중앙에 정확히 일치시킬 수 없게 하기 때문에 데이터 복구 기능에 장애를 주거나 데이터 복구 장치를 불안정하게 동작시키는 원인이 되기 때문이다.

Charge-pump 과부하에서, 루프 필터의 출력이 charge-pump 하한 포화 전압(V_{CP_min})일 때 VCO의

주파수는 f_{CP_min} 이고, 루프 필터의 출력이 charge-pump 상한 포화 전압(V_{CP_max})일 때 VCO의 주파수는 f_{CP_max} 이다. 정상 상태에서 루프 필터의 C에 저장된 전압은 식 (8)과 같고, 그림 2(a) 및 2(b)와 같이 V 단자에서는 $T_I/2 \pm \tau_{error}$ 폭을 가진 펄스를 출력하고, R 단자에서는 $T_I/2$ 폭을 가진 펄스를 각각 출력한다. 따라서, 정상 상태에서 charge-pump 전류 원과 과부하가 발생하지 않을 조건은

$$F_{CP_maxN} - p\Delta f_N \left(\frac{\tau_{errorN}}{P} + \frac{\tau_{RCN}}{P} \right) > 1 \quad (10)$$

이고, 그리고 charge-pump 전류 싱크 과부하가 발생하지 않을 조건은

$$F_{CP_maxN} + p\Delta f_N \left(\frac{0.5}{P} + \frac{\tau_{errorN}}{P} + \frac{\tau_{RCN}}{P} \right) < 1 \quad (11)$$

이다. 이때 $f_N = K_V I_P T_I^2 / C$ 이며 $\tau_{errorN} = \tau_{error} / T_I$ 이고, f_{CP_maxN} 와 f_{CP_minN} 는 f_{CP_max} 와 f_{CP_min} 을 입력 데이터의 1 UI인 T_I 의 역수로 각각 나눈 것이며, $f_{CP_max} = f_{min} + K_V V_{CP_max}$ 이고, $f_{CP_min} = f_{min} + K_V V_{CP_min}$ 이다. 비트 동기 charge-pump PLL 모델이 pT_I 와 pT_{VCO} 에 대해서 표현되었기 때문에 식 (10) 및 (11)에서 정규화 한 최대 주파수 편이 및 정규화 한 루프 필터 시정수는 각각 $p\Delta f_N$ 과 τ_{RCN}/p 가 된다. Hogge^[7]와 Summers^[8]의 PD를 사용하는 경우, 정상 상태에서 그림 2(a)의 V단자로부터 $T_I/2$ 펄스 폭을 갖는 펄스가 R단자로부터 발생하는 기준 펄스와 서로 상쇄되지 않기 때문에 식 (9)에 τ_{errorN}/p 대신에 $0.5/p + \tau_{errorN}/p$ 를 대입하면 된다. Charge-pump에서 과부하 범위를 최대로 하여 대칭 동작하기 위해서 정규화한 free run 주파수는 $f_{fN} = (f_{CP_maxN} + f_{CP_minN}) / 2$ 이며, 이때 $f_{fN} = T_I f_N$ 이다. 이 경우에 f_{CP_maxN} 보다는 f_{CP_minN} 이 문제가 되므로 그림 5에 $f_{CP_minN} = 0.8$ 에 대한 과부하 한계를 나타내었다. 비트 동기 charge-pump PLL에서 과부하는 주파수 합성 charge-pump PLL에서 과부하보다 매우 낮은 최대 주파수 편이에서 발생한다.

3. 안정도

비트 동기 charge-pump PLL에서도 역시 PD의 출력을 나타내는 식의 분모가 특성 방정식이기 때문에, PD의 출력을 나타내는 차동 방정식을 z 변환하고 선형화 시킨 후에, z 변환식에서의 안정도 판별법을 적

용하여 charge-pump PLL에 대한 안정도를 구한다. 비트 동기 charge-pump PLL의 동적 동작을 나타내는 4가지의 경우 중에서 CASE 4가 역시 안정도에 관한 한 최악 경우이다. CASE 4의 경우 PD의 출력을 나타내는 식을 z변환하여 선형화 시킨 후에 정리하면

$$D(z) \approx \left\{ \begin{array}{l} \frac{R_3}{(R_2 + R_3)} \left(1 - z - \frac{pT_I}{(R_2 + R_3)C} \right) \\ + f_{\Delta N} \left((1-z) - \frac{R_3}{(R_2 + R_3)} \left(1 - z - \frac{pT_I}{(R_2 + R_3)C} \right) \right) \\ - p\Delta f_N \left(\frac{\left(\frac{R_3}{R_2 + R_3} \right) z}{2p \left(z - 1 + \frac{pT_I}{(R_2 + R_3)C} \right)} + \frac{\tau_{RCN}}{p} - \frac{\tau_{errorN}}{2p} \right) \end{array} \right\} \quad (12)$$

가 된다. 안정도 판별 법에 따라 식 (12)에서 분모 $D(z)$ 에 $z=-1$ 을 대입하고, 분모 $D(-1)>0$ 이면 안정 조건이 된다^[11,12]. 식 (12)에서 $z=-1$, $D(-1)>0$, $pT_I \ll (R_2+R_3)C$ 를 적용하면

$$\frac{R_3}{(R_2 + R_3)} + f_{\Delta N} \left(1 - \frac{R_3}{(R_2 + R_3)} \right) > p\Delta f_N \left(\frac{1}{8p} \left(\frac{R_3}{R_2 + R_3} \right) + \frac{\tau_{RCN}}{2p} - \frac{\tau_{errorN}}{4p} \right) \quad (13)$$

로 기술되는 비트 동기 charge-pump PLL의 안정도 한계를 구할 수 있다. 식 (13)에 $R_3 \gg R_2$, $p=1$ 및 $\tau_{errorN}=0$ 를 적용하면 Gardner^[6]가 시간 불연속 영역에서 구한 2 차 charge-pump PLL 모델의 안정도 조건식과 유사함을 알 수 있다. 식 (13)에서 정규화 한 최대 주파수 편이 및 정규화 한 루프 필터 시정수는 각각 $p\Delta f_N$ 과 τ_{RCN}/p 이기 때문에 큰 τ_{RCN}/p 에 대해서는 p 에 따라 안정도가 영향을 받지 않는다. 그러나, τ_{RCN}/p 이 작을 때는 비트 동기용 PD의 특성에 의해 p 에 따라서 과부하 및 안정도가 영향을 받는다. 그림 5에 charge-pump 과부하와 안정도에 대한 한계를 나타내었으며 복잡성을 피하기 위해서 $R_3 \gg R_2$, $\tau_{errorN}=0$ 에 대한 안정도만을 나타내었다. 그림 5에서와 같이 charge-pump 과부하는, 파라미터의 값에 관계 없이, 안정도 한계에 도달하기 전에 항상 발생한다는 것을 알 수 있다.

IV. 시뮬레이션 및 논의

1. 시뮬레이션

본 논문에서 제안된 모델과 이론에 대한 검증은 회로 수준(circuit level) 시뮬레이터로 매우 정확하며 고주파 영역(100 GHz)까지 시뮬레이션이 가능한 HSPICE 시뮬레이션을 사용하였다. PD 및 charge-pump 회로에서 생길 수 있는 스위칭 지연으로 인한 불필요한 위상 오차 생성을 방지하기 위해서 PLL 회로 구성은 동작 주파수가 높은 MESFET 모델 라이브러리를 사용하고, 시뮬레이션은 최대 PLL 동작 주파수보다 매우 낮은 주파수에서 수행하였다. 비트 동기 charge-pump PLL의 정적 위상 오차, 과부하와 안정도에 대한 검증을 위해서 II 절에서 제안된 비트 동기 장치를 구성하여 HSPICE 시뮬레이션을 하였다. 전류 스위칭 형태의 charge-pump 회로는 앞의 비트 동기 charge-pump PLL의 수학적 모델에서 가정한 $i(t)=i_c(t)-i_d(t) \approx 0$ 를 만들기 어렵기 때문에 차동 입력 연산 증폭기를 사용하여 charge-pump 회로를 구성하였다. 정적 위상 오차에 대한 이론 식 (9)에 대한 타당성을 증명하기 위해서, τ_{ieN} 과 p 의 변화에 대한 τ_{errorN} 변화를 표 1과 같은 특성을 갖는 charge-pump PLL을 사용하여 시뮬레이션을 하였으며 그 결과를 그림 4에 나타내었다.

표 1. τ_{errorN} 에 대한 HSPICE 시뮬레이션 하기 위해 사용된 파라미터 값

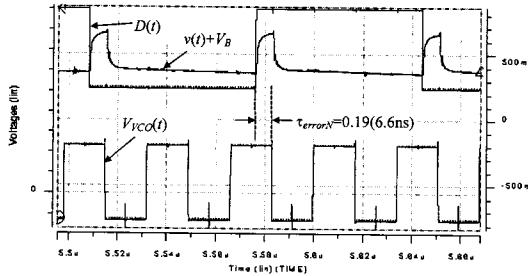
Table 1. Parameter values for HSPICE simulation to τ_{errorN}

파라미터(parameter)	값(value)
VCO 이득 (K_V)	5MHz/V
VCO 발진 주파수 범위(16 분주됨)	31.5~42.5 MHz
free run 주파수 (f_r)	25.8 MHz
기준 신호 주기(T_I)	34 NSEC
pumping 전류 (I_p)	1 mA
루프 저항 (R_2)	300Ω
루프 캐패시터(C)	200PF
정규화한 최대 주파수 편이(Δf_N)	0.035
정규화한 고유 정적 위상 오차(τ_{ieN})	0.093
누설 저항(R_3)	7.5KΩ
천이 확률($1/p$)	1/2 및 1/4
정규화한 루프 필터 시정수(τ_{RCN})	1.76

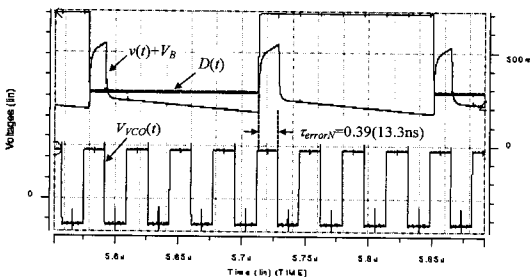
표 2. 과부하 및 안정도 한계에 대한 HSPICE 시뮬레이션 하기 위해 사용된 파라미터 값

Table 2. Parameter values for HSPICE simulation to overload and stability limit.

파라미터(parameter)	값(value)
VCO 이득 (K_V)	5MHz/V
VCO 발진 주파수 범위(16 분주됨)	31.5~42.5 MHz
free run 주파수 (f_f)	28 MHz
기준 신호 주기(T_i)	35.8 nsec
$f_{CP-maxN}$	1.2
$f_{CP-minN}$	0.8
pumping 전류 (I_p)	0.1~3 mA
루프 저항 (R_2)	τ_{RCN} 참조
루프 캐패시터(C)	τ_{RCN} 참조
정규화한 최대 주파수 변이(Δf_N)	그림 5 참조
정규화한 고유 정적 위상 오차 (τ_{ien})	7×10^{-3}
누설 저항(R_3)	100K Ω
천이 확률(1/p)	1 및 1/4
정규화한 루프 필터 시정수(τ_{RCN})	0.5, 1.5, 2.5 및 3.5



(a)



(b)

그림 4. (a) p=2, (b) p=4, 정상 상태에 도달한 후 $v(t)+V_B$, $D(t)$ 및 $V_{VCO}(t)$ 에 대한 HSPICE 시뮬레이션 결과(과도 상태 부분은 생략)

Fig. 4. The HSPICE simulation results for $v(t)+V_B$, $D(t)$ and $V_{VCO}(t)$ after reaching steady-state(The wave-forms before reaching steady-state values were omitted) , (a) p=2, (b) p=4.

그림 4에서 볼 수 있는 바와 같이 정적 위상 오차에 대한 이론 값과 시뮬레이션 값이 일치하는 것을 알 수 있다. 과부하와 안정도는 Δf_N 과 τ_{RCN} 의 변화에 대한 과부하와 안정도를 각각 시뮬레이션하며 이때 사용된 charge-pump PLL에 대한 파라미터 값은 표 2와 같다.

과부하 및 안정도에서 한계를 정확하게 구하기 위해서는 많은 Δf_N 값에 대해서 HSPICE 시뮬레이션을 수행하고, 그 결과를 분석해야 하므로 많은 시뮬레이션 시간이 소요되기 때문에 본 논문에서는 시뮬레이션 시간을 줄이기 위해서 각 τ_{RCN} 에 대해 Δf_N 값을 20% 만큼씩 변경하여 HSPICE 시뮬레이션을 수행을 하였으며 그 결과 가운데 루프 필터의 출력 전압($v(t)$)을 그림 6에 나타내었다. 그림 6(a)에서 6(d)에, 비트 동기 charge-pump PLL의 각 상태별로 $p=1$ 및 $p=4$ 에 대해서 HSPICE 시뮬레이션 결과를 나타냈다. 그림 6(a)는 $p=1$, $p\Delta f_N=0.015$ 및 $\tau_{RCN}/p=3.5$ 인 경우이고, 그림 6(b)는 $p=1$, $p\Delta f_N=0.06$ 및 $\tau_{RCN}/p=3.5$ 인 경우이고, 그림 6(c)는 $p=4$, $p\Delta f_N=0.015$ 및 $\tau_{RCN}/p=3.5$ 인 경우이고, 그림 6(d)는 $p=4$, $p\Delta f_N=0.06$ 및 $\tau_{RCN}/p=3.5$ 인 경우이다. 그림 6(a)과 6(c)는 안정하면서 과부하도 아닌 상태, 그림 6(b)과 6(d)는 과부하인 상태이면서 안정한 상태를 각각 나타낸다. 그림 6(a)에서 6(d)에 나타낸 파형은 비트 동기 charge-pump PLL의 루프 필터 출력인 $v(t)$ 를 시간에 대해서 나타낸 것이다.

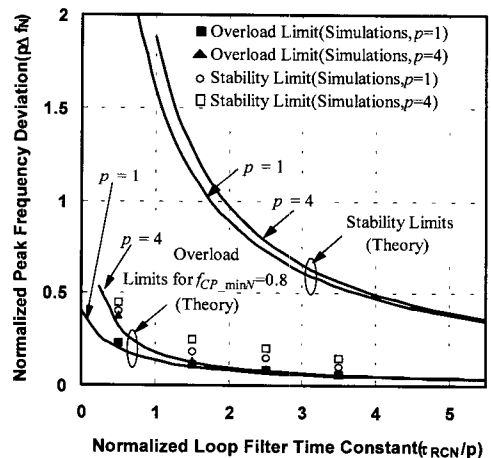


그림 5. 과부하 한계와 안정도 한계에 대한 이론 값과 HSPICE 시뮬레이션 값($f_{CP-minN}=0.8$ 일 때, $p=1$ 및 $p=4$ 인 경우)

Fig. 5. The overload limits and the stability limits for theory and HSPICE simulations ($p=1$ and $p=4$ for $f_{CP-minN}=0.8$).

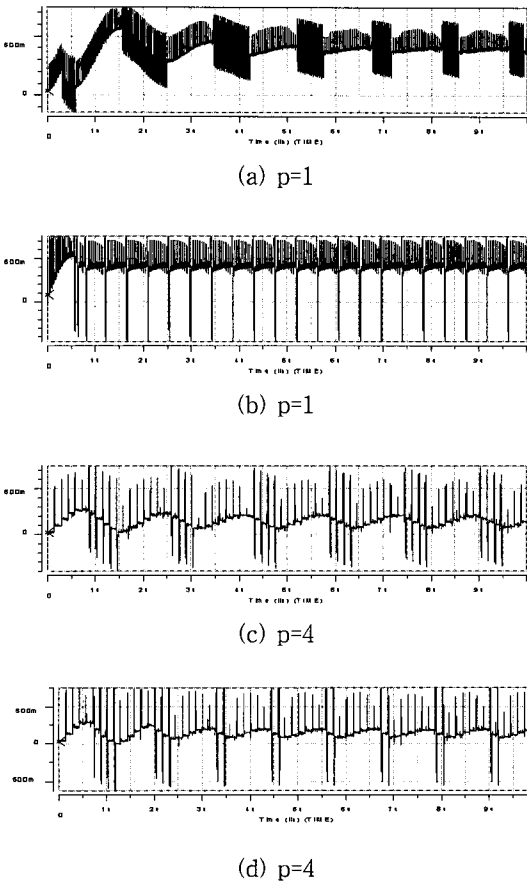


그림 6. (a) 및 (c) 과부하 아니고 안정, (b) 및 (d) 과부하이긴 안정
 Fig. 6. (a) and (c) No overload and stable, (b) and (d) overload and stable.

2. 결과 및 논의

그림 4에서 볼 수 있듯이 정적 위상 오차에 대한 HSPICE 시뮬레이션 결과와 제안된 모델로부터 유도한 결과와 잘 일치한다. 표 1에서 이론적인 $\tau_{ieN}=0.093$ 이며 HSPICE 시뮬레이션 결과에서 측정된 $p=2$ 일 때의 τ_{errorN} 값은 0.19이고, $p=4$ 일 때 τ_{errorN} 값은 0.39이다. 따라서 식 (9)에 대한 타당성이 검증될 수 있다. 또한, 위상 오차가 정적 위상 오차 값에 이르면 더 이상 damping하지 않고 정적 위상 오차 값을 유지하는 것을 알 수 있다. 과부하와 안정도에 대한 이론식의 검증은 그림 5에 나타냈으며, 과부하에 대한 이론 결과 측정 값이 잘 일치함을 알 수 있다.

안정도는 이론 값과 측정 값이 일치하지 않는데 이것은 식 (13)이 과부하를 고려하지 않은 상태에서 유도되었기 때문이다. 과도 상태에서 과부하가 발생하면

PLL이 갑자기 불안정한 상태로 되지는 않지만, 정상 상태에서 과부하가 발생하면 과부하의 비선형 동작 특성에 의해서 위상 오차가 많이 발생하게 되고 안정도 한계를 나타내는 식 (13)은 더 이상 유용하지 않게 된다. 따라서, 비트 동기에서는 과부하가 매우 중요한 요소이다. 그림 5에서와 알 수 있는 바와 같이 그림 1을 구현한 비트 동기 장치에서 과부하 한계는 안정도 한계보다 항상 낮다는 것을 알 수 있다.

$p=1$ 및 $p=4$ 인 경우에 과도 상태의 루프 필터 출력 전압을 그림 6에 나타내었다. 그림 6(a)에서 비트 동기 charge-pump PLL의 루프 필터 출력은 과부하가 없이 정상 상태로 수렴하며, 그림 6(b)에서 루프 필터의 출력이 과부하 상태이어서 루프 필터의 출력이 대칭 스윙을 하지 못하고 비대칭 스윙을 하면서 정상 상태로 수렴한다. 그림 6(c)과 3-6(d)는 $p=4$ 인 경우이며 상태는 그림6(a) 및 6(b)와 유사하다.

charge-pump의 스위칭 지연 시간으로 인해 그림 6(a)에서 PD의 출력 펄스 폭이 작을 때에는 펄스 크기가 작아지는 것을 볼 수 있다. 따라서, 비트 동기 charge-pump PLL의 경우도 주파수가 높은 영역에서 동작할 때는 논문 [2] [3]에서 모델링한 것을 적용할 수 있음을 알 수 있다.

V. 결론

비트 동기 charge-pump PLL에 대한 수학적 모델을 제안하고 제안된 모델을 사용하여 비트 동기의 성능 파라미터에 대하여 이론적인 해석을 하였다. 제안된 모델은 상태마다 PD로 입력되는 비주기적인 신호의 파형을 모델링하고 루프 필터의 누설 전류로 인한 효과를 모델에 삽입하였기 때문에 비트 동기 charge-pump PLL에 대한 과도 상태뿐만 아니라 정상 상태의 해석을 하나의 모델로 할 수 있다. 또한 GaAs MESFET로 설계된 비트 동기 장치에 대한 HSPICE 시뮬레이션을 통해서 제안된 모델에 대한 정확성을 객관적으로 검증하였다. 해석 결과 비트 동기 charge-pump PLL에서는, 주파수 합성 charge-pump PLL에서와 달리, 정적 위상 오차가 입력 기준 신호의 주기에 따라 변하고, 과부하가 항상 안정도 한계보다 낮은 곳에서 발생하는 것을 알 수 있었다.

참 고 문 헌

[1] Z. Wang, et al., Circuit techniques for 10 and 20 Gbps clock recovery using a fully-balanced narrowband regenerative frequency divider with 0.3 um HEMTs, ISSCC Digest of Technical Papers, pp. 204-205, Feb., 1996.

[2] 이범철, 김재영, 박권철, 김봉열, Charge-pump 위상 동기 회로의 위상 오차에 대한 정확한 해석, 전자공학회논문지, 제33권, B편, 제10호, pp. 27-37, 1996년 10월

[3] 최은창, 이범철, Charge-pump 위상 동기 회로의 과부하에 대한 정확한 해석, 한국통신학회논문지, 제21권, 제12호, pp. 3069-3085, 1996년 12월

[4] M. V. Paemel, Analysis of a charge-pump PLL: a new model, IEEE Trans. Commun., vol. 42, pp. 2490-2498, Jul. 1994

[5] R. S. Co, and J. H. Mulligan, Optimization of phase-locked loop performance in data recovery systems, IEEE Journal of Solid-state Circuits Vol. 29, No. 9, pp. 1022-1034, Sep., 1994.

[6] F. M. Gardner, Phase accuracy of charge-pump PLLs, IEEE Trans. Commun., vol.COM-30, pp. 2362-2363, Oct. 1982

[7] C. R. Hogge, A Self Correcting Clock Recovery Circuit, J. Lightwave Technology, vol. LT-3, no. 4, pp.1312-1314, Dec. 1985.

[8] C. S. Summers, Phase Sensitive Detector, U. S. Patent 4,422,176, Dec. 20, 1983.

[9] M. Belkin, Phase Tolerant Bit Synchronizer for Digital Signal, U. S. Patent 4,400,667, Aug. 23, 1983.

[10] Lee Bhum Cheol, Park Kwon Chul, Analog and Digital Phase Detector for Bit Synchronism, U. S. Patent 5,233,636, Aug. 3, 1993.

[11] E. I. Jury and J. Blanchard, A stationary test for linear discrete systems in table form, Proc. IRE, Vol. 49, No. 12, pp. 1947-1948, Dec., 1961.

[12] J. P. Hein and J. W. Scott, z-Domain model for discrete-time PLLs, IEEE Transactions on Circuits and Systems, Vol. 35, No. 11, pp 1393-1400, Nov., 1988.

저 자 소 개



鄭熙永(正會員)

1966년 8월 15일생. 1990년 부산대학교 전자공학과 졸업. 1991년 한국전자통신연구소 입소. 1993년 ~ 한국전자통신연구원 ATM 교환연구실 연구원. 1007년 ~ 충북대학교 정보통신공학과 석사과정.

주관심분야는 Digital System Synchronization

李範哲(正會員) 第33卷 B編 第10號 參照