

論文98-35D-8-5

# 정공과 격자의 온도를 고려한 새로운 정공 이동도 모델

## (New hole mobility model including hole and lattice temperatures)

金中植\*, 金珍洋\*, 李燦豪\*\*, 申炯淳\*\*\*, 朴榮俊\*,  
閔弘植\*

(Jung-Sik Kim, Jin-Yang Kim, Chanhoo Lee, Hyungsoon Shin,  
Young-June Park, and Hong-Shick Min)

### 요 약

기존의 이동도(mobility) 모델에서 고려하던 격자 온도(lattice temperature)뿐만 아니라, 정공 온도(hole temperature)까지도 고려하여 물리적 근거를 가진, 셀프 컨시스턴트(self-consistent)한 새로운 정공의 이동도 모델을 제시하였다. 새로운 모델은 격자와 정공의 온도와 기존의 유효 수직 전기장(effective transverse field), 계면 고정 전하(interface fixed charge) 등을 고려함으로써 쿨롱 산란(Coulomb scattering), 표면 포논 산란(surface phonon scattering)과 표면 불균일 산란(surface roughness scattering) 등에 따른 영향을 나타내 줄 수 있을 뿐 아니라, 정공의 속도 포화(velocity saturation)를 예측할 수 있다. 제시된 모델은 기존의 다양한 실험 결과와 비교하여 이동도와 포화 속도를 정확하게 예측함을 보였다. 새로운 모델은 채널 길이가 짧은 극소 소자에 대한 하이드로다이내믹 모델 시뮬레이션에서도 소자의 동작을 정확히 예측하리라 기대된다.

### Abstract

A new self-consistent hole mobility model that includes lattice and hole temperature has been proposed. By including the lattice and hole temperatures as well as the effective transverse field and the interface fixed charge, the model predicted the saturation of hole drift velocity and showed the effects of Coulomb scattering, surface phonon scattering, and surface roughness scattering. The calculated data by the model were compared with the reported experimental data and they were shown to agree quite well. The new model is expected to estimate the characteristics of very short channel devices in the hydrodynamic model simulations.

### I. 서 론

\* 正會員, 서울大學校 電氣工學部 및 半導體 共同研究所  
(Seoul National University, School of Electrical Engineering and Inter-University Semiconductor Research Center)

\*\* 正會員, 崇實大學校 電子工學科  
(Soongsil University, Department of Electronics)

\*\*\* 正會員, 梨花女子大學校 電子工學科  
(Ewha womans University, Department of Electronics Engineering)

接受日字:1997年10月17日, 수정완료일:1998年7月29日

반도체 소자에서 전류 특성을 좌우하는 가장 중요한 요소는 이동도(mobility)이다. 전류를 구성하는 전자와 정공(hole)에 대한 각각의 이동도는 이미 지난 수십년 동안 연구되어 왔고, 시뮬레이션을 위한 다양한 모델<sup>1-5]</sup>이 제시되었다. 이동도는 캐리어(carrier)가 움직이는 영역, 즉 벌크(bulk)와 반전층(inversion layer)에서 서로 다른 특성을 가지게 된다. 벌크에서의 이동도는 간단한 상황에서 측정하기 가능하기 때문에, 모델링이 비교적 쉽고 실험 결과와도 잘 맞지만, 반전층에

서의 이동도는 표면 근처에서의 여러 불균일한 조건들로 인하여 정확한 값을 얻기가 어렵다.<sup>[6]</sup> 그러나, 유효 전기장(effective field)이라는 새로운 개념을 도입하여, 이동도를 다시 정의한 결과, 유니버설 곡선(universal curve)이라는 일반적인 특성을 얻게 되었고, 이에 따라 반전층에서의 이동도를 비교적 정확하게 예측할 수 있는 여러 모델들<sup>[7-9]</sup>이 나오게 되었다.

유효 전기장은 MOSFET 소자에서 수직 방향으로 가해지는 전기장을 공핍 영역 전하(depletion charge)와 반전층 전하(inversion charge)의 값에 따라 정의한 것으로, 전자와 정공에 따라 정의하는 방법이 다르다<sup>[1,2]</sup>는 것이 알려져 있다. 이러한 유효 전기장의 값으로 정의되는 유효 이동도(effective mobility)는 산란의 원인에 따라 세 가지로 구분할 수 있고, 이를 이용한 다양한 모델이 나와 있다. 그 중에서 Schwarz와 Russek의 모델<sup>[5]</sup>은 물리적 근거에서 출발한 것으로, 이 모델을 이용해서 실제의 실험 결과들을 예측할 수 있음을 보여주었다. 그러나, 이 모델을 실제 시뮬레이터에서 구현함에 있어서는 국부적 모델(local model)의 특성을 가지지 않기 때문에, Shin<sup>[3,4]</sup> 등에 의해서 국부적 모델과 비국부적 모델(nonlocal model)의 관계식이 밝혀진 후에 시뮬레이터 내부에서 사용 가능한 모델이 제시되었다.

현재까지, 수직 전기장(transverse field)의 경우, 전기장의 크기에 따른 각각의 산란 과정이 잘 밝혀져 있어서, 각각의 산란에 따른 모델<sup>[3,4,7-9]</sup>이 만들어졌다. 그러나, 수평 전기장(longitudinal field)에 의한 이동도의 영향은 기존의 Caughey와 Thomas에 의한 실험적 관계식<sup>[10]</sup>에 의존하고 있다. 이러한 결과로, 소자의 크기가 작아지거나, SOI와 같은 소자에 대해서는 기존의 이동도 모델을 사용한 등온(isothermal) 시뮬레이션으로는 극소화된 소자에서 계산값과 측정된 값 사이에 차이가 나타나게 된다.<sup>[11]</sup> 따라서, 이러한 차이를 없애기 위해서는 격자 온도(lattice temperature)와 전자 또는 정공 온도(electron or hole temperature)를 각기 고려하여 셀프 컨시스턴트하게 해를 구할 수 있는 하이드로다이나믹 시뮬레이션에 적합한 새로운 모델이 필요하게 되었다. 전자에 대해서는 Kim<sup>[11]</sup> 등이 격자와 전자의 온도를 동시에 고려한 모델을 제시한 바 있다.

본 논문에서는 수직 전기장에 따른 산란뿐 아니라,

수평 전기장에 의한 영향을 격자와 정공의 온도를 통해 고려하는 새로운 반전층에서의 정공 이동도 모델을 제시하고자 한다. 제시된 모델은 하이드로다이나믹 시뮬레이션에서 물리적 의미를 갖고 유기적으로 이용되어 수평 전기장의 영향이 커지는 극소 소자의 동작을 보다 정확히 예측할 수 있으리라 기대된다.

## II. 본 론

수직 전기장에 의한 산란에 따른 이동도는 크게 세 부분으로 나눌 수 있다. 문턱 전압(threshold voltage)에 가까운 부분에서 반전층 전하의 양이 적어짐에 따라 스크리닝(screening)이 감소하게 되어 나타나는 쿨롱 산란에 의한 이동도와 격자 진동(lattice vibration)의 영향을 받는 포논 산란에 의한 이동도, 그리고 수직 전기장이 강해짐에 따라서 표면에 정공이 모이고, 정공이 이동하면서 소자 표면에서의 불균일한 면의 영향을 받는 표면 불균일 산란에 의한 이동도가 그것이다. 이러한 각각의 이동도는 매치슨 법칙(Matthiessen's rule)에 따라 전체적인 이동도를 나타내게 된다.<sup>[12]</sup> 매치슨 법칙은 각각의 시스템이 서로 독립적인 경우에 대해 적용 가능한 것이지만, 이동도에 적용했을 때 실제 소자에서 나타나는 특성을 모델링 할 수 있다. 이러한 관계식을 따를 경우 유효 이동도는 다음과 같이 나타낼 수 있다.

$$\mu_{eff}^{-1} = \mu_{Coulomb}^{-1} + \mu_{Phonon}^{-1} + \mu_{Roughness}^{-1} \quad (1)$$

한편 수직 전기장에 따른 이동도의 모델링을 위해서는 Sabnis와 Clemens<sup>[7]</sup>, Watt와 Plummer<sup>[9]</sup>에 의해 밝혀진 유효 전기장과 이동도의 유니버설 곡선의 특성을 이용하였다. 따라서 본 논문에서 제시된 이동도 모델에 적용된 수직 전기장은 다음과 같은 유효 전기장으로 정의된다.

$$E_{eff} = \frac{q}{\epsilon_{Si}} (N_{dpl} + \eta N_{inu}) \quad (2)$$

이때  $N_{dpl} = (4\epsilon_{Si} N_{sub} \phi_B)^{1/2}$ 는 벌크의 2차원적 표면 전하 밀도,  $N_{sub}$ 는 기판의 불순물 농도,  $\phi_B$ 는 벌크의 페르미 에너지,  $N_{inu}$ 는 반전층의 2차원적 정공 밀도이고  $\eta = 1/3$ 로 정공의 경우 Takagi에 의해 제시된 식<sup>[1,2]</sup>을 사용하였다.

1. 쿨롱 산란

유효 전기장,  $E_{eff}$  에 따른 이동도는 문턱 전압 근처에서 더 이상 유니버설 곡선을 따르지 않고 감소하게 된다. 이러한 현상의 원인은 반전층 전하가 감소함에 따라, 반전층에 존재하는 이온화된 불순물을 스크린 해주지 못하여 쿨롱 산란이 증가하게 되고, 그 영향이 이동도에 미치기 때문인 것으로 알려져 있다.<sup>[1,2,5]</sup> 쿨롱 산란은 이온화된 불순물과 그 영향을 스크린하는 반전층 전하, 그리고 정공이 이동하는 속도에 영향을 주는 정공의 온도의 함수로 다음과 같이 모델링 하였다.

$$\mu_C = \mu_{Co} \left[ 1 + \frac{N_{inv}}{\alpha \cdot N_{ref}^{0.7} N_D^{0.3}} \right] T_{Phorm}^{1.0} \quad (3)$$

여기에서,  $\mu_{Co} = 15 \left[ \frac{N_{ref}}{N_D} \right]^{0.5} \left[ \frac{cm^2}{V \cdot s} \right]$ ,  $N_D$  는 기판 도핑 농도,  $T_{Phorm} = T_p / 300K$  ( $T_p$ : 정공의 온도),  $\alpha = 4.1 \times 10^{-8} [cm]$ ,  $N_{ref} = 5.1 \times 10^{16} [cm^{-3}]$  이다. 위의 모델을 세우기 위한 실험 자료는 Takagi<sup>[1]</sup> 에 의해 제시된 바와 같이 매치슨 법칙을 이용한 다음과 같은 관계식을 이용해서 얻었다.

$$\mu_{Coulomb}^{-1} = \mu_{eff}^{-1} - \mu_{universal}^{-1} \quad (4)$$

그림 1에서 쿨롱 산란에 의한 새로운 이동도 모델을 이용한 계산값을 실험값과 비교하였다. 그림 1을 보면 반전층 전하 밀도의 증가에 따라 이동도가 증가하는 것을 볼 수 있지만, 이동도의 실험값이  $N_{inv}$  나  $N_D$  에 대해 모든 구간에서 동일한 의존성을 갖지는 않기 때문에, 짧은 채널 길이를 갖는 소자에서 가장 근접한 값을 줄 수 있도록 하였다. 우선 반전층 전하 밀도의 증가에 따른 이동도의 증가도 전체적으로는  $N_{inv}^{1.0}$  을 따르지만, 반전층 전하 밀도가 커짐에 따라 그 이상의 증가를 보이는 것이 전자 이동도에 대한 Takagi의 실험<sup>[1,2]</sup> 에서 이미 제시되었다. 또한 도핑 농도에 따른 의존성도 정확히  $N_D^{0.5}$  에 따르지 않고 차이가 있게 된다. Takagi의 경우에는 도핑 농도가  $5.1 \times 10^{16} cm^{-3}$  인 경우를 기준으로  $N_D^{0.5}$  으로 모델링 하였지만, 새로운 모델에서는  $0.5\mu m$  이하의 짧은 채널 길이를 갖는 소자에 중점을 두어 높은 도핑 농도에서의 측정값을 기준으로 하여  $N_D^{0.3}$  으로 모델링하였다. 그림 2에 정해진 반전층 전하 밀도에서 각각의 기판

도핑 농도에 따른 이동도 모델과 측정값을 비교한 결과가 나타나 있다.

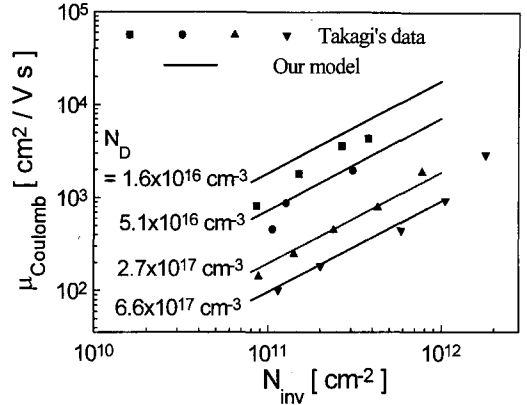


그림 1. 쿨롱 산란에 의한 이동도의 실험값과 모델의 계산값 비교

Fig. 1. Comparison of calculated Coulomb-scattering limited mobility with measured values.

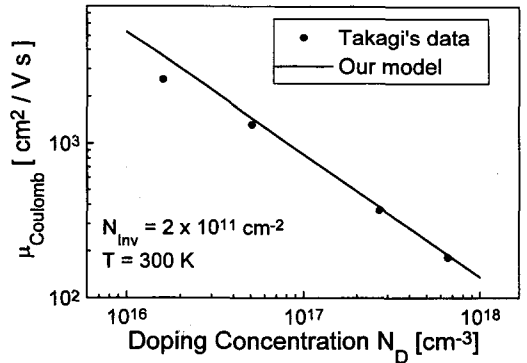


그림 2. 기판 도핑 농도에 따른 쿨롱 산란에 의한 이동도

Fig. 2. Dependence of calculated Coulomb-scattering limited mobility on the substrate doping concentration.

새로운 쿨롱 산란에 의한 이동도 모델은 반전층 전하 밀도의 값이 작은 경우의 값을 고려할 수가 없으므로 적정한 반전층 전하 밀도 값을 가지는 경우에만 사용이 되어야 할 것이다. 따라서 채널이 충분히 생성되지 않은 경우 전체 이동도를 구할 때 쿨롱 산란에 의한 이동도 모델은 제외된다. 그리고 온도에 대한 의존성은 전체 이동도,  $\mu_{eff}$  를 모델링 하면서 결정하였다.

2. 표면 불균일 산란

표면 불균일 산란은  $E_{eff}$  의 값이 커져 표면에 캐리

어가 많이 모이게 되면 나타나는 현상이다. 따라서 이 영향은  $E_{eff}$ 가 커질수록 크게 나타나게 된다. 한편, 표면 불균일 산란은 온도에 영향을 받지 않으므로 온도가 낮을수록 잘 관찰할 수 있다. 즉, 온도가 낮아져 격자의 진동이 줄어들면 포논 산란에 의한 영향이 감소하여 전체 이동도는 표면 불균일 산란에 의해 주로 영향을 받게 되므로 낮은 온도에서 잘 관찰할 수 있다. 표면 불균일 산란에 의한 이동도는  $E_{eff}^{-1.0}$ 의 의존성을 갖는다는 실험 자료<sup>[1,2]</sup>를 근거로 다음과 같이 모델링하였다.

$$\mu_{Roughness} = C \cdot \left[ \frac{E_{eff}}{E_{norm}} \right]^{-1.0} \quad (5)$$

여기에서,  $C = 1.2 \times 10^2 [cm^2 / V \cdot s]$ 이고,  $E_{norm} = 10^6 [V/cm]$ 이다.

3. 포논 산란

포논 산란에 따른 이동도는 다음과 같이 모델링 하였다.

$$\mu_P = \frac{A \cdot \left[ \frac{E_{eff}}{E_{norm}} \right]^{-0.3} T_{Pnorm}^{-1.0} T_{Lnorm}^{-0.2}}{1 + B \cdot \left[ \frac{N_f}{N_{ref}} \right]^{0.7}} \quad (6)$$

여기에서  $T_{Lnorm} = T_L / 300K$  ( $T_L$ : 격자 온도),  $A = 1.07 \times 10^2 [cm^2 / V \cdot s]$ ,  $B = 0.07$ ,  $E_{norm} = 10^6 [V/cm]$ ,  $N_{ref} = 3 \times 10^{10} [cm^{-2}]$ 이고,  $N_f$ 는 고정 계면 전하 농도  $[cm^{-2}]$ 이다.  $E_{eff}^{-0.3}$ 의 의존성은 Takagi에 의해 제시된 값<sup>[1,2]</sup>과 같다. 정공과 격자, 각각에 대한 온도의 의존성은 다음과 같은 방법으로 구했다. 우선, 수평 전기장이 작은 영역에서는 격자 온도와 정공의 온도가 동일하게 되므로 위의 모델에서 전체적인 온도의 의존성을 구하였다. Takagi의 실험은 수평 전기장의 영향을 배제한 실험이므로 그 실험의 온도 의존성으로부터 전체적인 온도의 의존성인  $T_L^{-1.2}$ 를 얻을 수 있었다. 그림 3에 계산값과 실험값의 비교 결과가 나타나 있다.

이 의존성은 정공의 온도가 격자 온도와 동일한 경우이므로, 정공 온도만의 의존성을 얻기 위해서는 수평 전기장,  $E_{||}$ 의 영향이 있는 Cooper와 Nelson의 실험 자료<sup>[13]</sup>를 이용하였다. 정공의 드리프트 속도를 얻어서,  $v = \mu E_{||}$  과,  $\vec{E}_{||} \cdot \vec{j} = \frac{3}{2} p \frac{k_B(T_p - T_L)}{\tau_{sp}}$ 에 대입한 결과, 정공 온도에 대한 의존성은 그림 4에서 보는

바와 같이  $T_p^{-1.0}$ 인 것을 알 수 있었다. 이 의존성을 구하는 데 사용된 정공의 이완 시간(relaxation time),  $\tau_{sp}$ 의 값은 0.145ps이다. 따라서 포논 산란에 의한 이동도의 온도 의존성을 정공과 격자 온도에 대해  $T_p^{-1.0} T_L^{-0.2}$ 로 모델링 하였다. 정공과 격자 온도가 같아지는 낮은 전기장 영역에서는 기존 결과와 마찬가지로 전체 격자의 온도에 대해  $T_L^{-1.2}$ 에 비례하고, 정공과 격자의 온도가 달라지는 높은 전기장 영역에서는  $T_p^{-1.0} T_L^{-0.2}$ 에 비례한다.

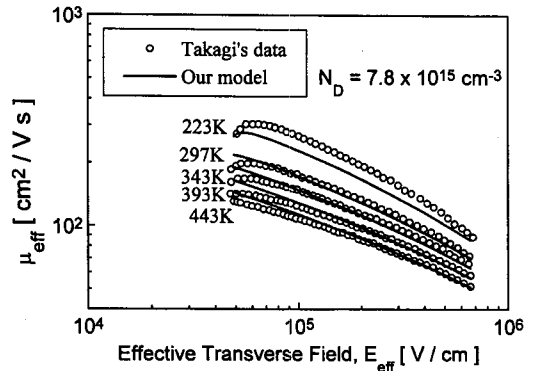


그림 3. 다양한 격자 온도에서  $E_{eff}$ 에 따른 유효 이동도,  $\mu_{eff}$ 의 실험값과의 비교

Fig. 3. Comparison of calculated effective mobility,  $\mu_{eff}$  with measured values.

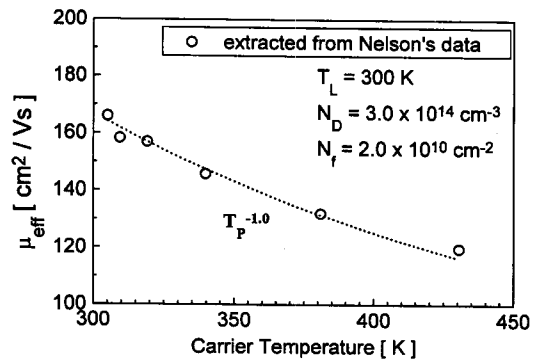


그림 4. 정공 이동도의 정공 온도에 대한 의존성  
Fig. 4. Dependence of hole effective mobility on the hole temperature.

고정 계면 전하에 대한 의존성의 경우 쿨롱 산란에 의한 이동도에 영향을 준다고 제시되어 있지만<sup>[14,15]</sup>, 새로운 모델에서는 그 영향을 쿨롱 산란에 의한 이동도에 포함시켰다. 그 결과가 그림 5에 나타나 있다.

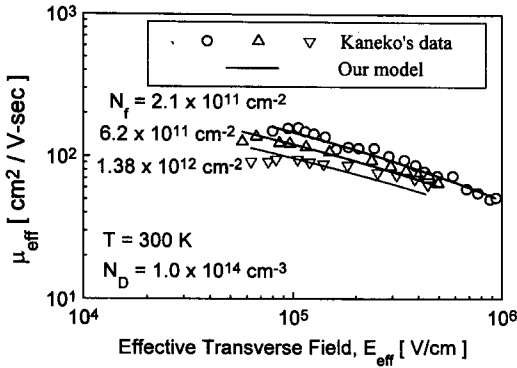


그림 5. 고정 계면 전하에 따른 이동도 모델과 실험값의 비교  
 Fig. 5. Dependence of effective hole mobility on  $E_{eff}$  for various fixed interface charge.

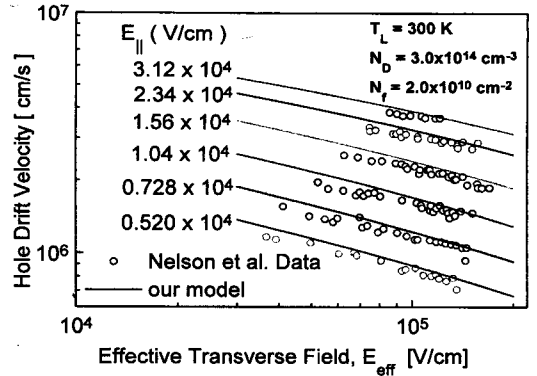


그림 7. 여러 수평 전기장과 수직 전기장에서 측정된 정공의 속도와 계산값의 비교  
 Fig. 7. Comparison of the calculated hole velocity with the experimental values for the various longitudinal and transverse electric field

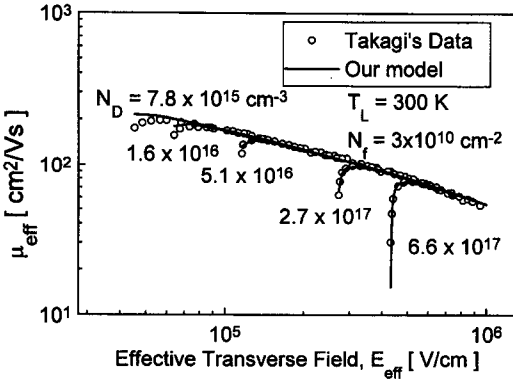


그림 6. 여러 기판 도핑 농도에 따른 이동도의 실험값과의 비교  
 Fig. 6. Comparison of calculated effective mobility with the experimental value for various substrate doping concentrations.

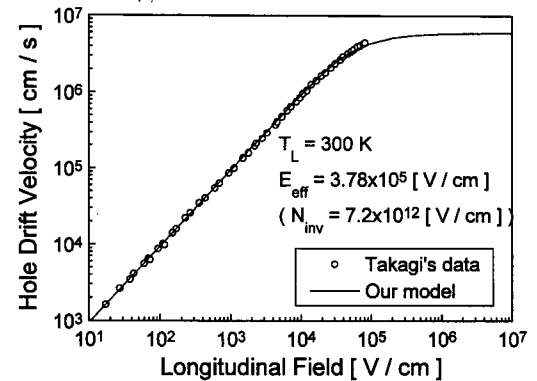


그림 8. 수평 전기장이 커짐에 따른 정공 드리프트 속도의 포화 현상과 실험값과의 비교  
 Fig. 8. Saturation of hole drift velocity as the increase of longitudinal field, and the comparison of hole drift velocity with the experimental values.

4. 모델의 검증

새로운 이동도 모델은 보다 나은 물리적 근거를 가지고, 지금까지 발표된 많은 실험결과에 대해서 일치하는 값을 보여준다. 또한, 반전 문턱 전압 근처에서의 감소와 표면 불균일성에 따른 이동도의 감소를 잘 나타낸다. 그림 6은 여러 가지 도핑 농도에 대한 Takagi의 실험 결과<sup>[1,2]</sup>와 본 모델을 비교한 것이다. 낮은 기판 도핑 농도와  $E_{eff}$ 가 낮은 영역을 제외하면 실험결과와 일치하는 모양을 보여 주는 데, 낮은  $E_{eff}$  영역에서의 높은 이동도값을 예측하는 것은 Takagi 등의 지금까지의 이동도 실험결과가 전류식에서의 확산항을 제외함에 따른 오차 때문이다.<sup>[16]</sup>

그림 7은 본 모델을 Cooper와 Nelson의 정공 드리프트 속도 실험 결과<sup>[13]</sup>와 비교한 것이다. 넓은 영역의 수직 전기장과 수평 전기장에 걸쳐서 일치하는 결과를 보여준다.

그림 8은  $E_{eff}=0.1MV/cm$  일 때, 수평 전기장의 증가에 따른 정공의 드리프트 속도인데, 새로운 모델에서 주는 포화 속도(saturation velocity)는  $7.37 \times 10^6 cm/s$ 로 벌크에서 보다는 다소 작은 값이지만, 기존에 제시된 반전층에서의 정공의 드리프트 속도 측정값에 의해 예측되는 값<sup>[17]</sup>과 비슷한 값을 주는 것을 알 수 있다. 기존 모델은 정공의 온도를 포함하고

있지 않아 이동도 모델 자체에서 포화 속도를 예측할 수 없다.

### III. 결 론

본 논문에서 정공과 격자의 온도를 각각 고려하는 새로운 정공 이동도 모델을 제시하였다. 이동도 모델은 쿨롱 산란, 표면 불균일 산란, 그리고 포논 산란에 의한 영향을 포함하고 있다. 정공의 온도를 모델에 포함시킴으로써 물리적 근거를 가지고 정공의 온도가 큰 의미를 갖는 단채널 소자에서 이동도를 정확히 예측할 수 있다. 이 새로운 모델을 지금까지 발표된 여러 실험결과에 대해 적용한 결과, 넓은 영역의 도핑 농도와 정공 및 격자온도, 그리고 고정 계면 전하와 수평 전기장에 대해서 정공의 이동도와 포화 속도를 정확히 예측할 수 있는 것을 확인하였다. 또한 이동도 모델을 채널 길이가 짧은 소자에 최적화 시킴으로써  $0.1\mu\text{m}$ 급 소자에 대해서도 정확한 시뮬레이션이 가능하도록 하였다.

### 감사의 글

※ 본 연구는 한국전자통신연구소의 차세대 반도체 선  
행기초기술 연구사업의 지원으로 수행하였습니다.

### 참 고 문 헌

- [1] S. Takagi, M. Iwase and A. Toriumi, "On the universality of inversion-layer mobility in N- and P- channel MOS-FET's", *IEDM Tech. Dig.*, pp. 398-401, 1988.
- [2] S. Takagi, A. Toriumi, M. Iwase and H. Tango, "On the universality of inversion layer mobility in Si MOS-FET's: part I - effects of substrate impurity concentration", *IEEE Trans. Electron Devices*, vol. ED-41, no. 12, pp. 2357-2362, Dec. 1994.
- [3] H. Shin, A. F. Tasch, Jr., C. M. Maziar and S. K. Banerjee, "A new approach to verify and derive a transverse-field-dependent mobility model for electrons in MOS inversion layers", *IEEE Trans. Electron Devices*, vol. ED-36, no. 6, pp. 1117-1124, Jun, 1989.
- [4] V. M. Agostinelli, Jr., H. Shin and A. F. Tasch, Jr., "A comprehensive model for inversion layer hole mobility for simulation of submicrometer MOS-FET's", *IEEE Trans. Electron Devices*, vol. ED-38, no. 1, pp. 151-159, Jan, 1991.
- [5] S. A. Schwarz and S. E. Russek, "Semi-empirical equations for electron velocity in silicon: part II - MOS inversion layer", *IEEE Trans. Electron Devices*, vol. ED-30, no. 12, pp. 1634-1639, Dec. 1983.
- [6] N. D. Arora, J. R. Hauser and D. J. Roulston, "Electron and hole mobilities in silicon as a function of concentration and temperature", *IEEE Trans. Electron Devices*, vol. ED-29, no. 2, pp. 292-295, Feb. 1982.
- [7] A. G. Sabnis and J. T. Clemens, "Characterization of the electron mobility in the Inverted <100> Si surface", *IEDM Tech. Dig.*, p. 18-21, 1979.
- [8] S. C. Sun and J. D. Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces", *IEEE Trans. Electron Devices*, vol. ED-27, no. 8, pp. 1497-1508, Aug. 1980.
- [9] J. T. Watt and J. D. Plummer, "Universal mobility-field curves for electrons and holes in MOS inversion layers", *Symp. VLSI Technol. Dig. Tech. Papers*, pp. 81-83, 1987.
- [10] D. M. Caughey and R. E. Thomas, "Carrier mobilities in silicon empirically related to doping and field", *Proc. IEEE*, pp. 2192-2193, Dec. 1967.
- [11] J. Y. Kim, Y. J. Park and H. S. Min, "Electrical properties of SOI n-MOS-FETs under nonisothermal lattice temperature", *Solid-State Electronics*, vol. 41, no. 4, pp. 567-573, 1997.

- [12] N. W. Ashcroft and N. D. Mermin, *Solid State Physics*, Holt, Rinehart and Winston New York, 1976.
- [13] D. F. Nelson, J. A. Cooper and A. R. Tretola, "High-field drift velocity of holes in inversion layers in silicon", *Appl. Phys. Lett.*, vol. 41, pp. 857-859, 1987.
- [14] M. Kaneko, I. Narita and S. Matsumoto, "The study on hole mobility in the inversion layer of p-channel MOSFET", *IEEE Electron Device Lett.*, vol. EDL-6, no. 11, pp. 575-577, Nov. 1985.
- [15] J. Koga, S. Takagi and A. Toriumi, "A comprehensive study of MOSFET electron mobility in both weak and strong inversion regimes", *IEDM Tech. Dig.*, pp. 475-478, 1994.
- [16] J. G. Ahn, W. S. Choi, Y. J. Park and H. S. Min, "A reevaluation of the inversion-layer mobility in low gate bias conditions", *International Semiconductor Device Research Symposium (ISDRS) Tech. Digest.*, pp. 123-125, 1991.
- [17] S. Takagi and A. Toriumi, "New Experimental Findings on Hot Carrier Transport under Velocity Saturation Regime in Si MOSFET's" *IEDM Tech. Dig.*, pp. 711-714, 1992.

저 자 소 개



**金 中 植(正會員)**  
 1996년2월 서울대학교 전기공학부 졸업 (학사). 1998년2월 서울대학교 대학원 전기공학부 졸업 (석사). 1998년3월 ~ 현재 서울대학교 대학원 전기공학부 박사과정 재학. 주관심 분야는 초미세 반도체 소자 해석

및 잡음 이론임

**李 燦 豪(正會員)** 第 32卷 A編 第 12號 參照  
 현재 숭실대학교 정보통신전자공학부 조교수

**閔 弘 植(正會員)** 第 33卷 A編 第 10號 參照

**金 珍 洋(正會員)**  
 1996년2월 한국과학기술원 졸업 (학사). 1994년2월 서울대학교 대학원 전자공학과 졸업 (석사). 1998년2월 서울대학교 대학원 전자공학과 졸업 (박사). 현재 삼성전자 반도체연구소 재직. 주관심 분야는 초미세 반도체 소자 구조 및 SOI임



**申 炯 淳(正會員)**  
 1982년2월 서울대학교 전자공학과 졸업 (학사). 1984년 12월 미국 University of Texas at Austin 졸업 (석사). 1990년 5월 미국 University of Texas at Austin 졸업 (박사). 1990년 ~ 1994년 LG 반도체 근무. 1995년 ~ 현재 이화여자대학교 공과대학 전자공학과 부교수. 관심분야는 반도체 소자 구조, 모델링, RF CMOS

**朴 榮 俊(正會員)** 第 33卷 A編 第 10號 參照