

論文98-35D-7-13

# 이온주입 및 열처리 조건에 따른 박막접합의 특성 비교

## (Comparison of Shallow Junction Properties depending on Ion Implantation and Annealing Conditions)

洪信男\*, 金在英\*

(Shin-Nam Hong and Jae-Young Kim)

## 요 약

접합깊이가  $0.2\mu\text{m}$  내외인  $p^+-n$  접합을 형성하기 위하여  $20\text{keV}$ 의 에너지와 dose가  $2 \times 10^{15} \text{ cm}^{-2}$ 인  $\text{BF}_2$  이온을 단결정 실리콘 기판과 에너지가  $45\text{keV}$ 이며 dose가  $3 \times 10^{14} \text{ cm}^{-2}$ 인 As 또는 Ge을 사용하여 선비정 질화된 기판에 주입하였다. 이온주입에 의해 생성된 결정결함을 제거하고 주입된 보론 이온을 활성화시키기 위하여 furnace와 급속열처리를 이용하였다. 열처리 후의 접합 특성을 접합깊이, 면저항, 결정결함, 누설전류 등의 측정결과로 해석하였다. Furnace로 열처리한 후에 급속열처리를 사용하는 것이 급속열처리 후에 furnace로 열처리하는 방법보다 여러 면에서 더 좋은 특성을 나타내었다. 또한 Ge 이온을 이용하여 선비정 질화하는 것이 As으로 선비정질화하는 것보다 좋은 결과를 나타내는 것으로 관찰되었다.

## Abstract

To form  $0.2\mu\text{m}$   $p^+-n$  junctions,  $\text{BF}_2$  ions with the energy of  $20\text{keV}$  and the dose of  $2 \times 10^{15} \text{ cm}^{-2}$  were implanted into the crystalline and preamorphized silicon substrates. The preamorphization was performed using  $45\text{keV}$ ,  $3 \times 10^{14} \text{ cm}^{-2}$  As or Ge ions. The furnace annealing and rapid thermal annealing were employed to annihilate the implanted damage and to activate the implanted boron ions. The junction properties were analyzed with the measured values of the junction depths, sheet resistances, residual defects, and leakage currents. The thermal cycle of furnace anneal followed by rapid thermal anneal shows better characteristics than the annealing sequence of rapid thermal anneal and furnace anneal. Among the preamorphization species, Ge ion exhibited the better characteristics than the As ion.

## I. 서론

차세대 메모리의 고집적화를 이루기 위하여 칩(chip) 크기의 감소가 요구되고 있다. 또한 휘발성 및 비휘발성 메모리뿐만 아니라 주변 CMOS 회로에 적용되는 소자들의 동작 지연 시간은 소자의 채널 길이의 제공에 반비례하기 때문에 회로의 동작 속도를 향

상시키기 위해서는 개별 반도체 소자(discrete semiconductor device) 크기는 감소되어야 한다. 소자의 수평 크기 감소는 단채널 효과(short channel effect)<sup>[1]</sup> 등의 현상을 일으키므로 수평 크기 감소와 함께 수직 크기인 접합깊이도 함께 감소되어야 이러한 단점이 보완될 수 있다. 이에 따라 박막접합(shallow junction)을 형성하는 단위 공정 기술 개발의 중요성이 점차 대두되고 있다.

박막접합을 형성하는 공정 방법으로는 불순물을 함유하고 있는 고체로부터 확산시키는 방법<sup>[2][3]</sup>, 저에너지로 이온을 주입하는 방법<sup>[4]</sup>, 선비정질화(pre-

\* 正會員, 韓國航空大學校 航空電子工學科

(Department of Avionics, Hankuk Aviation University)

接受日: 1998年3月23日, 수정완료일: 1998年6月5日

morphization)를 이용한 이온주입 방법<sup>[4] [5] [6]</sup> 등이 있다. 본 연구에서는 실용성 등을 고려하여 확산 방법을 택하기 보다는 As과 Ge 이온을 사용한 선비정질화와 낮은 에너지의 보론 이온주입 방법을 이용하여 0.2 $\mu$ m의 p<sup>+</sup>-n 박막접합을 형성하였다. 또한 선비정질화의 장·단점을 확인하기 위하여 단결정질 실리콘 기판에도 접합을 형성하여 특성을 비교하였다. 주입된 p-형 불순물로는 BF<sub>2</sub> 이온을 이용하였다. B 이온을 주입하는 경우와 비교하여 BF<sub>2</sub> 이온을 주입하면 F에 의해 보론 이온의 활성화가 저하되며 누설전류가 커지는 단점은 있으나 이온주입 에너지를 보론과 불소의 이온 질량 비인 11/49로 감소시킬 수 있어 5keV 이하의 극저에너지 이온주입기를 사용하지 않고 현재 통용되고 있는 이온주입기로도 0.2 $\mu$ m의 p<sup>+</sup>-n 접합을 형성할 수 있는 장점이 있다.

이온주입 후에는 기판의 결정결함을 감소시키고 주입된 불순물의 활성화를 위하여 열처리 공정이 뒤따르게 된다. 기존에 보고된 박막접합 형성을 위한 연구에서는 low-thermal budget 개념을 도입하기 위해 열처리 장비로 대부분 RTA(Rapid Thermal Annealing)를 사용하여 FA(Furnace Annealing)를 이용하는 경우보다 shallow하게 접합을 형성하는데 치중하였다. 그러나 현재까지의 실제 CMOS 공정에는 이온주입 후에 BPSG(borophospho-silicate glass flow)를 위하여 주로 FA를 이용한 열처리 공정이 포함<sup>[6]</sup> 되어 있다. 본 연구에서는 기존에 보고된 결과<sup>[2] [4] [5] [7] [8]</sup>와는 달리 RTA 또는 FA 만을 이용하여 열처리한 시편, RTA 이후에 FA로 추가적으로 열처리(RTA+FA)한 시편, FA를 수행한 후에 RTA를 이용하는 방법(FA+RTA)으로 열처리하였다. 단일 열처리 방법은 BPSG flow와 주입된 dopant의 활성화를 한번에 수행하는 경우를 묘사하였으며, 두 열처리 방법을 혼용한 경우는 두 공정이 다른 열처리 방법으로 수행되는 것을 묘사하여 그 특성을 비교·분석하였다. 각각의 방법으로 열처리한 시편에 대해 SIMS(Secondary Ion Mass Spectroscopy)를 이용하여 접합 깊이를 측정하였고, 4-point probe에 의해 면저항을 측정하였다. 또한 다이오드를 제작하여 누설전류를 측정하였으며, TEM (Transmission Electron Microscopy)을 사용하여 열처리 이후에 잔류하는 결정결함을 측정함으로써 저에너지 이온주입의 장점인 결정결함 제거의 용이함을 확인하였다. 이러한

측정결과를 검토하여 본 연구에서는 As 이온보다는 Ge 이온을 이용하여 선비정질화하였을 때의 장점과, RTA+FA 보다는 FA+RTA 열처리 방법이 유용함을 보였다.

## II. 본 론

접합의 특성은 접합깊이, 면저항, 잔류 결정결함, 누설전류 등으로 평가할 수 있다. 접합깊이와 면저항은 서로 반비례 관계에 있으며, 결정결함의 종류와 열처리 과정에서 변하게 되는 결함의 분포 및 농도에 따라 주입된 불순물의 확산이 좌우되어 접합깊이가 변하게 된다. 열처리에 따라 결함의 크기가 변하며 불순물을 포획 또는 방출하여 불순물의 활성화 및 면저항이 달라지게 된다. 또한 열처리 후에 잔류하는 결정결함이 접합부의 공핍층 내부나 근처에 위치하게 되면 누설전류가 크게 되는 문제가 발생한다. 이처럼 접합 특성의 각 평가 요소들은 서로간에 독립적이지 않아 각각의 요소를 상호 보완할 수 있는 최적의 공정 조건을 찾는 것이 중요하다.

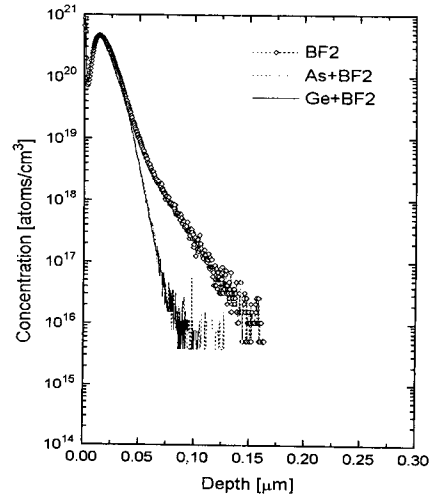
본 연구 결과가 현장에서 직접 이용될 수 있도록 하기 위하여 실제 공정 조건을 묘사하여 실험을 수행하였다. 접합깊이, 면저항, 결정결함 등의 재료적인 접합 특성을 파악하기 위한 시편 제작은 저항율이 10~15 $\Omega$ ·cm이며 지름이 10cm인 n-형의 <100> 기판을 사용하였다. RCA 세척 후 900 $^{\circ}$ C에서 10분간 전식 산화방법으로 70Å의 screening oxide를 성장시켜 source와 drain 이온주입 공정 이전에 형성되는 LDD(Light Doped Drain) 구조를 위한 side wall 공정을 묘사하였다. 이후에 시편을 세 그룹으로 나누어 두 그룹에는 As과 Ge 이온을 45keV의 에너지와  $3 \times 10^{14}$  cm<sup>-2</sup>의 dose로 주입하여 선비정질화하였다. 선비정질화하지 않은 기판과 선비정질화된 기판을 포함한 세 그룹의 시편 전체를 20keV의 에너지와 dose가  $2 \times 10^{15}$  cm<sup>-2</sup>인 BF<sub>2</sub> 이온을 주입하여 p-형으로 doping하였다. Furnace내에서 600 $^{\circ}$ C의 온도로 20분간 열처리하여 비정질층을 재결정화하였으며 이후에 FA와 RTA를 이용한 고온의 열처리 과정을 거쳤다. 열처리는 세 그룹의 시편마다 각각 FA, RTA, FA+RTA, RTA+FA의 4가지 방법으로 수행하였다. FA는 850 $^{\circ}$ C의 온도로 40분간 N<sub>2</sub> 분위기에서 실시하여 현재까지 보편적으로 사용되고 있는 BPSG flow

공정과 동일한 열처리 조건으로 묘사하였다. RTA는 950°C, 1000°C, 1050°C의 온도에서 10초간 수행하였다. 이후에 BOE 용액을 이용하여 70Å의 산화막을 제거하고 특성을 측정하였다.

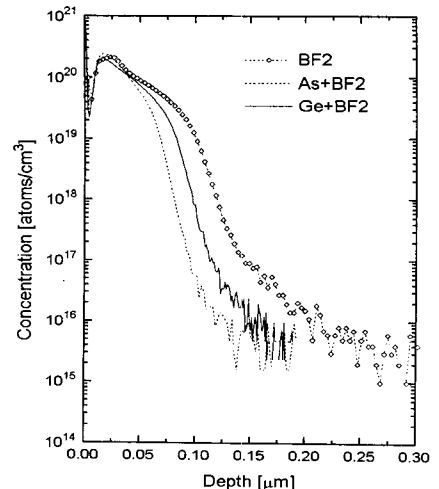
누설전류 측정을 위한 다이오드는 일반적인 LOCOS 공정으로 제작하였으며, 위의 재료 특성을 위한 시편과 동일한 이온주입 및 열처리 조건을 수행하여 제작하였다. 여덟 장의 단결정 기판과 As 또는 Ge으로 선비정질화한 8장씩의 기판을 사용하여 각각의 이온주입 조건마다 열처리를 동일하게 수행하여 누설전류를 이온주입 및 열처리 조건에 따라 비교하였다. 기판마다 5 지점을 측정하여 평균값으로 누설전류를 구하였으며, 제작된 다이오드의 크기는  $500 \times 500 \mu\text{m}^2$ 이었다.

보론 이온에 대한 화학적 분포(chemical profile)는 미국 Charles Evans사의 Cameca IMS 3-f를 이용하여 SIMS로 측정하였다. 그림 1에는 SIMS로 측정된 보론 이온 분포를 세 그룹의 시편에 대해 열처리 이전과 열처리 후로 구분하여 대표적인 분포만을 나타내었으며, 모든 온도에 대한 보론 이온의 SIMS 분포에 있어 n-형 농도가  $10^{17} \text{cm}^{-3}$ 인 background를 기준으로 추출한 접합깊이를 표 1에 정리하였다. Background를  $10^{17} \text{cm}^{-3}$ 의 비교적 큰 농도로 택한 이유는 집적도가 커짐에 따라 short-channel 효과를 억제하기 위하여 점점 큰 농도의 기판을 사용하는 추세가 있으며 또한 SIMS 측정결과에서  $10^{16} \text{cm}^{-3}$ 의 농도에서 noise가 나타났기 때문이다. 이러한 결과를 종합하면 몇 가지 결론을 내릴 수 있다. 단결정 기판에  $\text{BF}_2$ 를 이온주입한 경우에는 250~300Å 두께의 비결정질이 형성되나 주입된 보론 이온이 비정질층내에 분포하기에는 형성된 비정질층의 두께가 충분치 못하여 그림 1-a와 같이 channeling tail이 약간 나타났다. As과 Ge 이온을 이용한 선비정질화된 기판에서는 기판 표면으로부터 약 500Å의 비정질층이 형성되어 대부분의 보론 이온이 포함될 수 있어 channeling tail이 거의 나타나지 않았다. 보론의 주입 에너지가 10keV 보다 클 때는 대부분의 열처리 온도에서 선비정질화한 시편의 접합깊이가 비선비정질화한 경우보다 작게 측정되어 선비정질화하는 장점을 보이는 것으로 알려져 있다. 본 연구에서는  $\text{BF}_2$ 를 20keV로 주입하였기 때문에 실제 보론 이온주입 에너지는 약 4.5keV이며, 선비정질화한 시편의 깊이가 비선비정질화한 경

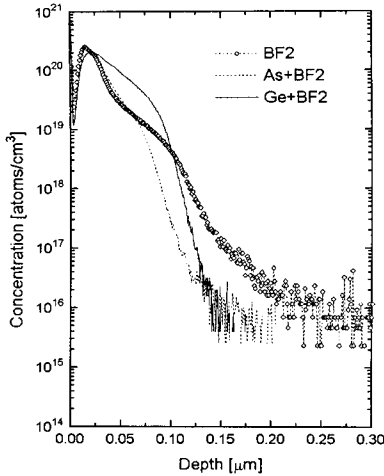
우보다 shallow하도록 접합이 형성되는 열처리 조건은 표 1에서 알 수 있는 바와 같이 보론 이온의 확산이 작은 열처리인 FA나 RTA, RTA(950°C)+FA의 경우이며, 그 외의 열처리 경우에는 선비정질화한 시편의 보론 확산이 커져 선비정질화한 시편과 결정질 시편이 비슷한 접합 깊이를 나타낸다. 열처리를 FA+RTA(1000°C)와 RTA(1050°C)+FA로 수행한 경우를 제외하고는 모든 경우에 As으로 선비정질화한 시편이 다른 이온주입 방법보다 작은 접합깊이를 나타내고 있다.



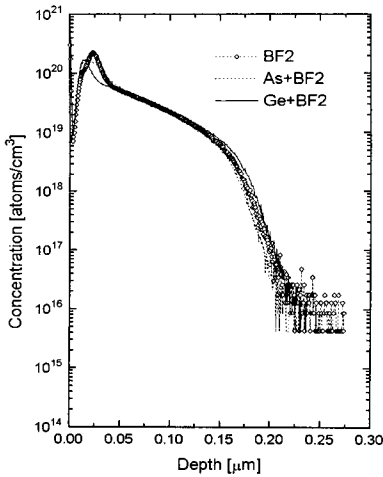
(a)



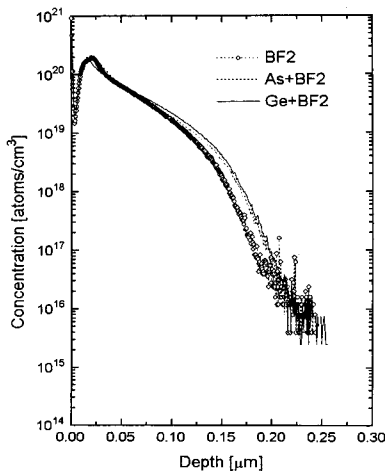
(b)



(c)



(d)



(e)

그림 1. 열처리 방법을 달리하여 SIMS로 측정된 보론 분포

(a) 열처리 전 (b) 1000°C RTA (c) FA (d) RTA(1000°C)+FA (e) FA+RTA(1000°C)

Fig. 1. Boron profiles annealed with different conditions. Measurements via SIMS.

(a) as-implanted (b) 1000°C RTA (c) FA (d) RTA(1000°C)+FA (e) FA+RTA(1000°C)

1000°C의 RTA와 FA를 혼합하여 열처리를 수행하는 경우에는 FA를 RTA 이전에 수행하는 것이 RTA를 FA 이전에 수행하는 것보다 약간 더 작은 접합깊이를 보이고 있다. 이러한 접합깊이 차이는 점결합에 기인한 과도확산(TED : Transient Enhanced Diffusion)에 따라 차이가 일어나게 된 것인데 점결합은 열처리 초기에 매우 빨리 확산하며 재결합하여 그 수가 급격하게 줄어든다. 따라서 높은 온도의 RTA를 먼저 수행하면 높은 온도에서 TED 현상이 일어나 확산이 많이 일어나게 되는 반면, RTA보다 낮은 온도의 FA를 먼저 수행하면 TED 현상이 덜 발생하여 전체 접합 깊이가 더 작아지게 되기 때문이다. 따라서 두 종류의 열처리를 혼합할 경우에는 먼저 수행되는 열처리 조건에 따라 보론 이온의 확산 및 접합깊이가 좌우된다고 결론지을 수 있다.

표 1. 10<sup>17</sup>cm<sup>-3</sup>의 background 농도를 기준으로 SIMS로 측정된 접합깊이

Table 1. Junction depths extracted from SIMS with the background concentration of 10<sup>17</sup>cm<sup>-3</sup>.

[ 단위 : μm ]

열처리 방법	이온주입 방법		
	BF <sub>2</sub>	As + BF <sub>s</sub>	Ge + BF <sub>2</sub>
열처리 전	0.113	0.068	0.068
FA	0.153	0.106	0.134
RTA(950)	0.133	0.080	0.100
RTA(1000)	0.144	0.095	0.116
RTA(1050)	0.157	0.125	0.143
RTA(950) + FA	0.150	0.119	0.143
RTA(1000) + FA	0.200	0.193	0.205
RTA(1050) + FA	0.230	0.238	0.232
FA + RTA(1000)	0.182	0.196	0.196

주입된 불순물의 활성화 정도는 면저항을 측정하여

검토하였다. 측정은 4-point probe를 사용하였으며, 이온주입 조건 및 열처리에 따라 측정된 면저항을 표 2에 정리하였다. 대부분의 면저항 측정치는  $300\Omega/\square$  이하로 나타났다. 이온주입 방법에 따라 측정된 면저항의 크기를 살펴보면 대부분 Ge+BF<sub>2</sub>일 때 가장 작으며 As+BF<sub>2</sub>일 때 가장 크게 나타났다. Ge 이온을 이용하여 선비정질화한 시편의 면저항이 대부분의 열처리 조건에서 BF<sub>2</sub>를 이온주입한 시편의 면저항보다 작게 나타나 Ge 이온으로 선비정질화하면 보론 이온의 활성화를 향상시키는 것을 알 수 있었다. 본 연구에서 수행한 열처리 온도별 면저항의 크기는 FA의 경우에 가장 크고 1050°C의 RTA를 수행한 시편의 면저항이 가장 작게 측정되었다. 1000°C의 RTA와 850°C의 FA를 혼용한 경우에는 FA+RTA 열처리한 시편의 면저항이 RTA+FA의 경우보다 작게 나타났다.

표 2. 4-point probe로 측정된 면저항  
Table 2. Sheet resistances measured with a 4-point probe.

[단위 :  $\Omega/\square$ ]

열처리 방법	이온주입 방법		
	BF <sub>2</sub>	As+BF <sub>2</sub>	Ge+BF <sub>2</sub>
FA	296	511	238
RTA(950)	271	486	269
RTA(1000)	136	420	131
RTA(1050)	105	152	102
RTA(950) + FA	256	281	215
RTA(1000) + FA	176	244	158
RTA(1050) + FA	118	172	109
FA + RTA(1000)	127	204	122

접합깊이와 면저항은 서로 반비례 관계에 있어 최적 공정 조건을 알아내기 위하여 두 측정치의 곱이 최소가 되는 열처리 조건과 이온주입 조건을 확인하는 것이 유리하다<sup>[7]</sup>. 표 1의  $10^{17}\text{cm}^{-3}$  background 농도를 기준으로 SIMS로 측정된 접합깊이와 표 2의 면저항 측정치를 사용하여  $R_s \cdot x_j$ 를 이온주입 방법 및 열처리 방법에 따라 표 3에 정리하였다. 각각의 이온주입 방법에서 FA를 수행한 시편의  $R_s \cdot x_j$ 가 다른 열

처리 방법보다도 가장 큰 값으로 나타났다. RTA를 이용하여 950, 1000, 1050°C로 열처리한 시편과 각각의 온도의 RTA를 수행하고 FA를 추가적으로 열처리한 시편의  $R_s \cdot x_j$  값을 비교하면 RTA만을 수행하는 경우의  $R_s \cdot x_j$ 가 대부분의 경우에 더 작아 유리함을 알 수 있다. 또한 1000°C의 RTA를 수행한 경우에는 FA+RTA가 RTA+FA보다 작은 값을 보이고 있으나 RTA만을 수행한 경우보다는 크다. 이러한 결과를 살펴보면 FA를 포함치 않고 RTA 단독으로 열처리를 수행하는 것이 유리하여, BPSG flow와 불순물 활성화를 동시에 RTA로 수행하는 것이  $R_s \cdot x_j$  면에서 좋은 결과를 나타냄을 알 수 있어 RTA에 의한 BPSG flow 공정 개발이 필요하다. 표 3의 결과로부터 이온주입 면에서는 Ge 이온으로 선비정질화하는 것이 다른 이온주입 조건보다 유리하며, Ge+BF<sub>2</sub> 시편을 RTA 1050°C로 열처리한 시편이 가장 낮은  $R_s \cdot x_j$ 를 나타냄을 알 수 있다.

표 3. 면저항과 접합깊이의 곱  
Table 3. The products of sheet resistance and junction depth.

[단위 :  $\mu\text{m} \cdot \Omega/\square$ ]

열처리 방법	이온주입 방법		
	BF <sub>2</sub>	As + BF <sub>2</sub>	Ge + BF <sub>2</sub>
FA	45.288	54.166	31.892
RTA(950)	36.043	38.88	26.9
RTA(1000)	19.584	39.9	15.196
RTA(1050)	16.485	19	14.586
RTA(950) + FA	38.4	33.439	30.745
RTA(1000) + FA	35.2	47.092	32.39
RTA(1050) + FA	27.14	40.936	25.288
FA + RTA(1000)	23.114	39.984	23.912

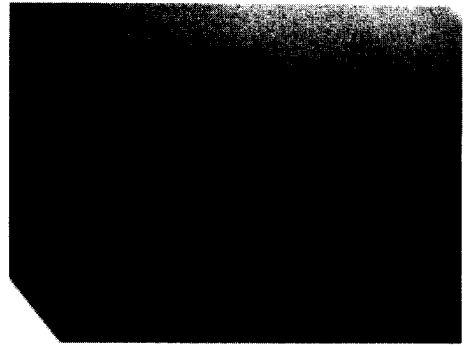
이온주입 과정에 의해 단일 결정질 실리콘 기판에 결정결함이 생기게 되며, 이러한 결정결함은 불순물의 확산과 소자의 누설전류에 영향을 미치는 중요한 요소로 작용한다. 결정결함은 점결함(point defect)과 선결함(line defect)으로 분류할 수 있으며, 점결함으로는 결공(vacancy), 틈새(interstitial)와 불순물 원자가 있

으며, 선결함으로는 dislocation loop를 들 수 있다. 선비정질화를 위하여 이온주입을 수행하고 열처리를 하면 비정질층과 결정질층 경계 외부에 결정결함이 잔류하게 되며, 이 결함이 공핍층 내에 또는 그 근처에 위치하게 된다면 접합 누설전류를 현저히 증가시키는 요소가 된다. 선비정질화를 위한 주입 에너지를 크게 하여 결정결함의 위치를 깊게 형성하는 방법은 후에 결정결함을 제거하는데 어려움이 뒤따르게 된다. 반면에 선비정질화 이온주입 에너지를 작게 하여 비정질층을 얇게 형성하는 경우에는 결점의 위치가 표면 근처에 있게 되어 틈새형 결점, 즉 점결함으로 구성된 dislocation loop는 쉽게 제거될 수 있다. 본 연구에서 도입한 저에너지 이온주입의 장점은 이온주입 후 실리콘 기판 표면 가까이 생성된 결점은 열처리를 수행하여 제거할 수 있다는 것이다. Jeol, JEM 2000EX II XTEM(cross-sectional Transmission Electron Microscopy)를 이용하여 열처리 후에 측정된 결정결함을 표 4에 정리하였다. 이 중 30 만배로 측정된 대표적인 결과를 그림 2에 나타내었다. 열처리 온도에 상관없이 Ge 이온으로 선비정질화한 경우에는 결함이 관측되지 않았으며, 이는 참고문헌 [4]에서의 결과와 달리 BF<sub>2</sub> 이온주입한 경우의 결함이 Ge+BF<sub>2</sub> 이온주입한 경우보다 제거하기 어려운 것을 의미한다. 이러한 현상은 두 연구의 이온주입 에너지가 다르기 때문에 일어난 것으로 참고문헌 [8]의 결과를 이용하면 해석될 수 있다.

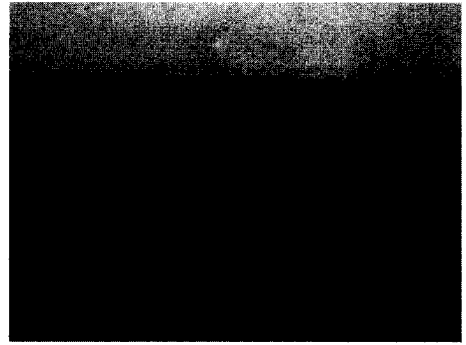
표 4. TEM으로 측정된 열처리 후의 잔류 결정결함  
'×'는 결함이 관측되지 않은 것을 뜻함

Table 4. Residual defects measured by TEM.  
'×' represents no defects observed.

열처리 방법	이온주입 방법		
	BF <sub>2</sub>	As + BF <sub>2</sub>	Ge + BF <sub>2</sub>
FA	loop	×	×
RTA(1000)	loop	×	×
RTA(1050)	표면부터 450Å까지 loop	300Å 위치에 defect	×
RTA(1000) + FA	loop	×	×
RTA(1050) + FA	표면부터 450Å까지 loop	×	×
FA + RTA(1050)	loop	×	×



(a)



(b)



(c)

그림 2. 이온주입 조건에 따라 FA+RTA 열처리 후에 측정된 TEM 사진

(a) BF<sub>2</sub> (b) As+BF<sub>2</sub> (c) Ge+BF<sub>2</sub>

Fig. 1. TEM photographs of the samples annealed with FA+RTA.

(a) BF<sub>2</sub> (b) As+BF<sub>2</sub> (c) Ge+BF<sub>2</sub>

이미 언급하였듯이 결정결함의 위치와 누설전류는 매우 밀접한 관계를 갖는다. 선비정질화에 의해서 생긴 결정결함은 열처리 과정에서 제거되지 않으면 큰

누설전류 값을 갖게 되어 소자의 대기 전력(stand-by power) 소모가 증가하게 된다. 제작된 다이오드에 5V의 역전압을 인가하였을 때의 누설전류를 측정하여 표 5에 정리하였다. 측정 결과에서 알 수 있는 바와 같이 As+BF<sub>2</sub>가 가장 큰 누설전류를 보이고 있으며, 선비정질화하지 않은 기판에 BF<sub>2</sub>를 주입한 시편의 누설전류가 가장 작게 나타났다. Ge+BF<sub>2</sub>의 경우에는 누설전류가 BF<sub>2</sub>보다 크게 측정되었지만 수용할 만한 범위라 할 수 있으나, As+BF<sub>2</sub>로 이온 주입한 시편의 누설전류는 모든 열처리 온도에서 큰 누설전류를 나타내고 있다. 열처리에 따른 누설전류 특성에 있어서는 RTA만 수행하는 것보다는 FA와 병행하거나 FA만 수행하는 것이 유리함을 알 수 있다. RTA+FA보다는 FA+RTA로 열처리한 경우에 더 작은 누설전류를 보이고 있으며, 모든 열처리 조건에 있어서 FA+RTA가 가장 좋은 특성을 나타내었다. 그러나 As으로 선비정질화하지 않는다면 본 논문에서 고려된 RTA를 포함한 모든 열처리 방법은 수용할 만한 누설전류 특성을 나타내고 있다.

표 5. 5V의 역방향 전압 인가시의 누설전류 측정결과

Table 5. Measurements results of leakage currents with a reverse bias of 5V.

[단위 : nA/cm<sup>2</sup>]

열처리 방법	이온주입 방법		
	BF <sub>2</sub>	As + BF <sub>2</sub>	Ge + BF <sub>2</sub>
FA	3.1	22	5.4
RTA(950)	6.6	212	8.3
RTA(1000)	5.5	94	8.5
RTA(1050)	5.4	48	7.7
RTA(950) + FA	4.7	31	7.1
RTA(1000) + FA	4.9	27	6.8
RTA(1050) + FA	3.9	32	6.6
FA + RTA(1000)	2.8	19	3.3

### III. 결 론

본 논문에서는 양질의 특성을 갖는 0.2 $\mu$ m의 p<sup>+</sup>-n 접합 형성 공정에서 고려해야 할 몇 가지 변수들에 대

하여 검토하였다. 접합깊이 면에서 살펴보면 As 이온으로 선비정질화한 경우가 대부분의 경우에 가장 shallow하며 열처리 면에 있어서는 RTA+FA보다는 FA+RTA가 더 유리하다. 면저항에 있어서는 As 이온으로 선비정질화한 경우가 가장 큰 면저항을 나타내며 대부분의 경우에 Ge 이온으로 선비정질화한 경우에 가장 작은 면저항을 나타내고, 열처리에 있어서는 RTA+FA의 경우에 FA+RTA의 경우보다 면저항이 더 큰 것으로 나타났다. 결정결합은 Ge 이온으로 선비정질화한 경우에 가장 좋은 특성을 나타내었다. 누설전류는 BF<sub>2</sub> 이온만을 주입한 경우에 가장 작으며 열처리는 FA+RTA의 경우에 가장 좋은 특성을 나타내었다. 위에서 열거한 모든 요소들을 고려할 때 본 연구에서 고려한 조건 중에 최적의 0.2 $\mu$ m p<sup>+</sup>-n 박막 접합 형성 공정 조건은 Ge+BF<sub>2</sub> 또는 BF<sub>2</sub> 이온을 주입하고 열처리는 FA+RTA 또는 RTA로 수행하는 것이다.

### 참 고 문 헌

- [1] S.M. Sze, *Physics of Semiconductor Devices*, 2nd ed. Wiley-Interscience Publication : New-York, 1981.
- [2] H.J Böhm, H.Wendt, and H. Oppolzer, "Diffusion of B and As from Polycrystalline Silicon During Rapid Thermal Annealing," *J. Appl. Phys.* 62(7), pp. 2784-2788, Oct. 1987.
- [3] Kyeong-Tae Kim and Choong-Ki Kim, "Formation of Shallow p<sup>+</sup>-n Junction Using Boron-Nitride Solid Diffusion Source," *IEEE Electron Device Lett.*, vol. EDL-8, no. 12, pp. 569-571, Dec. 1987.
- [4] Shin Nam Hong, Gray A. Ruggles, Jimmie J. Wortman, and Mehmet C. Öztürk, "Material and Electrical Properties of Ultra-Shallow p<sup>+</sup>-n Junction Formed by Low-Energy Ion Implantation and Rapid Thermal Annealing," *IEEE Trans. Electron Device.*, vol. 38, no. 3, pp. 476-486, March 1991.
- [5] M.C. Ozturk and J.J. Wortman, "Very shallow p<sup>+</sup>-n Junction Formation by Low-Energy BF<sub>2</sub><sup>+</sup> Ion Implantation into

Crystalline and Germanium Preamorphized Silicon," *Apply. Phys. Lett.* 52(12), pp. 963-965, Mar. 1988.

- [ 6 ] A. Tanaka et-al, "Optimization of Amorphous Layer and Junction Depth on the Preamorphization Method for Forming Shallow-Junction in Silicon," *IEEE IDRM*, pp. 785-788, 1989.
- [ 7 ] H. Mikoshiba, H. Abiko, "Junction depth

Versus Sheet Resistivity in  $BF_2^+$  implanted Rapid Thermal Annealing silicon," *IEEE Electron Device Lett.*, vol. EDL-7, no. 3, pp. 190-192, March 1986.

- [ 8 ] Richard B. Fair, "Damage Removal/Dopant Diffusion Tradeoffs in Ultra-Shallow Implanted p<sup>+</sup>-n Junctions," *IEEE Trans. Electron Devices*, vol. 17, no. 10, pp. 2237-2242, Oct. 1990.

저 자 소 개



洪 信 男(正會員)

1953년 12월 17일생. 1979년 2월 한양대학교 전자공학과(학사) 1984년 12월 North Carolina State University 전기 및 컴퓨터공학과(석사). 1989년 8월 North Carolina State University 전기 및 컴퓨터공학과(박사). 1989년 9월 ~ 현재 한국항공대학교 항공전자공학과 부교수. 주관심분야는 반도체소자 및 공정 등임



金 在 英(正會員)

1972년 1월 15일생. 1996년 2월 한국항공대학교 항공전자공학과(학사). 1998년 2월 한국항공대학교 대학원 전자공학과(석사). 1998년 ~ 현재 한국항공대학교 대학원 전자공학과 박사과정. 주관심분야는 반도체 공정 시뮬레이션, 극초박막 접합, 전력 소자 등임