

論文 98-35D-7-11

Fowler-Nordheim 터널링 전자주입에 의한 질화 게이트 산화막의 특성 분석

(Characterizations of Nitrided Gate Oxides by Fowler-Nordheim Tunneling Electron Injection)

張聖洙*, 文成根*, 盧官鍾*, 盧用翰*, 李七基*

(Sung-Soo Chang, Sung-Keun Moon, Kwan-Chong Roh, Yong-Han Roh, and Chil-Gee Lee)

요 약

금속-산화막-반도체 전계효과 소자에서 차세대 게이트 산화막으로 연구되고 있는 질화산화막을 N_2O 가스를 사용하여 2-단계 공정으로 성장하였으며, FNT 전자주입을 이용하여 전기적 특성을 분석하였다. 열산화막을 질화시킬 경우 절연파괴 특성에서 질화전의 산화막 보다 신뢰성이 향상되었다. 또한, 질화산화막은 게이트 전자주입이 기관 전자주입보다 고열전자에 의한 열화에 좀더 취약하였으며, 90~130Å 범위에서 두꺼운 질화산화막 일수록 쉽게 열화되는 경향을 확인하였다. 질화산화막의 게이트 전압의 극성 의존성 및 두께에 따른 열화의 차이를 설명하기 위한 모델을 제시하였다.

Abstract

Nitrided oxides which have been investigated as alternative gate oxide for Metal-Oxide-Semiconductor field effect devices were grown by two-step process using N_2O gas, and were characterized via a Fowler-Nordheim Tunneling(FNT) electron injection technique. Electrical characteristics of nitrided gate oxides were superior to that of control oxides. Further, the FNT electron injection into the nitrided gate oxides reveals that gate oxides degrade more both if electrons were forced to inject from the gate metal and if thicker nitrided gate oxides were used in the thickness range of 90~130Å. Models are suggested to explain these phenomena.

I. 서 론

집적소자의 규격을 deep-submicron 수준으로 미세화하기 위하여 금속-산화막-반도체(Metal-Oxide-

* 正會員, 成均館大學校 電氣 電子 및 컴퓨터 工學部
(Sung Kyun Kwan University, School of Electrical and Computer Engineering)

※ 본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구조성비(과제번호: ISRC 96-E-5005)에 의해 수행되었습니다.

接受日字: 1998年4月23日, 수정완료일: 1998年7月3日

Semiconductor, MOS) 소자에서 게이트 산화막으로 사용되고 있는 실리콘 열산화막(SiO_2)의 초박막화가 요구된다. 열산화막은 성장동안 스트레스에 의해 Si/SiO₂ 계면부근에 구조전이영역(structural transition layer, STL)으로 불리는 불완전한 구조가 형성되며, 이 영역은 소자가 미세화 됨에 따라 발생하는 고열전자 현상에 취약한 것으로 보고되고 있다^[1]. 이는 초박막 열산화막의 경우 STL 영역이 대부분의 산화막을 차지하게 되어 고열전자에 대한 게이트 산화막의 신뢰성을 확보하기가 어렵게 되기 때문이다.

상기된 문제를 해결하기 위한 방법으로 최근에 N_2O

또는 NO 가스를 사용하여 열산화막을 질화시킨 질화산화막(nitrided oxide)이 제안되었다. 질화산화막은 Si/SiO₂ 계면부근에 결합된 질소가 STL 영역의 불완전한 구조를 강화시켜 고열전자에 의한 열화와 절연과피에 높은 내성을 갖게 할 수 있는 것으로 보고되었다^[2]. 또한, 2중 다결정 실리콘 게이트의 적용에 필요한 붕소의 확산을 방지하는 역할을 하며^[3], 자기제어 메커니즘으로 인해 초박막 게이트 산화막의 성장에 용이한 장점을 갖고 있다^[4].

질화산화막은 산화막내 질소의 농도와 분포가 신뢰성에 중요한 역할을 한다.

질화산화막에서 질소의 농도는 0.2~1 원자 퍼센트(atom%)일 때^[5], 질소분포는 Si/SiO₂ 계면부근에 집중적으로 축적될 때^[6] 소자의 성능과 신뢰성이 최적화되는 것으로 보고되었다. 그리고 전기로를 사용해서 질소의 농도와 분포를 최적화하기 위한 방법들 가운데 열산화막을 성장한 후 질화공정을 수행하는 2-단계 공정이 여타 방식보다도 우수한 것으로 보고되었다^[6].

금속-산화막-반도체 전계효과 트랜지스터에서 게이트 산화막으로 사용되고 있는 실리콘 열산화막의 열화 특성을 개선시키기 위한 노력의 일환으로 지난 수년간 SiO₂를 성장시킨 후 N₂O 가스를 이용하여 질화시키는 방식이 광범위하게 연구되어 왔으나, 고전계에서 이들 박막으로 주입된 고열전자에 의해 발생하는 다양한 트랩들의 형성과정, 산화막내 분포위치, 그리고 전자주입량에 따른 트랩의 절대량과 발생속도 등의 전하포획 특성을 분석한 질화산화막의 열화 메커니즘 연구는 미흡하였다.

본 논문에서는, 고전계 스트레스인 일정전류 Fowler-Nordheim tunneling(FNT)을 이용해서 기판과 게이트에서 전자를 주입하여 질화산화막의 전하포획 특성을 조사하므로써 발생된 트랩의 발생원인, 분포위치, 절대량과 발생속도를 연구하였다. 실험결과 게이트로부터의 전자주입이 기판으로부터의 전자주입보다 열화에 더 큰 영향을 미쳤으며, 두꺼운 질화산화막이 좀더 쉽게 열화됨을 확인하였다. 산화막내 국부적으로 존재하는 전하에 의한 에너지 밴드의 변형^[7]과 양극에서의 전자-정공 쌍의 발생률^[8]을 통해 질화산화막의 게이트 전압의 극성 의존성 및 두께에 따른 열화의 차이를 설명할 수 있는 모델을 새롭게 제시하였다.

II. 소자제작 및 측정방법

MOS 커패시터 소자의 제작은 4 inch, 5~10 Ω-cm, (100) n형 실리콘 웨이퍼를 사용하였다. 실리콘 열산화막은 전기로를 사용하여 900°C에서 5~10분간 건식방법으로 50~100Å 두께의 산화막을 성장시켰다. 질화산화막은 900°C에서 건식방법으로 50~100Å의 열산화막을 먼저 성장하고, N₂O 가스를 950°C에서 5분동안 질화시키는 2-단계 공정으로 성장되었다. 질화공정을 통해 30~40Å의 산화막이 각각 추가적으로 성장되어 질화산화막의 최종두께는 ellipsometry 측정결과 90~130Å이었다. 질화산화막에 SIMS와 AES 분석을 통해 질소의 농도와 분포를 조사한 결과 질소의 농도는 ~1 atom%로 서로 비슷하였다. 그러나, 질소 분포의 경우 90Å의 질화산화막은 130Å의 질화산화막보다 벌크와 금속/산화막 계면부근에도 많은 양이 분포하여 130Å의 질화산화막이 90Å의 질화산화막보다 질소분포가 최적화 되었음을 확인했다. 산화막내 게이트 금속은 3000Å의 알루미늄을 열증발방법으로 증착하였고, MOS 커패시터의 게이트 영역은 웨도우 마스크를 이용하여 패턴을 형성하였으며, 면적은 약 $1.5 \times 10^{-3} \text{cm}^2$ 이었다.

MOS 소자에서 산화막 열화를 연구하기 위해서 FNT를 이용해서 양자역학적으로 고열전자를 산화막내로 주입시키면 전자트랩, 정공트랩, 계면전하, 변이양전하(anomalous positive charge, APC) 등이 발생하여 평탄대역 전압과 일정전류를 산화막에 주입하는 데 필요한 게이트 전압이 변하게 되고, 이들 전압의 변화를 측정하여 산화막내 전하포획 특성을 분석할 수 있다. 평탄대역 전압의 변화는 산화막 전체에서 발생하는 전하에 영향을 받고, 게이트 전압의 변화는 FNT 메커니즘에 의해 전자주입 계면부근에는 민감하지 않고 벌크영역에서 발생하는 전하포획에 영향을 받는다. 그러므로, 평탄대역 전압 변화와 게이트 전압 변화의 차는 전자주입 계면부근의 전하포획 특성을 나타낸다^[9]. 이를 통해 전자주입 극성에 따라 전자주입 계면부근과 그 이외의 벌크영역의 전하포획 특성을 구분하여 조사할 수 있다. 전자주입방식은 게이트에 인가되는 전압의 극성에 의해 결정된다. 양의 전압이 인가되면 전자는 기판에서 주입되고, 음의 전압이 인가되면 게이트에서 전자가 주입된다. 따라서, 기판 전자주입동안은 산화막/반도체 계면부근, 게이트 전자주입

동안은 금속/산화막 계면부근의 전하포획 특성을 조사할 수 있다.

전압 변화는 다음과 같이 산화막내 단위 전하 밀도 (areal charge density) N 으로 계산된다^[9].

$$N = - \frac{C_{ox} \cdot \Delta V}{q \cdot A} \quad (1)$$

여기서, ΔV 는 전압 변화, C_{ox} 는 산화막의 측정된 캐패시턴스, q 는 전자의 전하량, 그리고 A 는 게이트 면적이다.

산화막내 발생한 트랩의 절대량과 전하포획 곡선의 기울기로 나타나는 트랩의 발생률은 산화막의 신뢰성과 열화의 척도로 사용된다. 트랩은 물리적으로 손상된 결합구조에 의한 것이므로 트랩의 절대량은 산화막 열화의 기준을 제공한다^[10]. 또한, 트랩 발생률은 산화막의 절연과피와 밀접한 관계가 있는 파라미터로 역시 산화막 열화의 기준이 된다^[11].

질화산화막의 계면전하 밀도는 고주파/의사정(quasi-static) C-V 측정을 이용하여 얻었고^[12], 산화막/반도체 계면부근에 존재하는 것으로 보고된 변이양전하를 확인하기 위해서는 저전계 스트레스를 사용하였다^[13].

III. 실험결과

그림 1은 130Å 두께의 질화산화막에 50nA의 일정 전류를 유지하도록 게이트에 양의 바이어스를 인가하여 기판으로부터 전자가 주입되도록 했을 때 나타나는 전하포획을 보이고 있다. 실리콘 기판과 산화막 경계면 부근을 제외한 벌크영역에서는 전자주입량이 적을 때($< \sim 0.04C/cm^2$) 양의 전하포획을 보이다가 전자주입량이 증가하면서 음의 전하포획으로 변하는 것을 볼 수 있다. 이와 같은 전하포획은, 전자주입량이 $\sim 0.002C/cm^2$ 일 때까지의 양극/산화막 계면에서의 정공 트랩핑^[14]과 0.01C/cm² 이후의 전자주입량에서는 정공 트랩핑과 더불어 APC 발생^[10]에 따른 양의 전하포획에 의한 것으로 해석된다. 전자주입량이 0.01C/cm²로 증가함에 따라 나타나는 음의 전하포획은 2eV 정도의 에너지를 갖는 전자와 산화막내 존재하는 수소의 반응에 의해 발생하는 음의 전하포획^[15]이 정공 트랩핑과 APC의 발생보다 상대적으로 많기 때문에 나타나는 효과로 이해할 수 있다. Si/SiO₂ 계

면부근은 초기의 전자주입부터 음의 전하포획을 나타내고 있다. 이것은 질화산화막의 Si/SiO₂ 계면부근에 존재하는 질소에 의한 전자트랩의 발생과 이들 트랩에 전자가 포획되기 때문으로 해석된다. 그러나, 0.1C/cm²부터 음의 전하포획의 기울기가 감소하고 있음을 알 수 있다. 이것은 Si/SiO₂ 계면부근에 양의 트랩이 발생되어 전자에 의한 음의 전하포획을 보상하고 있음을 의미하는 것으로 전자주입량이 높은 영역에서 발생하는 Si/SiO₂ 계면부근에서의 양의 전하포획은 주로 APC에 의한 것으로 보고되고 있다^[9]. 산화막 전체적으로 관측되는 음의 전하포획은 Si/SiO₂ 계면부근에서 만들어지는 음의 전하포획이 산화막 전체의 전하포획을 주도하기 때문이다.

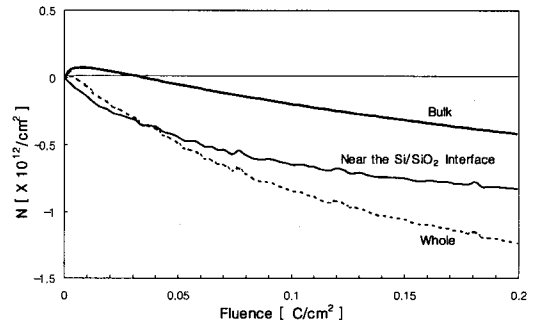


그림 1. 130Å 질화산화막에 기판 전자주입동안 식(1)을 통해 얻은 전하포획 곡선 : Bulk= ΔV_g , Near the Si/SiO₂ Interface= $\Delta V_{fb} - \Delta V_g$, Whole= ΔV_{fb} 에 따른 변화를 식(1)을 이용하여 계산

Fig. 1. Charging curve obtained from 130Å thickness nitrided oxide during substrate FNT electron injection : areal charge densities shown in this figure were calculated using the relationships both by Bulk= ΔV_g , Near the Si/SiO₂ Interface= $\Delta V_{fb} - \Delta V_g$, Whole= ΔV_{fb} and by Eq.(1).

그림 2는 130Å 두께의 질화산화막에 -50nA의 주입전류를 유지하도록 게이트에 음의 바이어스를 인가하여 게이트로부터 전자를 주입시켰을 때의 전하포획을 나타낸다. 벌크영역에서는 전자주입량이 낮을 때 양의 전하포획을 보이다가 주입량이 증가하면서 음의 전하포획을 보여 기판 전자주입과 유사했으며 전하포획 곡선에 대한 해석도 기판 전자주입의 경우와 동일하게 할 수 있다. 다만, 기판 전자주입의 경우 금속함 음의 전하포획이 되는 것과 달리 음의 전하포획 기울

기가 크게 감소하는 경향을 보이고 있다. 이는 게이트 전자주입시 Si/SiO₂ 계면부근에 양의 트랩이 만들어지고 있음을 의미하며 주로 APC 발생에 의한 영향으로 이해할 수 있다^[9]. Al/SiO₂ 계면부근은 초기의 전자주입부터 양의 전하포획을 나타내고 있다. 이것은 금속/산화막 계면부근에서 정공 트랩핑이 주도적으로 발생하기 때문으로 이해된다^[14]. 또한, 산화막 전체에서 나타나는 양의 전하포획은 Al/SiO₂ 계면부근에서 만들어지는 양의 전하포획이 산화막 전체의 전하포획을 주도했기 때문이다.

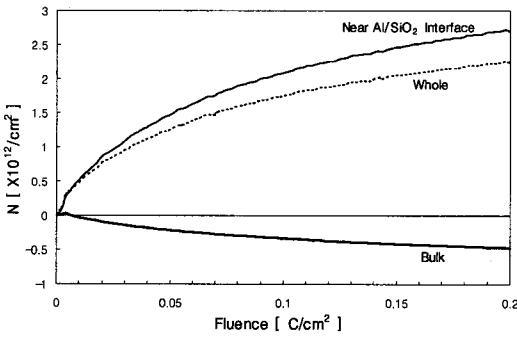
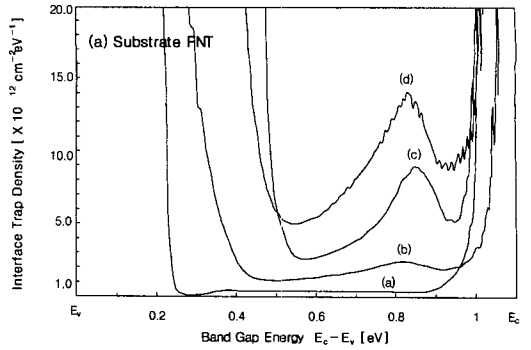


그림 2. 130Å 질화산화막에 게이트 전자주입동안 식(1)을 통해 얻은 전하포획 곡선 : Bulk= ΔV_g , Near Al/SiO₂ Interface= $\Delta V_{fb} - \Delta V_g$, Whole= ΔV_{fb} 에 따른 변화를 식(1)을 이용하여 계산

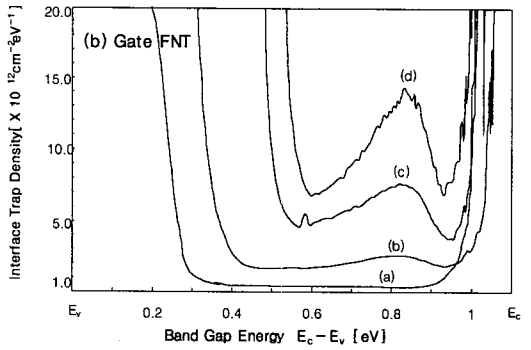
Fig. 2. Charging curve obtained from 130Å thickness nitrated oxide during gate FNT electron injection : areal charge densities shown in this figure were calculated using the relationships both by Bulk= ΔV_g , Near Al/SiO₂ Interface= $\Delta V_{fb} - \Delta V_g$, Whole= ΔV_{fb} and by Eq.(1).

130Å의 질화산화막에 기판과 게이트로부터 전자를 주입했을 때 열화의 극성 의존성을 살펴보기 위해서는 산화막내 만들어진 트랩의 양과 발생률을 조사해야 한다. 그림 1과 그림 2에서 트랩 밀도의 절대량과 전하포획의 기율기에 의한 트랩의 발생률을 비교해 보면 게이트 전자주입이 기판 전자주입보다 트랩의 양과 발생률에서 큰 경향을 나타냈다. 이것은 게이트 전자주입이 기판 전자주입보다 열화의 정도가 심하고 급속히 일어난다는 것을 의미한다.

그림 3은 두께가 130Å인 질화산화막에 FNT를 이용해서 전자를 주입했을 때 전자주입량에 따른 계면전하 밀도(D_{it})의 변화를 나타낸 것이다.



(a)



(b)

그림 3. 130Å 두께의 질화산화막에 FNT 전자주입 후 계면전하 밀도의 변화. 그림 3a는 기판 전자주입의 경우, 그림 3b는 게이트 전자주입의 경우. (a) 전자주입 전, (b) 0.01C/cm², (c) 0.05C/cm², (d) 0.2C/cm²까지 전자주입후 계면전하 밀도의 변화

Fig. 3. Interface trap density in 130Å nitrated oxide after FNT electron injection to various fluences. Fig. 3a & 3b were obtained after substrate and gate FNT electron injection, respectively. (a) uninjected, (b) 0.01C/cm², (c) 0.05C/cm², (d) 0.2C/cm².

그림 3a는 기판에서 전자를 주입했을 때이고, 그림 3b는 게이트에서 전자를 주입했을 때의 변화 경향을 각각 나타냈다. 대역차 에너지 $E_c - E_v$ 가 0.8eV인 부분의 peak는 산화막내 수소의 영향으로 알려져 있고, 중간대역과 중간대역 이하의 계면전하 밀도의 증가는 정공에 의한 것으로 보고되었다^[12]. 그림 3a와 그림 3b의 실험결과를 비교했을 때 0.8eV의 peak의 경우 전자주입 극성에 따른 계면전하의 변화에 큰 차이가 없음을 알 수 있다. 이것은 본 논문에서 조사된 질화산화막내 수소의 분포가 균일하여 수소가 계면전하 발생에 미치는 효과가 전자주입 극성에 큰 영향을 미치지

못함을 의미한다. 그러나, 중간대역 부근의 계면전하 밀도는 게이트 전자주입이 기관 전자주입보다 큰 증가를 보였다. 이는 게이트 전자주입의 경우 양극인 Si/SiO₂ 계면에서 발생하는 정공은 계면전하 발생에 일차손상을 입히지만^[11], 기관 전자주입의 경우 정공은 양극인 Al/SiO₂ 계면에서 발생한 후 Si/SiO₂ 계면으로 이동하여 계면전하를 발생시켜야 하므로 동일 전자주입량에서 게이트 FNT가 심한 열화를 야기함을 알 수 있다. 따라서, 게이트 전자주입이 기관 전자주입보다 정공이 Si/SiO₂ 계면에 미치는 효과가 크므로 중간대역 부근의 계면전하 발생이 큰 것으로 이해할 수 있다.

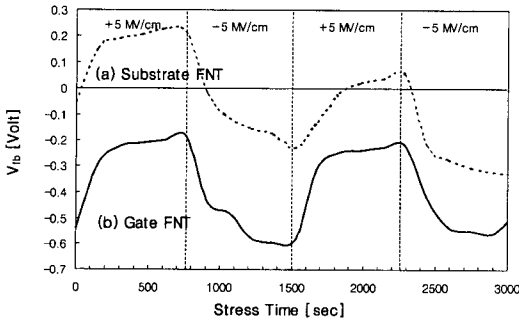


그림 4. 130Å 두께의 질화산화막에 0.2C/cm²까지 FNT 전자주입 후 APC의 존재 확인위한 저전계 스트레스 실험(참고문헌13 참조). 점선으로 나타난 그림 4a는 기관 전자주입의 경우, 실선으로 나타난 그림 4b는 게이트 전자주입의 경우이다

Fig. 4. Flatband voltage shift measured after FNT electron injection to 0.2C/cm²(ref.13): Fig. 4a & 4b were obtained after substrate and gate FNT electron injection, respectively.

그림 4는 질화산화막에 0.2C/cm²까지의 전자를 주입했을 때 Si/SiO₂ 계면부근에 slow donor-like 트랩인 APC의 존재를 확인하기 위한 저전계 스트레스 실험결과를 나타낸 것이다. 그림 4a의 점선은 기관으로부터 전자주입한 경우이며, 그림 4b의 실선은 게이트에서 전자주입한 경우의 V_{fb}의 변화를 나타내고 있다. 게이트 전자주입의 경우 기관 전자주입보다 계면부근에 많은 양의 정공이 트랩핑되어서 V_{fb}의 변화가 초기에 -0.5 Volt에서 시작한 것을 제외하면 극성의 존재를 발견할 수 없고, V_{fb}의 변화 폭으로부터 결정되는 APC의 밀도 역시 비슷한 결과를 나타내고 있다.

그림 3과 그림 4에서 알 수 있듯이 두께 130Å의 질화산화막에 FNT를 이용해서 전자를 기관과 게이트

에서 주입한 결과, D_{it} 및 APC의 발생은 전자주입 극성에 큰 차이가 없음을 알 수 있다. 그러나, V_{fb}와 V_g의 변화에 의한 산화막내 전하포획 특성에서는 극성의존성을 나타냈다. 산화막내 전하포획의 특성에서는 기관과 게이트로부터의 전자주입동안 만들어지는 트랩의 종류와 산화막내 분포위치, 밀도와 발생률에서 극성의존성을 나타냈다. 기관 전자주입의 경우 Si/SiO₂ 계면부근에 음의 전하포획이 산화막 전체의 음의 전하포획을 주도했고, 게이트 전자주입의 경우엔 Al/SiO₂ 계면부근에 양의 전하포획이 산화막 전체의 양의 전하포획을 주도했다. 열화의 기준이 되는 트랩의 양과 발생률에서 게이트 전자주입이 기관 전자주입보다 큰 경향을 보여 질화산화막의 열화에 전자주입 극성의존성이 있음을 확인하였다.

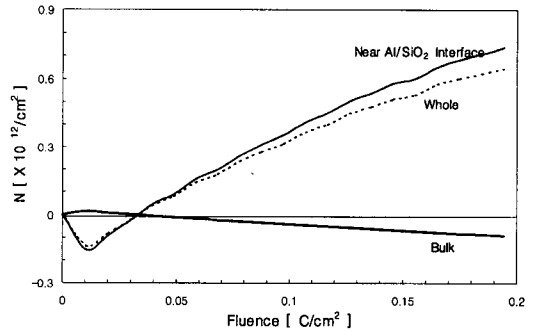


그림 5. 90Å 질화산화막에 게이트 전자주입동안 식(1)을 통해 얻은 전하포획 곡선 : Bulk= ΔV_g , Near Al/SiO₂ Interface= $\Delta V_{fb} - \Delta V_g$, Whole= ΔV_{fb} 에 따른 변화를 식(1)을 이용하여 계산

Fig. 5. Charging curves obtained from 90Å thickness nitrided oxide during gate FNT electron injection : areal charge densities shown in this figure were calculated using the relationships both by Bulk= ΔV_g , Near Al/SiO₂ Interface= $\Delta V_{fb} - \Delta V_g$, Whole= ΔV_{fb} and by Eq.(1).

두께가 90Å과 130Å인 질화산화막을 사용하여 열화에 큰 영향을 미치는 게이트 전자주입동안의 전하포획 곡선을 조사하였다. 그림 5는 두께 90Å의 질화산화막에 게이트에서 전자를 주입했을 때의 전하포획을 나타내고 있다. 벌크영역에서는 앞서 설명한 그림 2의 130Å 두께의 질화산화막과 유사한 전하포획 경향을 보인다. 그러나, Al/SiO₂ 계면부근의 전하포획은 그림 2와 다른 경향을 보이고 있다. 이러한 현상은 먼저 성장한 열산화막의 두께가 다르기 때문에 동일한 조건으

로 질화시키더라도 산화막내 질소의 분포가 달라져 나타나는 것으로 이해할 수 있다^[6]. SIMS 및 AES 분석결과에서 확인했던 것처럼 90Å의 질화산화막의 질소는 130Å의 질화산화막보다 벌크영역과 Al/SiO₂ 계면부근에 많은 양의 질소가 분포되어 있음을 확인하였다. 벌크영역에 존재하는 질소는 전자 트랩을 발생하여 산화막의 특성을 열화시키는 것으로 것으로 보고된다^[6]. 따라서, 90Å 질화산화막에서 전자주입량이 낮을 때 Al/SiO₂ 계면부근에서 나타나는 음의 전하포획은 벌크영역과 Al/SiO₂ 계면부근에 존재하는 질소와 관련된 트랩에 전자가 포획되어 나타나는 영향으로 해석할 수 있다.

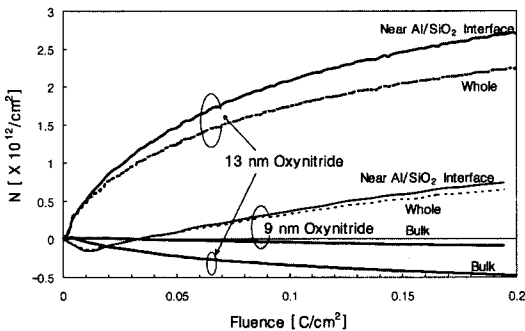


그림 6. 90Å과 130Å 질화산화막에 게이트 전자주입 동안 식(1)을 통해 얻은 전하포획 곡선의 비교 : Bulk= ΔV_g , Near Al/SiO₂ Interface= $\Delta V_{fb} - \Delta V_g$, Whole= ΔV_{fb} 에 따른 변화를 식(1)을 이용하여 계산

Fig. 6. Thickness dependence on charging curves during gate FNT electron injection. : areal charge densities shown in this figure were calculated using the relationships both by Bulk= ΔV_g , Near Al/SiO₂ Interface= $\Delta V_{fb} - \Delta V_g$, Whole= ΔV_{fb} and by Eq.(1).

그림 6은 게이트 전자주입 동안의 전하포획에 대한 질화산화막의 두께 의존성을 보여주고 있다. 전자주입량이 낮은 영역에서 두 질화산화막 간의 질소 분포의 차이가 미치는 영향을 제외하면 전하포획의 경향은 동일하다. 그러나 열화의 기준인 트랩의 절대량과 발생률은 모든 영역에서 두꺼운 질화산화막이 현저히 큰 경향을 보인다.

IV. 토의사항

1. 질화산화막의 열화에 대한 극성 의존성

질화산화막이 차세대 대체 산화막으로 사용되기 위

해서는 전자주입 극성에 따른 열화 메커니즘의 연구가 선행되어야 한다. 상보 모스 트랜지스터와 플래쉬 메모리의 불안정성을 유발하여 소자의 신뢰성을 제한하는 중요한 요소들 중의 하나가 산화막 열화의 극성 의존성이기 때문이다. 고전계에서 FNT를 이용하여 전자를 주입한 결과 게이트 전자주입이 기관 전자주입보다 심한 열화 경향을 보였다.

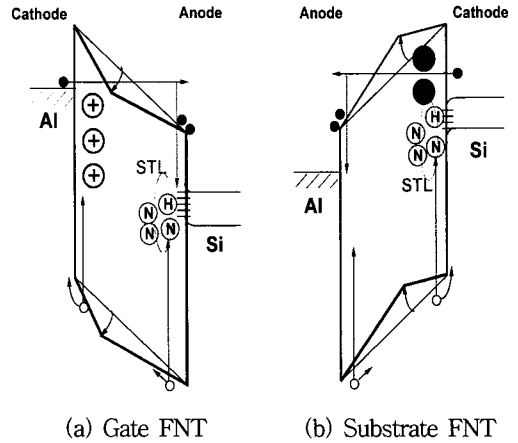


그림 7. 질화산화막 전하포획 곡선의 극성 의존성을 설명하기 위한 모델. 산화막내 국부적으로 만들어지는 전하는 에너지 밴드를 변형시켜 전자 터널링 확률을 변화시킨다. 그림 7a는 게이트 전자주입의 경우, 그림 7b는 기관 전자주입의 경우를 나타낸다.

Fig. 7. A model to explain the gate polarity dependence on nitrated oxide charging curve. Charges locally generated in nitrated oxide modify the energy band of oxide by changing the electron tunneling probability. Fig. 7a is for gate FNT and Fig. 7b is for substrate FNT.

그림 7에서 130Å 질화산화막의 극성에 따른 열화 특성을 설명하기 위한 모델을 제시하였다. 그림 7a는 게이트 전자주입, 그림 7b는 기관 전자주입동안 산화막 전체를 주도하는 전하포획의 산화막내 분포위치를 나타내고 있다. 또한, 트랩의 절대량과 발생률을 설명하기 위한 에너지 밴드의 변형을 보이고 있다^[7]. 그림 7a에서는 게이트 전자주입 동안에는 Al/SiO₂ 계면부근에서 정공에 의한 양의 전하포획(그림 2 참조)발생 메커니즘을 알 수 있다. 즉, 전자주입 계면인 Al/SiO₂ 부근에 발생하는 초기의 양의 전하포획은 음극 전계를 증가시켜 전자의 터널링 확률을 증가시키는 방향으로 에너지 밴드가 변형된다. 따라서, 산화막내

트랩의 발생률과 절대량이 증가하게되고 열화가 가속화되는 경향을 나타낸다. 반면 그림 7b의 기판 전자주입의 경우는 Si/SiO₂ 계면부근에서 질소에 의한 전자 트랩의 영향으로 음의 전하포획이 나타난다(그림 1 참조). 전자주입 계면인 Si/SiO₂ 부근에서 발생하는 음의 전하포획은 음극 전계를 감소시켜 산화막으로의 전자 터널링 확률을 감소시키는 방향으로 에너지 밴드가 변형된다. 결과적으로 게이트 전자주입은 기판 전자주입보다 전자 터널링 확률이 증가되도록 에너지 밴드의 변형이 나타나므로 트랩의 절대량과 발생률에서 게이트 전자주입이 더 큰 열화 특성을 보이게 되는 것으로 해석할 수 있다. 열산화막의 극성 의존성은 STL 영역에 의해 야기되는 것으로 보고되고 있으나, 질화산화막의 경우 STL 영역을 강화시켰음에도 나타나는 극성 의존성은 전자주입 계면부근에 국부적으로 존재하는 전하포획에 의한 에너지 밴드의 변형이 중요한 역할을 하는 것으로 이해할 수 있다.

2. 질화산화막의 열화에 대한 두께 의존성

차세대 게이트 산화막은 초박막화가 요구되기 때문에 질화산화막이 대체 산화막으로 사용되기 위해서는 두께에 따른 열화 특성의 체계적인 연구가 요구되고 있다. 90~130Å 범위의 질화산화막에 게이트 전자주입을 했을 때 질소의 분포가 최적화된 것으로 확인된 130Å의 두꺼운 질화산화막에서 트랩의 절대량과 발생률이 더 컸다. 이것은 질화산화막이 얇아질수록 열화에 대한 신뢰성을 확보할 수 있음을 의미한다.

그림 8을 이용하여 질화산화막의 두께에 따른 열화 특성을 설명할 수 있다(그림 6 참조). 점선은 두께가 90Å, 실선은 130Å인 질화산화막을 나타내고 있다. 게이트 전자주입의 경우 Si/SiO₂ 계면부근에서 전자-정공 쌍이 만들어지고, 전자는 산화막 전계에 의해서 기판으로 빠져나가고 정공은 금속/산화막 계면방향으로 이동하게 된다. 산화막의 두께가 증가하면 양극 계면부근에서 충돌이온화에 의한 전자-정공 쌍의 발생 확률이 증가하여 금속/산화막 계면부근에 양의 전하포획의 원인이 되는 정공이 많아진다^[8]. 따라서, 질화산화막의 두께가 증가하면 금속/산화막 계면에서의 양의 트랩의 절대량이 증가하게 된다. 이것은 전자의 터널링 확률을 증가시켜 트랩의 발생률도 증가시키는 결과를 가져오게 되어 열화의 두께 의존성이 나타나는 것으로 이해할 수 있다.

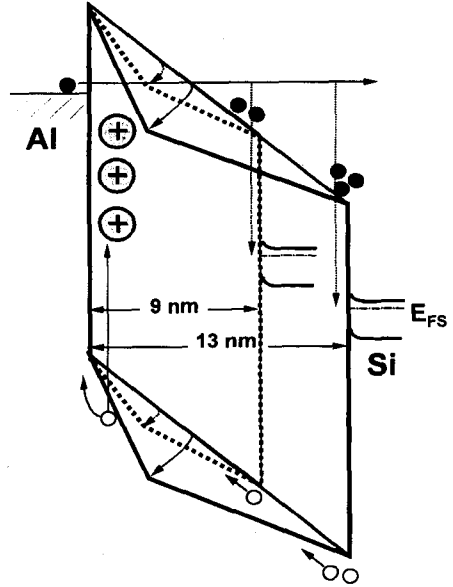


그림 8. 질화산화막 전하포획 곡선의 두께 의존성을 설명하기 위한 모델

Fig. 8. A model to explain the thickness dependence on nitrided oxide charging curve.

V. 결론

고전계 FNT를 이용하여 질화산화막에 전자를 주입하여 전하포획 특성을 연구한 결과 게이트 전자주입이 기판 전자주입보다 열화에 더 큰 영향을 미쳤고, 두꺼운 질화산화막이 쉽게 열화되는 경향도 확인했다. 질화산화막의 열화의 극성 의존성은 전자주입 계면부근에 국부적으로 발생하는 전하가 중요한 역할을 하는 것으로 이해할 수 있으며, 두께 의존적 열화 특성은 양극부근에서의 전자-정공 쌍의 발생 확률의 차이로 설명할 수 있다.

참고 문헌

[1] E. Hasegawa, et al, "SiO₂/Si Interface Structure and Reliability Characteristics," J. Electrochem. Soc., 142(1), pp. 273-281, 1995.
 [2] M. Yasuda, et al, "Roles of Si-N Bond formed by N₂O-oxynitridation for Improving Dielectric Properties of Ultrathin SiO₂ Films," Japanese J. Appl. Phys., 30(12B), pp. 3597-3600, 1991.

- [3] E. Hasegawa et al., "The impact of nitrogen profile engineering on ultra-thin nitrated oxide films for dual-gate CMOS ULSI," IEDM Tech. Dig., p. 327, 1995
- [4] H. Hwang, et al, "Electrical and Reliability Characteristics of the Ultrathin Oxynitride Prepared by Rapid Thermal Processing in N_2O ," IEDM Tech. Dig., p. 421, 1990.
- [5] M. Bhat, et al, "Recent Developments in Ultrathin Oxynitride and Oxide/Nitride Stacked Films Prepared by in-situ RTP Multiprocessing," in Silicon Nitride and Silicon Dioxide Thin Insulating Films, The Electrochem. Soc., pp. 317-327, 1994.
- [6] Y. Okada, et al, "Relationship Between Growth Conditions, Nitrogen Profile, and Charge to Breakdown of Gate Oxynitrides Grown from Pure N_2O ," Appl. Phys. Lett., 63(2), pp. 194-196, 1993.
- [7] N. Bhat, et al, "Charge Trap Generation in LPCVD Oxides Under High Field Stressing," IEEE Trans. ED., vol. 43, no. 4, pp. 554-560, 1996.
- [8] D. Arnold, et al, Phys. Rev. B, 49, 10278, 1994.
- [9] Y. Roh, et al, "Analysis of Charge Components Induced by Fowler-Nordheim Tunnel Injection in Silicon Oxides Prepared by Rapid Thermal Oxidation," J. Electrochem. Soc., 142(3), pp. 1015-1020, 1995.
- [10] P. P. Apte, et al, "Correlation of Trap Generation to Charge-to-Breakdown (Q_{bd}): A Physical-Damage Model of Dielectric Breakdown," IEEE Trans. ED., vol. 41, no. 9, pp. 1595-1602, 1994.
- [11] M. Inoue, et al, "Oxide Voltage and Its Polarity Dependence of Interface State Generation Efficiency in (100) n-Si Metal/Oxide/Semiconductor Capacitors," Japanese J. Appl. Phys., 35(12A), pp. 5921-5924, 1996.
- [12] Y. Roh, et al, "A Comprehensive Model for the Formation of Interface Traps in MOS Devices," Microelectronic Engineering, vol. 28, pp. 23-26, 1995.
- [13] Y. Roh, et al, "New Model of a Common Origin for Trapped Holes and Anomalous Positive Charge in MOS Capacitors," Microelectronic Engineering, vol. 22, pp. 227-230, 1993.
- [14] D. J. DiMaria, "Dependence on gate work function of oxide charging, defect generation, and hole currents in metal-oxide-semiconductor structures," J. Appl. Phys., 81(7), pp. 3220-3226, 1997.
- [15] D. J. DiMaria, et al, "Impact Ionization, Trap creation, Degradation, and Breakdown in Silicon Dioxide Films on Silicon," J. Appl. Phys., 73, pp. 3367-3384, 1993.

저 자 소 개



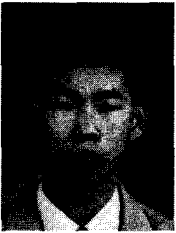
張 聖 洙(正會員)

1974년 5월 16일생. 1997년 성균관대학교 전자공학과(학사), 1997년 ~ 현재 성균관대학교 대학원 전기전자 및 컴퓨터공학과 석사과정. 주관심분야는 MOS 소자의 게이트 산화막 열화 메커니즘, 급속열처리(RTP)



文 成 根(正會員)

1968년 4월 8일생. 1990년 해군사관학교 경영학과(학사), 1998년 성균관대학교 대학원 전자공학과(석사). 주관심분야는 MOS 소자의 대체 게이트 산화막 개발.



盧 官 鍾(正會員)

1973년 10월 1일생. 1996년 성균관대학교 전자공학과(학사), 1998년 성균관대학교 대학원 전자공학과(석사), 1998년 ~ 현재 성균관대학교 전기전자 및 컴퓨터공학과 박사과정. 주관심분야는 차세대 MOS 텅스텐

(W) 게이트 및 게이트 산화막 개발



盧 用 翰(正會員)

1958년 4월 24일생. 1986년 성균관대학교 전자공학과 학사, 1990년 Univ. of Houston 전기 및 컴퓨터공학석사, 1994년 Univ. of Houston 전기 및 컴퓨터 공학박사. 1995년 3월 ~ 현재 성균관대 전기

전자 및 컴퓨터 공학부 조교수. 주관심분야는 급속열처리(RTP)를 이용한 게이트 산화막 및 대체 게이트 산화막의 공정개발 및 특성분석 연구, 게이트 산화막의 열화 메커니즘 연구, 텅스텐(W)을 이용한 메탈게이트 공정개발 및 특성분석 등임



李 七 基(正會員)

1953년 11월 21일생, 1980년 성균관대학교 전자공학과 학사, 1985년 Arizona State Univ. 전기 및 컴퓨터공학석사, 1990년 Univ. of Arizona 컴퓨터 공학박사, 1990년 7

월 ~ 1995년 2월 삼성전자 컴퓨터 응용 개발실 수석 연구원, 1995년 3월 ~ 현재 성균관대 전기전자 및 컴퓨터 공학부 교수, 주관심분야는 컴퓨터 시뮬레이션, 반도체 생산 최적화, 시스템 제어 소프트웨어