

論文98-35D-7-9

# HSPICE용 Plated Through Hole (PTH) 모형과 커넥터 모형 (A Plated Through Hole Model and A Connector Model for HSPICE)

李命鎬\*, 田溶一\*, 全炳胤\*, 朴權喆\*, 姜錫烈\*\*

(Moung-Ho Lee, Yong-Il Jun, Byoung-Yoon Cheon, Kwon-Chul Park,  
and Seok-Youl Kang)

## 요 약

일반적으로 하드웨어 설계자는 수백Mb/s 고속 디지털 회로를 PCB에 배선하기 전 배선의 전기적 특성을 확인하기 위해 HSPICE 소프트웨어 도구를 사용하여 시뮬레이션한다. 이 경우 HSPICE 소프트웨어 도구를 사용하기 위해서는 아직 잘 정의되어 있지 않은 Plated Through Hole(PTH) 모형과 커넥터 모형이 필요하다. 본 논문에서는 HSPICE 시뮬레이션에 필요한 PTH모형과 커넥터 모형을 정의하였으며, 이러한 모형의 적용 범위를 검토하였다. 해석적으로 접근한 이러한 모형은 응용성이 좋으며 수백Mb/s 고속 디지털 신호 배선시 아직 잘 알려지지 않은 PTH와 커넥터의 고주파 특성을 해석 가능하게 한다.

## Abstract

Generally, Electronic Packaging Designer uses HSPICE SOFTWARE TOOL to validate electric characteristic of traces layout before layout traces in PCB in hundreds Mb/s high speed digital circuits. We are in need of a Plated Through Hole (PTH) model and a connector model to use HSPICE SOFTWARE TOOL. Those models have not been perfectly defined for HSPICE simulation. In this paper, we define a PTH model and a connector model for HSPICE simulation and discuss application range for these models. The models are analytic models very applicable for HSPICE simulation and are used to analyze electric characteristic of the PTH and the connector in the traces layout in high speed digital circuit.

## I. 서 론

현재 ATM 교환 시스템의 throughput이 증가하고 있으며 이 throughput 증가하는 것에 따라 규모가 커

지고 더 고속인 스위치 회로팩을 어떻게 실장하는가가 중요한 문제로 대두되고 있다. 일반적으로 고속 디지털 회로의 경우 PCB에 부품을 실장하기 전 반드시 HSPICE를 사용 Worst Case 시뮬레이션하여 그 결과에 따라 PCB에 배선을 하게 된다. 과거에는 신호의 전송 속도가 그다지 높지 않아 배선에 사용되는 PTH(Plated Through Hole)의 효과를 고려하지 않고 HSPICE 시뮬레이션 하였으나 현재 설계되고 있는 수백Mb/s의 고속 신호의 경우 PTH의 효과를 생각하지 않으면 안된다. 지금까지 발표된 PTH의 모형은 단순 구조의 용량성으로 근사적인 해석<sup>[1],[2]</sup> 혹은 전자장적인 해석을 하고 있으나 실제 PTH는 여러

\* 正會員, 韓國電子通信研究院 ATM技術 硏究部 ATM 交換硏究室

(Electronics and Telecommunications Research Institute, ATM Switching Sect.)

\*\* 正會員, 韓國電子通信研究院 ATM技術硏究部

(Electronics and Telecommunications Research Institute, ATM Technology Dept.)

接受日字:1997年4月21日, 수정완료일:1998年5月26日

전위층을 관통하며 이러한 경우 PTH 구조를 정확히 모형화 한 것은 없다. 본 논문에서는 PTH의 일반적인 HSPICE 모형을 정의하였으며 적용 범위를 검토하였다. 그리고, 본 논문에서 제시한 모형을 사용하여 PCB에 실장되는 고속 ASIC의 입출력선을 single end로 할 것 인가 아니면 차동구동 형태로 할 것 인가를 HSPICE 시뮬레이션하여 결정 할 수 있게 하며, PCB내에 고속 single end 배선의 TDR(Time Domain Reflectometry)<sup>[3]</sup> 파형을 시뮬레이션 할 수 있게 한다. 그리고, 본 논문에서는 신호 대 그라운드 비를 1:1로 한 고속 신호용 커넥터의 HSPICE용 간이 모형을 정의하였다. 이러한 모형은 Mother Board와 Daughter Board 사이 신호선을 HSPICE 시뮬레이션 할 수 있게 하며, 본 논문에서 제시한 방법은 각종 전송 선로 및 PCB상의 스템(stub) 등에 그대로 적용 할 수 있다.

본 논문에서는 이러한 PTH 모형과 커넥터 모형을 사용하여 현재 개발된 소형 ATM 교환기에 실장되는 스위치 회로판 PCB의 single end 배선의 전송 가능한 최대 한계 주파수를 근사적으로 구했다. 다음부터 Via라는 용어는 사용하지 않고 PTH로 통일하기로 한다.

본 논문의 구성은 "I. 서론, II. PTH(Plated Through Hole) 모형, III. 커넥터 모형, IV. HSPICE용 PTH 모형 및 커넥터 모형의 검토, V. 결론" 순으로 구성되어 있다.

## II. PTH(Plated Through Hole) 모형

### 1. PTH(Plated Through Hole)의 등가 용량 계산

그림 1과 같은 마이크로스트립선 구조에서 한개의 PTH를 사용하면 그림 2와 같이 PTH부분의 임피던스가 변한다. 이 변하는 임피던스를 Z로 하면 식 (1)에서 식 (2)와 같은 결과<sup>[4]</sup>를 얻는다.

$$\begin{aligned} Z &= \sqrt{\frac{L_{Total}}{C_{Total}}} \\ &= \sqrt{\frac{L_{Track}}{C_{Track}} \cdot \frac{1}{C_{Total} \cdot \frac{1}{C_{Track}}}} \quad (1) \\ &= Z_{Track} / \sqrt{\frac{C_{Total}}{C_{Track}}} \\ &= Z_{Track} / \sqrt{\frac{C_{PTH} + C_{Track}}{C_{Track}}} \end{aligned}$$

$$\therefore Z = \frac{Z_{Track}}{\sqrt{1 + \frac{C_{PTH}}{C_{Track}}}} \quad (2)$$

단,  $Z_{Track}$  = PTH가 없을 때 배선의 임피던스 [ $\Omega$ ]  
 $C_{PTH}$  = 한 개의 PTH 용량 [ $pF$ ]  
 $C_{Track}$  = 한 개의 PTH 면적에 대한 배선 용량 [ $pF$ ]



그림 1. 마이크로스트립선 구조  
 Fig. 1. A Structure of Microstripline.

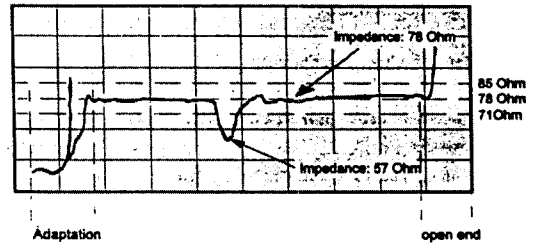


그림 2. 1개의 PTH를 가진 배선의 TDR 파형  
 Fig. 2. TDR-measurement of an impedance track with one PTH.

그림 1의 마이크로스트립선 인덕턴스  $L_{Track}$  과 커패시턴스  $C_{Track}$  은 다음의 식 (3)과 식 (4)로 주어지며 배선의 임피던스  $Z_{Track}$  은 식 (5)로 주어진다.

$$L_{Track} = 1.97 \ln\left(\frac{2\pi h}{w}\right) [nH/Cm] \quad (3)$$

$$\begin{aligned} C_{Track} &= \epsilon_0 \cdot \epsilon_r \left[ \frac{W}{h} - \frac{t}{2h} \right. \\ &\quad \left. + \frac{2\pi}{\ln\left(1 + \frac{2h}{t} \left(1 + \sqrt{1 + \frac{t}{h}}\right)\right)} \right] [F/m] \quad (4) \end{aligned}$$

$$Z_{Track} = \frac{1}{2\pi} \sqrt{\frac{\mu}{\epsilon_{eff}}} \left(\frac{4h}{d}\right) [\Omega] \quad (5)$$

단,  $d = 0.536w + 0.67t$

$\epsilon_{eff} = \epsilon_0(0.475\epsilon_r + 0.67)$

$t = 35 [\mu m]$

$w = 1 [mm]$

$h = 0.3 [mm]$

$\epsilon_r = 4.5$

위의 배선 조건에서 식 (5)를 풀면  $Z_{Track} \cong 78 [\Omega]$

이 되어 그림 2의 TDR(Time Domain Reflectometry) 파형에서 배선의 임피던스와 같은 결과를 얻는다. 식 (2)에서 PTH의 용량  $C_{PTH}$ 로 풀면 다음의 식 (6)을 얻는다(단,  $C_{Track}$  [ $\mu F$ ]는 PTH 면적에 해당하는 배선 용량이다).

$$C_{PTH} = \left( \left( \frac{Z_{Track}}{Z} \right)^2 - 1 \right) \cdot C_{Track} [\mu F] \quad (6)$$

식 (4) 및 식 (5)와 그림 2에서  $Z = 57[\Omega]$ 을 식 (6)에 대입하면 표 1을 얻는다.

표 1. 한개의 PTH 등가 용량 계산

Table 1. The calculation of equivalent capacitance for one PTH.

PTH의 직경 [ $mm$ ]	$C_{PTH}[\mu F]$	비고
0.9	0.16	
1.0	0.17	
1.1	0.19	
1.2	0.21	
1.3	0.22	
1.4	0.24	측정값 $\approx 0.25[\mu F]$

주의) PTH의 직경은 isolation ring 길이가 포함된 것

계산된 표 1에서 PTH의 등가 용량은 PTH의 직경에 따라 증가함을 알 수 있다.

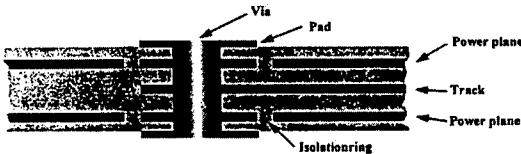


그림 3. 일반적인 PTH 구조

Fig. 3. A general structure of a PTH.(Plated Through Hole)

일반적으로 PTH는 그림3과 같은 구조로 사용되며 PCB 내부의 여러 층의 전위(GND층 포함) 층을 관통하게 된다. 이러한 경우 PTH의 용량은 근사적으로 전위층의 층수에 비례하여 증가하는 것으로 알려져 있다. 따라서, PTH의 용량을 일반화 시킨  $C_{PTH(Ge)}$ 는 다음과 같이 얻을 수 있다. 여기서,  $Potlayer$ 는 PTH와 인접한 PCB의 전위층을 나타낸다.

$$C_{PTH(Ge)} \cong \sum Potlayer \times C_{PTH} [\mu F] \quad (7)$$

위의 식 (7)을 표 1에서 worst case로 일반화 시

키면 다음과 같이 쓸 수 있다.

$$C_{PTH(Ge)} \cong \sum Potlayer \times 0.25 \mu F [\mu F] \quad (8)$$

위의 식 (8)에서  $0.25\mu F$ 는 측정값이며 계산값  $0.24\mu F$ (표 1)와 그다지 차이가 없다. 이 PTH의 직경은  $1.4[mm]$ 로 비교적 큰 경우이며  $C_{PTH} = 0.25\mu F$ 는 worst case값이 된다. 식 (8)은 근사적으로 PTH의 isolating ring 크기가  $0.2[mm] \sim 0.4[mm]$ 이고 직경이  $0.7[mm] \sim 1.0[mm]$  범위에서 적합하다.

2. PTH의 등가 인덕턴스 계산

PTH의 인덕터 근사 모형으로 tubular 인덕터 모형 [2]을 생각 할 수 있고 그 구조는 그림4와 같으며 PTH의 길이가 동작 주파수의 파장 보다 매우 작으면 tubular 인덕터 모형이 PTH 모형에 잘 근사화 될 수 있다. 실제 다음 IV.장에서 계산한 표 6의 PTH의 공진 주파수에서  $l \ll \lambda_{oPTH}$ 가 성립하므로 PTH의 공진 주파수 보다 낮은 주파수에서는 그림 4의 tubular 인덕터 모형을 PTH 인덕터 모형으로 사용하더라도 전혀 문제가 없다.

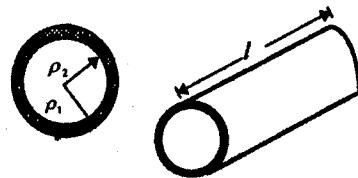


그림 4. PTH의 등가 인덕턴스 계산 구조

Fig. 4. Calculation structure of equivalent inductance in a PTH.

$$L_{PTH} = 0.001 l \left[ \ln \left( \frac{2.0l}{\rho_1} + \ln \zeta - 0.1 \right) \right] [\mu H] \quad (9)$$

단,  $l, \rho_1, \rho_2$ 의 단위는 [ $Cm$ ] 임

$$\ln \zeta = 0.25009128 - 0.0017049618 \left( \frac{\rho_2}{\rho_1} \right) - 0.51598981 \left( \frac{\rho_2}{\rho_1} \right)^2 + 0.37420782 \left( \frac{\rho_2}{\rho_1} \right)^3 - 0.10669571 \left( \frac{\rho_2}{\rho_1} \right)^4 \quad (10)$$

단,  $0.0 \leq \frac{\rho_2}{\rho_1} \leq 1.0$

$l \ll \lambda$

PTH의 인덕턴스를 구하는 식(9)에 소형 ATM교환기에 실장되는 PCB 두께  $2[mm], 2.4[mm]$ ,

4 [mm] 를 대입하고 각각의 여러 종류의 PTH 인덕턴스를 계산한 것이 표 2이다. 표 2에서 알 수 있는 것은 PTH의 길이에 따라 인덕턴스는 증가하지만 PTH의 직경에 대해서는 약간의 변화는 있으나 길이에 비해 변화가 미약하다.

표 2. PTH의 등가 인덕턴스 계산 결과  
Table 2. The equivalent inductance calculation of PTHs.

$l$ [Cm]	$\rho_1$ [Cm], 단, $\rho_2 \approx 0.25\rho_1$	$L_{PTH}$ [nH]
0.2	0.035	0.94
	0.04	0.88
	0.045	0.83
	0.05	0.78
0.24	0.035	1.22
	0.04	1.16
	0.045	1.09
	0.05	1.04
0.4	0.035	2.47
	0.04	2.34
	0.045	2.26
	0.05	2.17

### 3. HSPICE용 PTH의 등가 모형

앞에서 기술한 것과 같이 현재 사용되고 있는 PTH 등가 모형은 커패시터<sup>[4]</sup> 혹은 인덕터<sup>[2]</sup>로 각각 나타내었으나 실제 수백 Mb/s에서는 공진 현상이 TDR 계측기로 확인되었다. 따라서, 본 논문에서는 PTH를 커패시터와 인덕터의 결합체로 보고 HSPICE용 PTH의 등가 모형을 그림 5와 같이 나타내었으며 각각의 정수들은 앞에서 계산한 식을 사용하였다. 즉,  $C_{PTH(G\theta)}$ 는 표 1과 식 (7) 혹은 식 (8)을 사용하여 구할 수 있으며  $L_{PTH}$ 는 표 2 혹은 식 (9)을 사용하여 구할 수 있다.

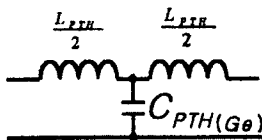


그림 5. 제안된 HSPICE용 PTH의 등가 모형  
Fig. 5. Proposed the equivalent HSPICE model of a PTH.

결론적으로 PTH의 등가 모형에서 등가 용량은 PTH의 직경 크기에 비례하며 PTH의 등가 인덕턴스는 PTH의 길이에 비례한다. 따라서, 배선에 미치는

PTH의 효과를 최소화 하려면 이미 정해진 PTH의 길이는 변경 할 수 없고 PTH의 직경만 작은 것을 쓰면 된다.

그림 5의 모형의 사용 한계에 대해서는 다음 다음장에서 자세하게 기술 하도록 한다.

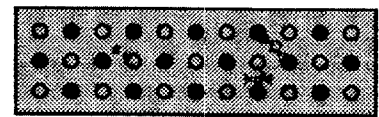
## III. 커넥터 모형

현재 HSPICE용 커넥터 모형은 전자장 해석 소프트웨어 도구에 의해 R, L, C 형태로 그 구조를 얻고 있으며 이러한 자료를 사용하여 HSPICE 모형을 얻고 있다. 이 방법에 의해 얻어진 모형은 유연성이 없으며 커넥터 구조 혹은 종류 마다 전자장 해석 소프트웨어 도구에 의해 각각 구해야 한다. 이 경우 해석의 결과에서 얻어진 모형은 비교적 정확하나 비싼 전자장 해석 소프트웨어 도구를 구입해야 하며 해석적인 접근이 거의 불가능하다. 따라서, 본 논문에서는 해석적인 접근 방법에 의해 커넥터의 HSPICE용 모형을 정의한다. 이 방법으로 구한 결과는 전자장 소프트웨어 도구에 비해 정확도는 떨어지나 완전한 상태의 해석적인 해와 결과를 얻을 수 있어 커넥터와 유사한 구조에 적용할 수 있는 장점이 있다.

### 1. 커넥터의 임피던스 계산

HSPICE용 커넥터 등가 모형을 구하기전 커넥터의 임피던스를 구하고 임피던스에서 단위 길이당 인덕턴스  $L$ 과 단위 길이당 커패시턴스  $C$ 를 구한다.

일반적으로 많이 사용하는 open-frame 커넥터에서 신호 주파수가 30MHz 이상이 되면 그림6과 같이 신호 대 GND(ground) 비를 1:1로 한다. 이렇게 하는 이유는 커넥터 pin간 누화 억제와 커넥터 pin의 임피던스를 제어하기 위해서이다.



○ : signal pin, ● : GND pin

그림 6. S:G=1:1인 커넥터 구조  
Fig. 6. A structure of connector with S:G=1:1.

그림 6의 구조에서 커넥터 유전체의 유전율과 특성 임피던스는 다음과 같은 관계가 있으며 이 관계에서 단위 길이당 인덕턴스  $L$ 과 단위 길이당 커패시턴스  $C$

를 구할 수 있다.

$$Z_0 \sqrt{\epsilon_r} = \frac{\eta_0}{C} \quad (11)$$

$$C = \frac{\eta_0 \epsilon_0 \sqrt{\epsilon_r}}{Z_0} \quad (12)$$

$$Z_0 = \sqrt{\frac{L}{C}} \quad (13)$$

식 (11)과 식 (13)에서

$$L = \eta_0 \epsilon_0 \sqrt{\epsilon_r} Z_0 \quad (14)$$

그림 6과 같이 S:G=1:1인 경우 신호 pin의 특성 임피던스<sup>[7]</sup>는 다음 식으로 주어진다.

$$Z_0 = (173 / \sqrt{\epsilon_r}) \log_{10}(D/0.933d) [\Omega] \quad (15)$$

식 (12)와 식 (15)에서 커넥터의 등가 용량 C가 얻어지며 식 (14)와 식 (15)에서 커넥터의 등가 인덕턴스가 얻어진다.

$$C = \frac{\eta_0 \epsilon_0 \epsilon_r}{173 \log_{10}(D/0.933d)} [F/m] \quad (16)$$

$$L = 173 \epsilon_0 \eta_0 \log_{10}(D/0.933d) [H/m] \quad (17)$$

단,  $\eta_0 = 377 [\Omega]$

$$\epsilon_0 = 8.854 \times 10^{-12} [F/m]$$

AMP사의 Z-PACK 2mm HM 커넥터<sup>[11],[8]</sup>에서 GND 사이 거리 D와 도체 직경 d는 다음과 같이 주어지며 이것을 사용하여 커넥터의 Z<sub>0</sub>, L, C를 계산한 것이 표 3이다.

$$\epsilon_r \cong 3.6$$

$$D \cong 2.83 [mm]$$

$$d \cong 0.8 [mm]$$

표 3. Z-PACK 2mm HM 커넥터의 단위 길이당 용량과 인덕턴스 값

Table 3. A capacitance and an inductance per length of the Z-PACK 2mm HM connector.

특성 임피던스 Z <sub>0</sub> [Ω]	C [F/m]	L [H/m]
53	1.20 × 10 <sup>-10</sup>	0.33 × 10 <sup>-9</sup>

암늬와 숫늬가 결합한 상태의 Z-PACK 2mm HM 커넥터에서 특성 임피던스 Z<sub>0</sub>는 50[Ω]으로 주어지며 계산값과 약 3[Ω] 차이가 있으나 이것은 커넥터의 암늬가 정확하게 그림 6과 같은 둥근 형태의 구조가 아니라 정사각형의 구조에 가깝기 때문에 발생하는 오차이다. 표 4에 이 오차를 정리하여 놓았으며 앞에서 정의한 식들이 잘 성립함을 알 수 있다.

표 4. Z-PACK 2mm HM 커넥터 특성 임피던스의 측정 값과 계산 값 비교

Table 4. Comparing the measurement value with the calculation value of impedance in Z-PACK 2mm HM connector.

측정값	계산 값	오차 [%]
50 [Ω]	53 [Ω]	±6

2. HSPICE용 커넥터 등가 모형

앞에서 AMP사 Z-PACK 2mm HM 커넥터의 단위 길이당 인덕턴스 L, 단위 길이당 용량 C를 계산하였다. 이러한 값을 그림 7과 같은 HSPICE용 등가 모형에 바로 적용시키면 커넥터는 일종의 공진기로 작용하게 된다. 실제 근래 시판되는 고속 신호용 커넥터들은 거의 대부분 전송 선로와 유사한 구조로 설계되어 있다. 이러한 문제를 제거하는 방법으로 커넥터를 여러 개의 부분(section)으로 나누어 그림 7과 같은 모형을 증속(cascade)으로 연결하여 사용하고 있다. 여기에서는 이 부분으로 나누는 것에 대해 자세하게 기술하고자 한다.

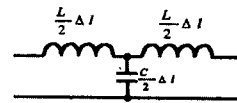


그림 7. 커넥터 1 부분(one section) HSPICE 모형  
Fig. 7. A HSPICE model of one section in connector.

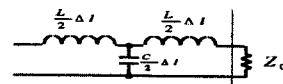


그림 8. 커넥터의 1부분(one section) 길이 계산 모형  
Fig. 8. A model of length calculation of one section in connector

커넥터의 HSPICE용 1 부분 길이를 계산하기 위해

그림 8 회로를 정의하고 이 회로에서 다음과 같이 쓸 수 있다.

$$Z_o = \frac{1}{\frac{1}{j\omega \frac{L}{2}} + j\omega C\Delta l} + j\omega \frac{L}{2} \Delta l$$

$$= \frac{j\omega \frac{L}{2} \Delta l + Z_o}{1 + (\Delta l)^2 (j\omega C)(j\omega \frac{L}{2} + (j\omega C)Z_o \Delta l)} + j\omega \frac{L}{2} \Delta l \quad (18)$$

$$Z_o [1 + \{(\Delta l)^2 (j\omega C)(j\omega \frac{L}{2} + (j\omega C)Z_o \Delta l)\}]$$

$$= j\omega \frac{L}{2} \Delta l + Z_o + j\omega \frac{L}{2} \Delta l [1 + (\Delta l)^2 (j\omega C)(j\omega \frac{L}{2} + (j\omega C)Z_o \Delta l)]$$

정리 하면 다음 식 (19)가 얻어진다.

$$(j\omega C\Delta l)Z_o^2 = j\omega L\Delta l + (j\omega C\Delta l)(j\omega \frac{L}{2} \Delta l)^2 \quad (19)$$

위의 식 (19)에서 에 대해 풀면 다음 식 (20)이 얻어진다.

$$Z_o = \pm \sqrt{L\Delta l - \omega^2 \frac{L^2}{4} C(\Delta l)^3}$$

$$= \pm \sqrt{\frac{L}{C}(1 - \omega^2 \frac{LC}{4} \Delta l^2)} \quad (20)$$

커넥터 모형이 전송 선로 특성을 가지려면 식 (20)에서  $Z_o \approx \sqrt{\frac{L}{C}}$ 가 되어야 되며 식 (21)의 조건을 만족하여야 한다.

$$\frac{\omega^2 LC\Delta l^2}{4} \ll 1 \quad (21)$$

$$\frac{\omega}{\beta} = \frac{1}{\sqrt{LC}} = \frac{1}{\sqrt{\mu\epsilon_0\epsilon_r}} = v, \quad \beta = \frac{2\pi}{\lambda} \quad (22)$$

식 (21) 및 식 (22)에서 다음의 관계 식을 얻는다.

$$\frac{(\omega\sqrt{LC}\Delta l)^2}{4} \ll 1 \quad (23)$$

$$\frac{(\beta\Delta l)^2}{4} \ll 1 \quad (24)$$

$$\frac{4\pi^2}{4\lambda^2} \Delta l^2 \ll 1 \quad (25)$$

$$\lambda \gg \pi\Delta l = 3.14159\Delta l \quad (26)$$

$$f = \frac{v}{\lambda} = \frac{C}{\lambda\sqrt{\epsilon_r}} \ll \frac{3 \times 10^8}{\pi\Delta l\sqrt{\epsilon_r}} [Hz] \quad (27)$$

따라서, 식 (27)에서 다음과 같이 쓸 수 있다.

$$\Delta l \ll \frac{95.493}{\sqrt{\epsilon_r f [MHz]}} [m] = \frac{t_r [ns]}{10.47\sqrt{\epsilon_r}} [m] \quad (28)$$

위의 식 (28)에서  $t_r = 1.5ns$ 의 신호가 Z-PACK 2mm HM 커넥터를 통해 전송된다면 HSPICE의 1 부분은 다음과 같이 계산된다. 단, Z-PACK 2mm HM 커넥터의 상대 유전율  $\epsilon_r = 3.6$ 이다.

$$\Delta l = 10\% \frac{t_r [ns]}{10.47\sqrt{\epsilon_r}} [m] \ll \frac{t_r [ns]}{10.47\sqrt{\epsilon_r}} [m] \quad (29)$$

$$\Delta l = 10\% \times \left(\frac{1.5}{19.87}\right) [m] = 7.6 [mm]$$

따라서, 2.5 [Cm] Z-PACK 2mm HM 커넥터의 HSPICE 부분 수는 다음과 같이 계산 된다.

$$\therefore \frac{2.5 [Cm]}{\Delta l} = \frac{2.5}{0.76} = 3.3 \cong 4$$

즉, Z-PACK 2mm HM 커넥터의 HSPICE 모형은 그림 7과 같은 회로가 4개 종속으로 연결( $\Delta l = \frac{2.5}{4} = 0.625 [Cm]$ ) 되어야 된다. 따라서, HSPICE 시뮬레이션 수행시 부분 수가 4개 보다 작으면 계산 오차가 커지고 4개 보다 크면 불필요하게 계산 수행 시간이 길어진다.

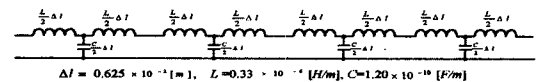


그림 9. 제안된 HSPICE용 커넥터 pin의 등가 모형  
Fig. 9. Proposed the equivalent HSPICE model of Pin of connector.

표 3의  $L [H/m]$  와  $C [F/m]$  값과  $\Delta l = 0.625 \times 10^{-2} [m]$ 를 그림 9에 대입하면 AMP사의 Z-PACK 2mm HM 커넥터 Pin의 HSPICE용 등가 모형이 얻어진다.

본 논문에서 제시한 이러한 이론은 PCB 전송 선로 및 PCB상에서 스템(stub)로 작용하는 배선에 그대로 적용될 수 있다.

#### IV. HSPICE용 PTH모형 및 커넥터 모형의 검토

##### 1. PTH 모형의 검토

그림 5의 PTH 등가 모형은 PTH 길이에 비해 동

작 주파수의 파장이 매우 클 때 유효하다. 그러나, PTH의 길이가 동작 주파수의 파장에 비교 될 수 있는 높은 주파수에서는 본 논문이 제시한 모형은 적합하지 않으며 전자장적인 해석(field solve)을 하여야 한다. 그리고, 회로적인 입장에서 볼 때 PTH가 공진을 일으키는 높은 주파수에서 동작하게 되면 설계된 회로가 정상적으로 동작하지 않는다. 따라서, PTH 모형의 공진 주파수를 계산할 필요가 있으며 공진 주파수에서 파장의 길이가 PTH의 길이에 비교되는 지 어떤지를 확인 해 볼 필요가 있다. 공진 주파수를 계산하기 위해 식 (20)에서 다음과 같이 쓸 수 있다.

$$1 = \omega_0^2 \frac{LC}{4} \Delta l^2 \quad (30)$$

$$f_0 = \frac{1}{\pi \sqrt{LC} \Delta l} \quad (31)$$

따라서, PTH의 공진 주파수는 그림 5, 그림 7, 식 (31)에서 다음과 같이 얻어 진다.

$$f_{OPTH} = \frac{1}{\sqrt{2\pi} \sqrt{L_{PTH} C_{PTH}}} \quad (32)$$

아래의 표 5는 실제 소형 ATM교환기에 실장 되는 PCB에 사용한 PTH의 인덕턴스와 커패시턴스 값으로 식 (8)과 표 2에서 worst case로 계산한 값 이다.

표 5. PTH의 용량과 인덕턴스 계산 예  
Table 5. Examples of the capacitance and the inductance of a PTH.

PCB 두께 [mm]	전위층 및 GND층 수	$C_{PTH}$ [pF]	$L_{PTH}$ [nH]	PCB 명
24±0.2	8	20	1.22	SMLA
40±0.2	6	15	2.47	ASBB

식 (32)와 표 5에서 PTH의 공진 주파수를 계산한 결과가 표 6이다.

표 6. PTH의 공진 주파수  
Table 6. The resonant frequency of a PTH.

PCB 두께 [mm]	전위층 및 GND층 수	$f_{OPTH}$ [GHz]	$f_{om} \times 10\%$ [MHz]	PCB 명
24±0.2	8	456	456	SMLA
40±0.2	6	370	370	ASBB

표 6에서 알 수 있는 것은 PTH의 공진 주파수의 파장이 PTH의 길이 보다 매우 크다. 즉, 다음식이 성립하여 본 논문이 제시한 PTH 모델은 PTH의 공진 주파수까지 사용 할 수 있음을 알 수 있다.

$$l (= 4 [mm]) \ll \lambda (= \frac{C}{f_{OPTH}} = \frac{3 \times 10^{11}}{3.70 \times 10^9} \approx 80 [mm]) \quad (33)$$

$$\frac{1}{f_{OT}} \approx \sqrt{\frac{1}{f_{o1}^2} + \frac{1}{f_{o2}^2} + \frac{1}{f_{o3}^2} + \dots + \frac{1}{f_{on}^2}} \quad (34)$$

단,  $f_{OT}$ 는  $n$ 개 PTH 통과한 후 공진 주파수<sup>[1]</sup>

$f_{on}$ 은  $n$ 번째 PTH의 공진 주파수

배선에 한개의 PTH를 사용하는 경우 설계된 회로에 영향을 주지 않으려면 회로의 동작 주파수가 PTH 공진 주파수의 약 10% 이하가 되어야 된다. 즉, PTH 모형이 유도성 보다 용량성으로 작용해야 하며 동작 가능한 최대 주파수를 표 6에 나타내었다. 따라서, 표 6에서 현재 개발된 소형 ATM교환기의 PCB내의 동작 가능한 주파수 한계는 PCB 두께 약 2.4 [mm] 인 Daughter Board 경우 ASIC과 ASIC 사이 최소 2개의 PTH(ASIC의 lead frame은 고려 하지 않음)가 사용되므로 식 (34)에서  $450MHz \div \sqrt{2} \approx 320MHz$  가 되며 PCB 두께가 약 4 [mm] 인 Backplane Board인 경우 최소 6개 PTH(ASIC의 lead frame은 고려 하지 않음)가 사용되므로 근사적으로  $370MHz \div \sqrt{6} \approx 150MHz$  가 된다. 따라서, 현재 PTH를 이용한 실장 기술에서는 위에서 기술한 한계 주파수 보다 낮은 주파수에서 동작하도록 설계되어야 한다. 자세한 결과를 얻으려면 본 논문에서 제시한 PTH 모형, LSI의 lead frame 모형(반도체 회사 제공) 등을 사용하여 동작 주파수에 대한 HSPICE 시뮬레이션을 해야 한다. 예를 들면, Daughter Board에 고속 ASIC이 실장 될 때 I/O 신호선이 single end 배선으로 가능한 지 그렇지 않으면 차동 구동을 해야 하는 지 확인할 수 있다. 일반적으로 차동 구동의 경우는 PTH의 효과를 서로 상쇄 시킬 수 있는 구조로 배선 할 수 있으므로 single end 배선 보다 상당히 더 높은 주파수까지 사용 할 수 있는 것으로 알려져 있다.

### 2. 커넥터 모형의 검토

본 논문에서 기술한 multi-pins 커넥터는 슛놈과 암놈 양쪽 모두 PTH를 사용 PCB와 연결하게 되어 있다. 예를 들면 위의 경우 PCB 두께가 2.4 [mm] 인 Daughter Board에 암놈 커넥터가 PTH를 사용하여 연결되며 PCB 두께가 약 4 [mm] 인 Backplane Board에 슛놈 커넥터가 PTH를 사용하여 연결된다. 따라서, 커넥터에 신호 전송 시 다른 제약 조건이 없

으면 위에서 기술한 PTH의 한계 조건이 커넥터에도 그대로 적용 될 수 있다. 그러나, 실제의 multi-pins 커넥터는 S:G=1:1로 취하더라도 PTH의 공진 주파수의 10% 보다 훨씬 더 낮은 주파수에서 누화 문제, 동시 스위칭 ground bounce 문제 등을 일으켜 사용이 제한된다. 일반적으로 많이 사용되는 single end 배선의 경우 본 논문에서 제시한 모형의 최대 사용 주파수는 커넥터의 누화 문제, 동시 스위칭 ground bounce 문제 등에 의해 약 60MHz 정도가 사용 한계이다. 이러한 문제를 극복 하는 방법으로 커넥터 신호선을 pair로 차동 구동하는 방법이 있으며 이때 사용 최대 주파수는 약 300MHz 정도가 된다<sup>[10]</sup>.

일반적으로 커넥터의 누화 해석 HSPICE 모형은 본 논문에서 기술한 해석적인 방법으로 접근하기가 거의 불가능하며 커넥터 구조에 따라 case by case 형태로 전자장 해석 소프트웨어 도구에 의해서만 가능한 것으로 알려져 있다.

## V. 결 론

하드웨어 설계자는 수백Mb/s 고속 디지털 회로를 PCB에 배선하기 전 배선 가능성을 확인하기 위해 HSPICE소프트웨어 도구를 사용하여 시뮬레이션 한다. 본 논문에서는 HSPICE 시뮬레이션에 필요한 PTH(Plated Through Hole) 모형과 커넥터 모형을 정의하였다. 정의된 PTH 모형은 3~4GHz 까지 사용할 수 있고, 커넥터 모형은 신호 대 그라운드 비가 1:1인 multi-pins 커넥터인 경우 60MHz까지 사용할 가능하다. 이러한 모형은 PCB에 실장 되는 고속 ASIC의 입출력선을 single end로 할 것 인가 아니면 차동 구동 형태로 할 것 인가를 HSPICE 시뮬레이션 하여 결정 할 수 있게 하며, PCB내에 고속 single end 배선의 TDR(Time Domain Reflectometry) 파형을 시뮬레이션 할 수 있게 한다. 그리고, 이러한 모형을 사용하여 현재 개발된 소형 ATM교환기 스위치 회로팩 PCB내 point-to-point 구성되는 single end 배선의 동작 가능한 한계 주파수는 PCB 두께 약 2.4 [mm]인 Daughter Board 경우 근사적으로 320MHz가 되며 PCB 두께가 약 4 [mm]인 Back-plane Board인 경우 근사적으로 150MHz 가 된다. 그러나, multi-pins 커넥터의 경우 커넥터의 누화와 동시 스위칭에 따른 ground bounce에 의해 single

end로 동작 가능한 한계 주파수는 60MHz로 낮아진다. 따라서, 현재 PTH를 사용한 single end 배선 기술은 앞에서 기술한 한계 주파수 보다 낮은 주파수에서만 사용이 가능하다. 이러한 문제를 극복하기 위한 방법으로 차동 구동 방법이 있으며 multi-pins 커넥터를 사용한 경우 300MHz까지 개선된다. 다른 방법으로 PTH 대신 blind via와 buried via를 사용하는 방법이 있으나 CAD 제작 공정상 많은 수의 blind via와 buried via를 제작 할 수 없으며 PCB 제작 가격도 올라 간다.

본 논문에서 제시한 2가지 모형은 해석적인 방법으로 유도되었으므로 유사한 경우 바로 응용 할 수 있으며 HSPICE 모형을 유도 할 수 있다.

## 참 고 문 헌

- [1] HOWARD W. JOHNSON, PH.D. & MARTIN GRAHAM, PH.D., *HIGH-SPEED DIGITAL DESIGN*, PTR Prentice-Hall, Inc., pp. 83~86, 249~262, 316~319, 1993.
- [2] Brian C. Wadell, *Transmission Line Design Handbook*, Artech House, Inc., pp. 372~380, 386~387, 1991.
- [3] META-SOFTWARE, *HSPICE USERS MANUAL, Vol.3*, Meta-Software, Inc., pp. 10-7~10-13, 1995.
- [4] PPC ELECTRONIC AG, *PPC-Workshop*, PPC Electronic AG, pp. 1~8, 07.1996.
- [5] Charles S. Walker, *Capacitance, Inductance and Crosstalk Analysis*, Artech House, Inc., pp. 55~62, 97~100, 1990.
- [6] HARLAN HOWE, JR. *STRIPLINE CIRCUIT DESIGN*, ARTECH HOUSE, INC., pp. 33~40, 1974.
- [7] *REFERENCE DATA FOR RADIO ENGINEERS*, Howard W. Sams, Indianapolis, pp. 24-22, 1982.
- [8] *AMP Z-PACK 2mm HM Interconnection System, Catalog 65911*, AMP, pp. 4~5, 1995.
- [9] Xiao-Wei(David) Dai, *Interim Report, Joint Research and Development of ATM Switching System Packaging*,



Hybricon Corporation, Ayer, Massachusetts, pp. 1~7, 1995.

[ 10 ] Nobuaki Sugiura, KEPCON 96 한국실장기술연구회, pp. 85~105, 1996.

저 자 소 개



李 命 鎬(正會員)

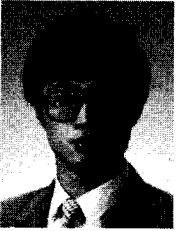
1954년 8월 12일생. 1977년 2월 고려대학교 전자공학과(학사). 1983년 2월 고려대학교 대학원 전자공학과(석사). 1983년 6월 ~ 현재 한국전자통신연구원 ATM교환연구실 선임연구실



田 溶 一(正會員)

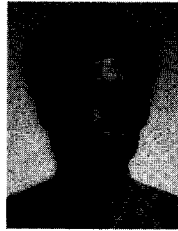
1958년 9월 5일생. 1981년 2월 고려대학교 전기공학과(학사). 1983년 2월 한국과학기술원 전기공학과(석사). 1983년 3월 ~ 1987년 3월 금성정밀(주) 주임연구원. 1987년 4월 ~ 현재 한국전자통신연구원 ATM교환연구실 선임연구원

연구실 선임연구원



金 炳 胤(正會員)

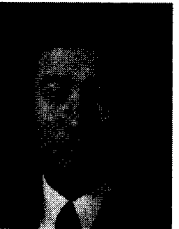
1962년 3월 5일생. 1984년 2월 아주대학교 전자공학과(학사). 1987년 8월 한국과학기술원 전기 및 전자공학과(석사). 1987년 9월 ~ 현재 한국전자통신연구원 ATM교환연구실 선임



朴 權 喆(正會員)

1953년 10월 8일생. 1977년 2월 고려대학교 전자공학과(학사). 1979년 2월 고려대학교 대학원 전자공학과(석사). 1988년 2월 고려대학교 대학원 전자공학과(박사). 1982년 2월 ~ 현재 한국전자통신연구원 ATM교환연구실장

연구실장



姜 錫 烈(正會員)

1949년 12월 19일생. 1973년 2월 부산대학교 전자공학과(학사). 1987년 2월 한국과학기술원 전산과(석사). 1992년 3월 ~ 현재 한국과학기술원 전산과(박사과정). 1979년 12월 ~ 현재 한국전자통신연구원 ATM기술

연구부장