

POCl₃ 도핑 및 비소 이온주입공정으로 제작한 높은 열적 안정성을 갖는 다결정실리콘 저항소자 특성

(Characteristics of Polysilicon Resistors with High Thermal Stability Fabricated by POCl₃ Doping and Arsenic Implantation)

李大雨*, 盧泰文*, 具珍根*, 南基守*

(Dae-Woo Lee, Tae-Moon Roh, Jin-Gun Koo, and Kee-Soo Nam)

요 약

높은 열적 안정성을 갖는 다결정실리콘 저항소자를 POCl₃ 도핑과 비소(As) 이온주입공정을 사용한 새로운 혼합공정으로 제작하였다. 혼합공정으로 제작된 다결정실리콘 저항소자의 면저항이 약 58 Ω/sq 에서 107 Ω/sq까지의 변화에 대하여, 27°C에서 150°C의 온도영역에서 동작할 때, 온도계수는 약 510 ppm /°C 에서 -302 ppm/°C 까지 변화하였다. POCl₃ 도핑된 단일공정으로 제작된 종래의 다결정실리콘 저항소자와 비교한 결과, 혼합공정으로 제작된 다결정실리콘 저항소자의 온도계수는 약 75 Ω/sq 의 동일한 면저항에서 약 4.3배 낮은 결과를 나타내었다. 이밖에 본 혼합공정은 온도에 민감하지 않으며 신뢰성 있는 다결정실리콘 저항소자를 위해 거의 0 인 온도계수를 얻는데 적용될 수 있다.

Abstract

Polysilicon resistors with high thermal stability have been fabricated by a new mixed process using POCl₃ doping and Arsenic implantation. Various temperature coefficients, which range from 510 ppm /°C to -302 ppm/°C, were shown from the fabricated polysilicon resistors with sheet resistance of 58~107 Ω/sq in the operating temperature of 27~150°C. The temperature coefficient of the polysilicon resistor by the mixed technology was about 4.3 times as low compared to the conventional polysilicon resistor using POCl₃ doped single process with the same sheet resistance of 75 Ω/sq. In addition, the mixed technology can be applied to obtain nearly zero temperature coefficient for polysilicon resistors which are reliable and insensitive to temperature.

I. 서 론

최근 통신용 IC로서 아날로그 CMOS 소자가 많이 사용되고있다. 아날로그 CMOS 소자공정은 디지털 CMOS 소자공정에서 수동소자인 캐패시터 및 저항

형성공정이 추가된다^[1-3]. 아날로그 수동소자로서 사용되는 저항소자는 단결정실리콘에 불순물을 열확산시킨 저항소자(diffused resistor)와 다결정실리콘을 이용한 저항소자들이 주로 사용되며, 특히 신뢰성 측면에서 온도에 대해 저항변화가 적고 안정된 온도계수(temperature coefficient)를 갖는 고정밀 저항소자의 특성이 요구된다^[4,5].

다결정실리콘 저항소자에 대한 온도계수 특성은 다결정실리콘에서의 캐리어 전도현상으로 설명되고 있다

* 正會員, 韓國電子通信研究員

(Electronics and Telecommunications Research Institute)

接受日字:1997年8月13日, 수정완료일:1998年6月11日

[6-8]. 다결정실리콘에서 캐리어 전도는 주로 결정립 (grain)내에서의 포논 산란(phonon scattering)과 결정입계면 (grain boundary)에서의 에너지 장벽을 통한 열이온 방출(thermionic emission)로 이루어진다. 여기서 다결정실리콘 저항소자는 결정립내에서 포논 산란에 의해 양의 온도계수, 결정입계면에서의 열이온 방출에 의한 음의 온도계수를 나타낸다. 이때 포논 산란과 열이온 방출에 대한 우세 여부에 따라 다결정실리콘 저항소자의 온도계수의 극성이 결정된다. 다결정실리콘 저항소자의 온도 특성에 영향을 주는 주요 공정변수로는 다결정실리콘내의 불순물 종류 및 농도^[6,7], 열처리 조건^[9], 결정립의 크기^[7] 및 결정입계면으로 불순물이 모이게되는 편석(segregation)효과^[10] 등이 있다. 일반적으로 다결정실리콘 저항소자는 단일 불순물을 이온주입하거나 열확산법을 이용하여 제작되며, 불순물 종류 및 공정조건에 따라 특정 면저항 범위에서 양 혹은 음의 온도계수를 나타낸다^[9,11]. 그러나 다결정실리콘에서 양과 음의 온도계수를 가지는 공정변수를 적절히 혼합하면 온도계수가 서로 보상되어 단일공정으로 제작된 저항소자보다 온도계수가 훨씬 낮은 저항소자를 제작할 수 있을 것으로 기대된다.

본 연구에서는 다결정실리콘 박막의 온도계수의 극성이 서로 다른 공정조건을 사용하여 다결정실리콘 저항소자를 제작할 수 있는 새로운 혼합공정법을 개발하였다. POCl_3 도핑 및 비소(As) 이온주입에 대해 혼합공정 조건을 다양하게 변화시켜 저항소자를 제작하고 그 특성을 분석하였다. 특히 POCl_3 도핑시간 및 도핑 온도, 비소 이온주입량의 변화에 대해 다결정실리콘 저항소자의 면저항 및 온도계수 특성을 조사하였다. 동일한 면저항을 갖는 다결정실리콘 저항소자를 단일공정과 혼합공정으로 각각 제작하여 온도계수 및 다결정실리콘 박막 특성을 비교 및 분석하였다. 그리고 혼합공정을 이용하여 온도계수가 거의 0 인 다결정실리콘 저항소자의 공정조건을 제시하였다.

II. 실험 및 측정

다결정실리콘 저항소자 제작을 위해 본 실험에서 사용된 기판은 5인치 P형 단결정실리콘 웨이퍼이다. 먼저 1000°C 에서 1000Å 두께의 산화막을 H_2/O_2 분위기에서 성장한 후, 2000Å 두께의 다결정실리콘을 LPCVD 공정으로 625°C에서 증착시켰다. 이어서

825°C, 875°C 및 925°C에서 각각 POCl_3 도핑을 하였으며, 이때 도펀트(dopant) 주입시간을 10분, 40분으로 하였다. 비소 이온주입조건은 120 keV에서 도우즈(dose)를 $9 \times 10^{14} \text{ cm}^{-2}$, $4 \times 10^{15} \text{ cm}^{-2}$ 및 $9 \times 10^{15} \text{ cm}^{-2}$ 로 하였고 850°C에서 30분동안 N_2 분위기에서 열처리를 수행하였다. 다결정실리콘의 저항 형성을 위해 사진식각 공정을 하였고 LPCVD 공정으로 6000Å 두께의 산화막을 증착시킨 후 900°C, N_2 분위기에서 30분동안 열처리를 수행하였다. 그리고 콘택(contact) 형성공정을 한후 TiW/Al1%Si/TiW (=2200Å/8000Å/750Å)를 증착시켰으며, 금속배선 형성공정을 수행한 후, 마지막으로 400°C에서 alloy 공정을 하였다.

본 공정으로 제작된 다결정실리콘 저항소자를 HP4156을 사용하여 온도변화에 대한 저항특성을 측정하였다. 이때 저항소자의 동작온도 범위는 상온에서 150°C 까지이며, 측정패턴은 Van der Pauw 로써 인가전류를 2 mA에서 2 mA로 하였다. 또한 다결정실리콘 저항소자의 온도계수는 $(R_{s2} - R_{s1}) / (R_{s1} \times (T_2 - T_1))$ 의 식^[5]에서 계산하였으며, 여기서 T_1 및 T_2 는 상온 및 고온에서의 온도이며, R_{s1} 및 R_{s2} 는 상온 및 고온에서의 면저항을 각각 나타낸 것이다.

III. 결과 및 고찰

그림 1은 다결정실리콘 저항소자의 동작온도와 인가전류에 따른 면저항 특성을 나타낸 것이다. 측정된 시편은 875°C에서 40분간 POCl_3 도핑한 것(a)과 비소 이온주입을 120 keV에서 $9 \times 10^{15} \text{ cm}^{-2}$ 으로 한 경우(b)이며, 이때 인가 전류 범위는 -2 mA에서 2 mA까지이다. 다결정실리콘 저항소자의 면저항은 -2 mA 및 2 mA 영역에서 인가 전류의 극성(polarity)에 관계없이 전체적으로 온도 증가에 따라 일정하게 변화함을 알 수 있다. 온도를 27°C 에서 150°C 까지 증가시키에 따라 POCl_3 도핑으로 제작된 다결정실리콘 저항소자의 면저항은 일정하게 증가하는 경향을 보여준 반면에, 비소 이온주입으로 제작된 다결정실리콘 저항소자의 면저항은 거의 일정하게 감소하였다.

그림 2는 POCl_3 도핑 및 비소 이온주입 공정으로 각각 제작된 다결정실리콘 저항소자의 온도변화에 대한 면저항특성을 나타낸 것이다. 다결정실리콘 저항소자의 동작온도가 27°C 에서 150°C 까지 증가함에 따라 875°C, POCl_3 도핑을 10분과 40분 동안 한 소자

의 면저항은 각각 약 75 Ω/sq에서 80 Ω/sq로, 58 Ω/sq에서 62 Ω/sq로 증가하였다. 반면에 비소를 120 keV, 9x10¹⁵ cm⁻²로 이온 주입한 경우 면저항은 193 Ω/sq에서 170 Ω/sq로 감소하였다.

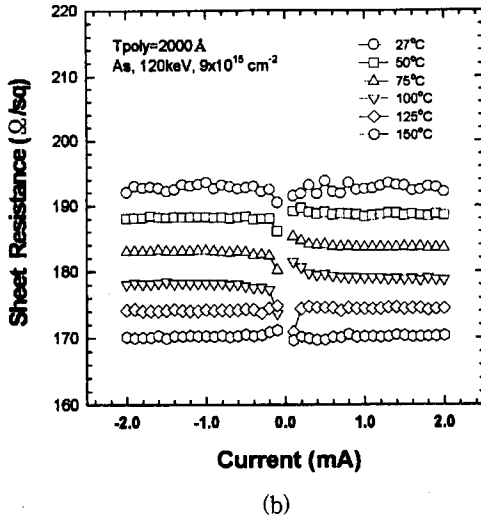
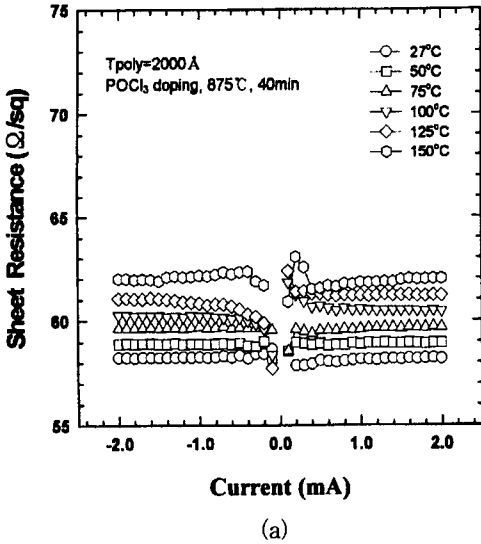


그림 1. (a) POCl₃ 도핑 및 (b) 비소 이온주입으로 각각 제작된 다결정실리콘 저항소자의 동작온도와 인가전류에 따른 면저항 특성
Fig. 1. Sheet resistance versus current according to operating temperature for polysilicon resistors fabricated by (a) POCl₃ doping and (b) As ion implantation, respectively.

다결정실리콘 저항소자의 동작온도에 따른 캐리어 전도현상^[6]을 고려하면, POCl₃ 도핑 공정으로 제작된 다결정실리콘 저항소자의 경우 온도증가에 따라 저

항이 증가하는 양의 온도계수를 나타내었기 때문에, 결정립에서의 포논산란이 결정입계면에서의 열이온 방출효과보다 우세함을 알 수 있다. 반면에 비소 이온주입 공정으로 제작된 다결정실리콘 저항소자의 경우 온도증가에 따라 저항이 감소하는 음의 온도계수를 나타내었는데, 마찬가지로 다결정실리콘에서의 캐리어 전도 현상을 고려할 때, 결정입계면에서의 열이온 방출 효과가 결정립에서의 포논산란보다 우세함을 알 수 있다.

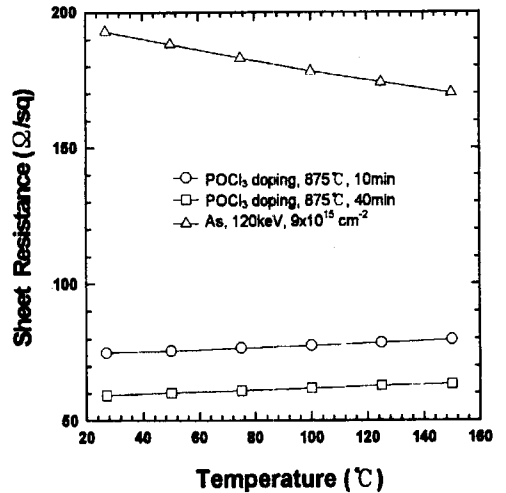


그림 2. POCl₃ 도핑 및 비소 이온주입으로 각각 제작한 다결정실리콘 저항소자의 온도 변화에 대한 면저항 특성
Fig. 2. Sheet resistance versus temperature for polysilicon resistors fabricated by POCl₃ doping and As ion implantation, respectively.

그림 3은 POCl₃ 도핑과 비소 이온주입 공정을 혼합하여 제작한 다결정실리콘 저항소자의 온도변화에 대한 면저항특성을 나타낸 것이다. 먼저 875°C, 10분간 POCl₃ 도핑을 한 후 비소를 120 keV에서 9x10¹⁴ cm⁻²로 이온 주입한 경우, 저항소자의 동작온도를 27°C에서 150°C까지 증가함에 따라 면저항은 약 80 Ω/sq에서 83 Ω/sq로 증가한 반면에, 9x10¹⁵ cm⁻²로 이온 주입한 경우에는 면저항이 107 Ω/sq에서 102 Ω/sq로 감소되었다. 또한 875°C, 40분간 POCl₃ 도핑을 한 후 비소를 120 keV에서 9x10¹⁴ cm⁻² 및 9x10¹⁵ cm⁻²로 이온 주입한 경우 온도 증가에 따라 면저항은 각각 약 58 Ω/sq에서 62 Ω/sq로, 73 Ω/sq에서 75 Ω/sq로 모두 증가하였다. 여기서 POCl₃ 도핑을 한후 비소 이온주입을 혼합하여 제작한 경우 면저항은 POCl₃ 도핑이나 비소 이온주입을 각각 단일

공정으로 제작한 경우보다 온도변화에 따른 면저항은 증가하거나 감소하는 특성을 나타낸다. 일반적으로 이것은 다결정실리콘에서의 불순물 종류 및 농도, 결정립 크기, 열처리공정 및 결정입계면에서의 불순물의 편석효과등의 영향이 서로 복합적으로 작용하여 결과적으로 결정립 및 결정입계면에서의 저항 특성이 서로 변화하기 때문이다.

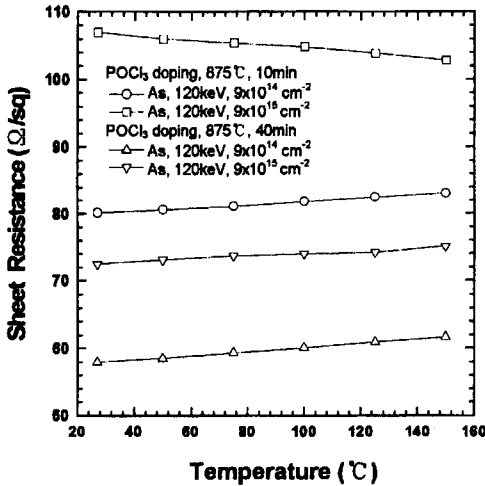


그림 3. POCl₃ 도핑 및 비소 이온주입의 혼합 공정으로 제작한 다결정실리콘 저항소자의 온도 변화에 대한 면저항 특성

Fig. 3. Sheet resistance versus temperature for polysilicon resistors fabricated by the mixed process of POCl₃ doping and As ion implantation.

그림 4는 POCl₃ 도핑온도에 대한 다결정실리콘 저항소자의 온도계수 및 면저항 특성을 나타낸 것이다. 본 실험에서 POCl₃ 도핑온도를 825°C, 875°C 및 925°C로 증가시키에 따라 온도계수는 약 442 ppm/°C에서 492 ppm/°C, 642 ppm/°C로 증가하였다. 여기서 다결정실리콘 저항소자의 상온에서의 면저항은 약 61 Ω/sq에서 58 Ω/sq, 57 Ω/sq로서 도핑온도가 증가함에 따라 감소하였다. 측정온도를 증가시키에 따라 다결정실리콘 저항소자에서 불순물 농도의 증가에 대해 저항은 감소하지만, 불순물 농도가 매우 높을 때에는 캐리어의 이동도(mobility)가 감소하여 저항은 증가한다^[8]. 본 실험결과 인(P) 불순물 농도가 증가함에 따라 온도증가에 대한 면저항은 증가할 뿐만 아니라 면저항의 변화율 즉 온도계수도 증가하였다. 이것은 본 실험에서 각 POCl₃ 도핑온도에 대해 P 불순물

농도가 약 2000 A의 다결정실리콘에 거의 포화된 상태이며, 다결정실리콘 저항소자의 동작온도가 증가함에 따라 결정립내에서의 캐리어의 이동도가 감소되었기 때문이다.

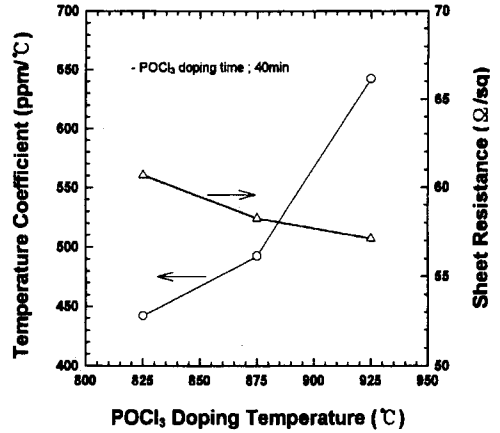


그림 4. 다결정실리콘 저항소자의 POCl₃ 도핑온도에 대한 온도계수 및 면저항 특성

Fig. 4. Temperature coefficient and sheet resistance as a function of POCl₃ doping temperature for polysilicon resistors.

그림 5는 비소 이온주입량에 대한 다결정실리콘 저항소자의 온도계수 및 면저항 특성을 나타낸 것이다. 비소 이온주입량을 120 keV에서 9x10¹⁴ cm⁻², 4x10¹⁵ cm⁻² 및 9x10¹⁵ cm⁻²로 증가시키에 따라 온도계수는 각각 2610 ppm/°C, -640 ppm/°C 및 -1012 ppm/°C 를 나타내었으며, 여기서 상온에서의 면저항은 각각 약 2.4 kΩ/sq, 221 Ω/sq 및 193 Ω/sq 이었다. 다결정실리콘에서 결정립이 크거나 불순물 농도가 높은 경우 결정립에서의 저항율이 결정입계면에서의 저항율보다 크며, 이때 다결정실리콘은 양의 온도계수를 가진다. 그러나 결정립이 작거나 불순물 농도가 낮은 경우 결정입계면에서의 저항율이 결정립의 저항율보다 높으며 이때 다결정실리콘은 음의 온도계수를 갖게된다^[7]. 본 실험결과 비소 이온주입만을 하여 제작한 다결정실리콘 저항소자는 비소 이온주입량이 9x10¹⁴ cm⁻² 에서 4x10¹⁵ cm⁻² 로 증가함에 따라 온도계수는 각각 -2610 ppm/°C에서 -640 ppm/°C로 증가되었으며, 이때 SEM 측정결과 결정립의 크기는 약 0.075 μm에서 약 0.2 μm 로 증가되었다. 또한 본 실험에서 비소 이온주입량을 증가시키에 따라 면저항이 약 220 Ω/sq에서 거의 포화되며 이것은 비소의

농도가 포화됨을 의미한다. 따라서 본 측정결과를 통해 결정입계면 보다 결정립에서의 저항효과의 영향이 커서 온도계수가 증가함을 알 수 있다. 그러나 비소 이온 주입량을 $9 \times 10^{15} \text{ cm}^{-2}$ 으로 더욱 증가시키에 따라 온도계수는 약 $-1012 \text{ ppm}/^\circ\text{C}$ 로 감소되는데, 이때 결정립의 크기는 SEM 측정결과 약 $0.25 \mu\text{m}$ 로서 더 이상 결정립의 성장은 느린데 비하여 비소가 결정입계면으로 더욱 많이 편석되어 결정립보다 결정입계면에서의 저항효과가 증가한 것으로 볼 수 있다.

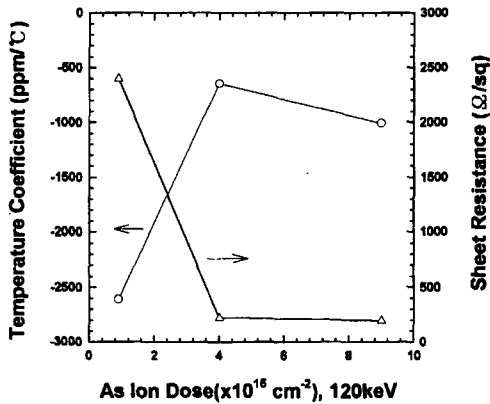
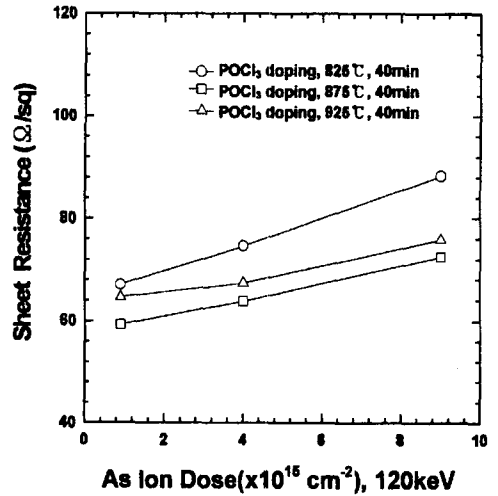


그림 5. 다결정실리콘 저항소자의 비소 이온주입량에 대한 온도계수 및 면저항 특성

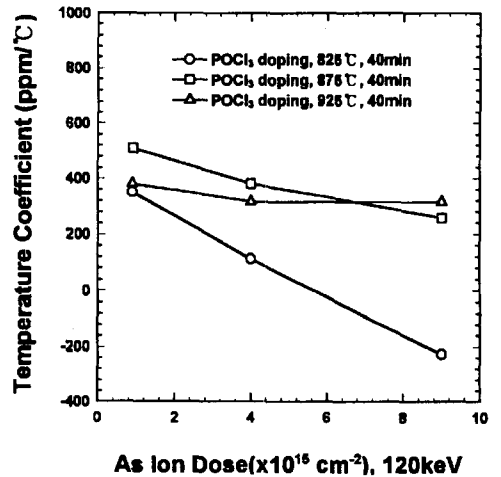
Fig. 5. Temperature coefficient and sheet resistance as a function of As ion dose for polysilicon resistors.

그림 6은 POCl₃ 도핑 및 비소 이온주입을 다양하게 혼합하여 제작한 다결정실리콘 저항소자의 (a) 면저항 및 (b) 온도계수 특성을 나타낸 것이다. 여기서 POCl₃ 도핑온도는 825°C, 875°C 및 925°C이며, 각 POCl₃ 도핑온도에 대해 비소 이온주입량을 120 keV에서 $9 \times 10^{14} \text{ cm}^{-2}$, $4 \times 10^{15} \text{ cm}^{-2}$ 및 $9 \times 10^{15} \text{ cm}^{-2}$ 로 하였다. 그림 6(a)에서 POCl₃ 도핑을 825°C 와 875°C 에서 한후 각각 비소 이온주입량을 변화시킨 결과 도핑온도가 증가할수록 면저항은 감소하지만, 925°C 의 도핑온도의 경우 875°C 의 도핑온도보다 면저항은 4.5% 에서 9% 정도 증가하였는데, 이는 다결정실리콘에 불순물이 과하게 포화되어 오히려 캐리어의 이동도가 감소하였기 때문이다. 그림 6(b)는 다결정실리콘 저항소자의 온도계수 특성을 나타낸 것이다. POCl₃ 도핑온도를 825°C 에서 875°C로 증가시키에 따라 그림 6(a)의 면저항 특성에 대응하여 온도계수는 양의 값으로 증가하였지만 925°C 로 더욱 증가

시키에 따라 온도계수는 더 이상 증가하지 않고 380 ppm/°C에서 320 ppm/°C 으로 약간 감소하였다. 이 밖에 POCl₃ 도핑공정을 825°C에서 한 경우 비소 이온주입량이 $9 \times 10^{14} \text{ cm}^{-2}$ 에서 $9 \times 10^{15} \text{ cm}^{-2}$ 로 증가함에 따라 저항소자의 온도계수는 약 350 ppm/°C에서 $-227 \text{ ppm}/^\circ\text{C}$ 로 감소되었으며 이때 온도계수의 극성이 반전됨을 알 수 있다.



(a)



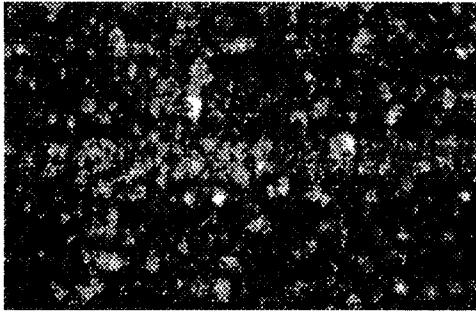
(b)

그림 6. 다양한 POCl₃ 도핑온도에 대해 비소 이온주입량에 따른 다결정실리콘 저항소자의 (a) 면저항 및 (b) 온도계수 특성

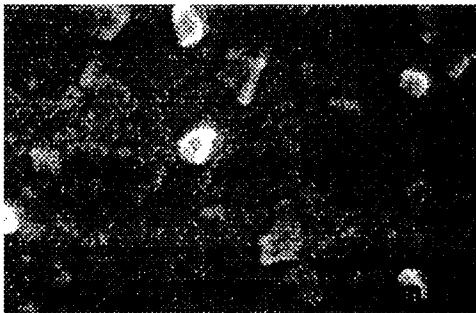
Fig. 6. (a) Sheet resistance and (b) temperature coefficient of polysilicon resistors as a function of As ion dose for various POCl₃ doping temperature.

여기서 저항소자의 온도계수가 거의 0 인 공정조건

은 비소 이온주입량이 약 $5.8 \times 10^{15} \text{ cm}^{-2}$ 이며, 그림 6(a)에 나타난바와 같이 이에대응되는 면저항은 약 $80 \Omega/\text{sq}$ 이었다.



(a)



(b)

그림 7. 동일한 면저항을 갖는 서로 다른 다결정실리콘 표면의 SEM 사진 (a) POCl_3 도핑(875°C , 10분) (b) POCl_3 도핑(825°C , 40분) 및 비소 이온주입(120 keV , $4 \times 10^{15} \text{ cm}^{-2}$)

Fig. 7. SEM pictures of different polysilicon surfaces with same sheet resistance. (a) POCl_3 doping(875°C , 10min) (b) POCl_3 doping (825°C , 40min) and As ion implantation(120 keV , $4 \times 10^{15} \text{ cm}^{-2}$)

그림 7은 동일한 면저항을 갖는 다결정실리콘 저항소자의 표면상태를 측정된 SEM 사진을 비교한 것이다. 여기서 그림 7(a)는 875°C 에서 10분간 POCl_3 도핑한 경우이며, 그림 7(b)는 825°C 에서 40분간 POCl_3 도핑을 한 후 비소 이온주입을 120 keV , $4 \times 10^{15} \text{ cm}^{-2}$ 로 혼합공정을 사용한 경우이다. 이때 다결정실리콘 저항소자의 면저항은 상온에서 모두 약 $75 \Omega/\text{sq}$ 이며, 그림 2와 그림 6(b)로부터 그림 7(a)와 그림 7(b)에 각각 해당되는 단일공정 및 혼합공정으로 제작된 다결정실리콘 저항소자의 온도계수는 약 $479 \text{ ppm}/^\circ\text{C}$ 및 $112 \text{ ppm}/^\circ\text{C}$ 이었다. 여기서 단일공정보다 혼합공정으로 제작한 경우 저항소자의 온도계수가

약 4.3배 낮아졌다. 그림 7(a)와 그림 7(b)의 SEM 측정결과를 비교해보면, 단일공정보다는 혼합공정으로 제작한 다결정실리콘 저항소자가 결정립이 훨씬 크며, 양의 온도계수가 커짐을 예상할 수 있다. 그러나 온도 증가에 따른 면저항의 변화율이 훨씬 감소된 점을 고려할 때, 비소가 결정입계면으로 많이 편석되어 오히려 온도를 증가시키에 따라 결정입계면에서의 열이온 방출 효과가 크게되어 결과적으로 온도계수가 매우 낮아졌다고 할 수 있다.

IV. 결 론

본 고에서는 다결정실리콘 저항소자를 POCl_3 도핑과 비소 이온주입의 단일공정 및 혼합공정으로 각각 제작하고 온도계수 특성을 비교분석하였다. 실험결과, 다결정실리콘에서 양과 음의 온도계수를 가지는 공정 변수를 적절히 혼합하여 온도계수가 서로 보상되어 단일공정으로 제작된 저항소자보다 온도계수가 훨씬 작은 저항소자를 제작할 수 있었다. 특히 면저항이 약 $75 \Omega/\text{sq}$ 인 경우, POCl_3 도핑과 비소 이온주입을 이용한 혼합공정으로 제작된 저항소자의 온도계수가 POCl_3 도핑된 단일공정으로 제작된 저항소자보다 약 4.3배 낮아졌다. 다결정실리콘 저항소자의 온도계수는 면저항이 증가할수록 전반적으로 감소하는 경향으로서 불순물 농도의 의존성이 크게 나타나지만, 결정립의 크기 및 편석(segregation)효과등이 온도계수에 영향을 주었다. 또한 새로운 혼합공정 조건을 이용하여 온도계수가 거의 0 인 다결정실리콘 저항소자를 제작할 수 있음을 알 수 있었다. 본 혼합공정을 이용하여 제작된 다결정실리콘 저항소자는 열적으로 안정된 특성을 나타내기 때문에 향후 RF 및 아날로그 CMOS IC용 고정밀 저항소자로서의 응용이 가능하다.

참 고 문 헌

- [1] E. Laes, H.J. Casier, and E. Schutz, "Analog-Digital Technologies for Mixed-Signal Processing", *IEEE Micro*, pp. 34-42, Aug. 1992.
- [2] M. Miyamoto, T. Ishii, R. Nagai, T. Nishida, and K. Seki, "0.3 μm Mixed Analog/Digital CMOS Technology for Low-Voltage Operation", *IEEE Custom*

Integrated Circuits Conference, pp. 24.4.1-24.4.4, 1993.

[3] 盧泰文, 李大雨, 金光洙, 姜鎮榮, 李德東, “절연막 형성방법에 따른 다결정실리콘 캐패시터의 특성”, *電子工學會論文誌*, 第32卷, A編 第7號, pp. 58-68, 1995年 7月

[4] D.W. Hughes, “Polycrystalline Silicon Resistors for use in Integrated Circuits”, *Solid State Technology*, pp. 139-143, May 1987.

[5] P.E. Allen and D.R. Holberg, CMOS Analog Circuit Design, Harcourt Brace Jovanovich, Inc., Orlando, Florida, pp. 58-75, 1987.

[6] T. Yamaguchi, S.Uppili, J.S.Lee, G.H. Kawamoto, T. Dosluoglu, and S. Simpkins, “Process and Device Characterization for a 30-GHz f_T Submicrometer Double Poly-Si Bipolar Technology Using BF₂-Implanted Base with Rapid Thermal Process”, *IEEE Trans. on Electron Devices*, vol. 40, no. 8, pp. 1484-1495, Aug. 1993.

[7] N.C.C. Lu, L. Gerzberg, and J.D. Meindl, “Scaling Limitations of Monolithic Poly-

crystalline-Silicon Resistors in VLSI Static RAMs and Logic”, *IEEE Trans. on Electron Devices*, vol. 29, no. 4, pp. 682-690, Apr. 1982.

[8] J.Y.W. Seto, “The Electrical Properties of Polycrystalline Silicon Films”, *J. Applied Physics*, vol. 46, no. 12, pp. 5247-5254, Dec. 1975.

[9] J.D. Cressler, W. Hwang, and T.C. Chen, “On the Temperature Dependence of Majority Carrier Transport in Heavily Arsenic-Doped Polycrystalline Silicon Thin Films”, *J. Electrochem. Soc.*, vol. 136, no. 3, pp. 794-804, Mar. 1989.

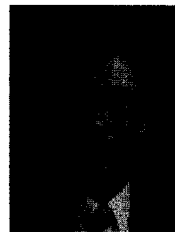
[10] M.M. Mandurah, K.C. Saraswat, C.R. Helms, and T.I. Kamins, “Dopant Segregation in Polycrystalline Silicon”, *J. Appl. Phys.*, vol. 51, no. 11, pp. 5755-5763, Nov. 1980.

[11] F.D. King, J. Shewchun, D.A. Thompson, H.D. Barber and W.A. Pieczonka, “Polycrystalline Silicon Resistors for Integrated Circuits”, *Solid State Electronics*, vol. 16, pp. 701-708, 1973.

저 자 소 개

李大雨(正會員) 第34卷 D編 第8號 參照

현재 한국전자통신연구원 회로소자기술연구소 주문형반도체연구부 책임연구원



盧泰文(正會員)

1962年 3月 6日生. 1984年 2月 경북대학교 전자공학과(공학사). 1986年 8月 경북대학교 전자공학과(공학석사). 1998年 2月 경북대학교 전자공학과(공학박사). 1986年 9月 ~ 1988年 1月 삼성종합기술원 연구원. 1988年 2月 ~ 현재 한국전자통신연구원 회로소자기술연구소 선임연구원. 주관분야는 절연막 형성기술 및 평가 기술. CMOS 소자기술 및 신뢰성. 고전력 반도체 소자 및 IC 기술 등임

具珍根(正會員) 第34卷 D編 第8號 參照

현재 한국전자통신연구원 회로소자기술연구소 주문형반도체연구부 책임연구원

南基守(正會員) 第34卷 D編 第8號 參照

현재 한국전자통신연구원 회로소자기술연구소 주문형 반도체연구부 책임연구원