

3전극 직류형 PDP의 전기적 특성과 펄스 메모리 구동

(Electrical Characteristics and Pulse Memory Operation of 3-Electrode DC-PDP)

明大振*, 孫日憲*

(Dajin Myoung and Ilhun Son)

요 약

본 논문에서는 직류형 PDP의 수명을 크게 향상시킬 수 있는 3전극 구조 PDP에 대한 전기적 특성과 구동 특성의 실험방법 및 결과를 보여주고 있다. 실험 패널을 이용한 직류 전압-전류 특성측정으로 부터는 캐소드 전류가 공통전극으로 양분되는 것과 셀들 간의 간섭없이 선택성을 유지하기 위하여는 캐소드 전압이 공통전극보다 일정 전압 이상 낮게 유지되어야 함을 확인할 수 있었으며 펄스 메모리 구동실험에서는 일반적인 2극 직류형 PDP와는 다른 메모리 마진의 주파수 특성과 발광효율을 측정할 수 있었다.

Abstract

This paper presents the experimental results on the 3-electrode DC-PDP which has a common electrode to improve the PDP life cycle. The measured DC characteristic proves the effectiveness of common electrode absorbing about half of discharge currents. The waveforms for pulse memory operation of 3-electrode PDP without crosstalk could also be determined from the I-V characteristics. The pulse memory drives of 8 x 8 cell array show the frequency response of memory margin and the luminance efficiency of 3-electrode PDP are quite different from generally known characteristics of 2-electrode DC-PDP.

I. 서 론

1927년 최초의 PDP가 Bell 연구소에 의해^[1] 디스플레이로서의 가능성을 선 보인 이래 셀 및 패널의 구조와 구동방법등에서 많은 기술적 발전을 이루었으나 PDP는 오랫동안 CRT에 밀려 상용화가 어렵게 여겨져 왔다. 1984년 면방전 구조 교류형 PDP의 등장^[2]과 이를 위한 구동방식^[3]이 개발된 이후 PDP

기술은 급속히 발전하여 최근의 디스플레이가 고정세, 대형화면을 지향하는 추세에 맞추어 차세대 TV용 평판 디스플레이로서 주목을 받게 되었다. 특히 현재까지 LCD가 지배적인 평판 디스플레이 기술분야에서 PDP는 능동발광소자로서 160°에 이르는 넓은 시야각과 동화상 표현에 충분한 고속응답특성 그리고 전기-광학적 특성에서의 우수한 비선형성 및 대형화면 제작에 용이한 점등으로 인하여 벽걸이용 TV, 화상회의용 디스플레이 등으로 장래의 많은 디스플레이 응용분야에서 잠재력을 인정받고 있다.

하지만 아직까지 PDP기술에는 해결되어야 할 많은 문제들이 있으며 패널제작 공정에서 수율을 향상시키는 문제와 함께 고휘도와 높은 광대비의 실현, 그리고 동화상에서의 가상윤곽으로 인한 화질 저하를 방지하는 것이 주요 기술 문제로서 꼽히고 있다. 이러한 문

* 正會員, 檀國大學校 電子工學科

(Dept. of Electronics Engineering, Dankook Univ.)

※ 본 연구의 일부는 '96년도 통상산업부 차세대 평판 표시장치 기반기술연구의 연구비 지원에 의하여 연구되었음

接受日字: 1998년4월20日, 수정완료일: 1998년6월29日

제들은 단지 PDP셀 및 패널의 구조나 봉입가스 성분 등의 물리적, 화학적 조건에 의하여만 정해지지 않고 구동방식 및 파형등의 전기적 특성에도 크게 영향을 받는다. 실제로 구동방식 및 파형을 정하는 것은 PDP의 성능을 결정짓는 매우 중요한 문제로서 이를 위하여는 PDP셀의 방전현상에 대한 물리적 이해 뿐 아니라 평판 디스플레이에서 매트릭스 구동이 가지는 간섭(crosstalk) 및 전압레벨과 타이밍등이 궁극적으로 구동회로 설계와 디스플레이의 성능에 미치는 영향을 잘 분석할 수 있음으로써 구동방법을 최적화할 수 있어야 한다.

직류형 PDP는 이온 스퍼터링으로 인한 수명의 제약과 함께 안정된 구동을 보장하기 위한 선도방전의 기술적 어려움 때문에 비록 최근의 PDP기술 추세에서 급속히 발전하는 교류형 PDP에 비하여 상대적 중요성은 적어지고 있지만 셀의 구조에 따라 포지티브 칼럼^[4,5,6]을 이용하는 등의 방법으로 높은 휘도를 얻을 수 있는 장점이 있어 셀 구조, 제작공정, 구동방식 등에서 여전히 활발한 연구가 진행되고 있다. 여기에서 소개하는 3전극 셀 구조는 직류형의 가장 큰 결점인 짧은 수명문제를 해결하고 보조 셀이 없으므로 공정이 간단하며 공통전극이 격벽을 둘러 싸고 있으므로 공동전극형 방전^[7]을 야기해 높은 휘도를 얻음으로써 특히 옥외 디스플레이로서의 응용에 적합하도록 고안된 구조로서 본 논문에서는 3전극 직류형 PDP 셀의 전기적 특성을 측정하고 이로부터 펄스 메모리 구동을 위한 구동전압 조건을 구하였으며 8 x 8 어레이의 구동실험으로부터 메모리 마진의 주파수 특성 및 발광효율을 측정하였다.

본 논문의 2장에서는 3전극 직류형 PDP의 셀과 패널의 구조를 설명하였으며, 3장에서는 직류형 전압-전류특성에 대하여 검토하였다. 4장에서는 8 x 8 어레이 구동을 위한 구동회로의 설계와 그를 이용한 실험결과를 설명하였고 5장에서는 결론으로 끝맺음하였다.

II. 3전극 직류형 PDP 셀 및 패널 구조

최근의 직류형 PDP구조는 펄스 메모리 구동을 위한 전류제한 저항의 유무와 보조전극^[8] 또는 보조셀^[9,10] 중 어느 것을 선도방전을 일으키는 수단으로서 채택하였는가 하는 것으로서 크게 나뉘어진다. 이 외에 발광효율을 높이기 위하여 대부분 직류형 PDP의

UV원인 네가티브 글로우영역 보다 포지티브 칼럼의 이용을 높이기 위한 구조^[5,6]와 고주파 전압파형을 인가하기 위한 보조전극을 가지는 특별히 고안된 구조^[11] 등이 있다. 이들 모두는 서로간에 제작공정의 복잡성이나 발광효율 및 동작의 안정성면에서 장단점을 가지고 있으나 공통적으로 직류형 PDP의 가장 큰 기술적 문제인 이온 스퍼터링으로 인한 캐소드 전극의 마모에 따른 수명의 제약을 해결하지 못하고 있다. 따라서 본 논문에서는 이전의 3전극 구조에 관련된 연구가 발광효율과 선도방전에 제한되었던 것과는 달리 수명 향상을 위한 구동방식을 제안하고 그 특성실험의 방법과 결과를 제시하였다.

본 논문에서 채택한 3전극 구조는 이러한 수명의 문제를 개선하기 위하여 고안된 구조로서 기존의 셀 구조와 크게 다른 점은 전기도금법이나 인쇄법등으로 마모가 쉽지 않은 구리, 니켈등의 금속재료를 이용하여 조성된 공통전극을 그림 1에 보인 것과 같이 양극과 음극사이에 둬으로써 방전전류의 일부를 흡수할 뿐 아니라 공통전극이 셀의 격벽을 둘러 싸게 되어 고휘도, 고전류 구동시에 공동전극으로서의 잇점을 가질 수 있다. 또 다른 예상되는 장점으로는 공통전극이 공간적, 전기적으로 양극과 음극의 사이에 위치함으로써 공통전극의 높이와 인가전압의 전위를 조절함으로써 네가티브 글로우와 포지티브 칼럼의 공간적 분포를 변화시킬 수 있어 발광효율의 개선을 기대할 수 있다는 점이다.

제작된 3전극 셀의 구조는 그림 1에 보인 바와 같다. 셀은 격벽으로 둘러 싸였으며 하판에 애노드 전극이 놓여있고 격벽의 중앙에는 니켈로 된 공통전극이 모든 셀들에 연결되도록 하였다. 전면유리에는 데이터 캐소드가 애노드전극과 직교하도록 놓여있다. 셀의 전체 높이는 200 μm 정도이고 셀의 면적은 0.4 x 0.4 mm² 로서 20" 패널 전체는 640 x 480 의 셀 어레이로 구성되어 셀 간의 거리(pitch)는 0.5mm 이다. 애노드전극은 그림 1에서 처럼 700 ~ 800 k Ω 의 저항을 통하여 애노드 버스에 연결되어 유지방전 펄스가 애노드 전극에 가해지도록 하였으며 쓰기동작에서는 애노드전극에 스캔펄스가 가해짐과 동시에 데이터 캐소드전극에 음전압의 데이터 펄스가 가해진다. 유지방전에서는 데이터 전극의 전위를 공통전극과 비슷하거나 가까이 유지하여 플라즈마 방전 경로를 이온 스퍼터링에 대하여 높은 지구력을 가질 수 있도록 구리

로 조성된 공통전극으로 유도함으로써 PDP의 수명을 획기적으로 높이고자 고안된 셀 구조이다.

III. 3전극 셀의 직류 전압-전류 특성

직류형 PDP의 메모리방식 구동은 개별 셀들의 직류 전압-전류 특성에 의해 크게 영향받는다. 펄스 메모리 구동방식에서 셀 내부의 가스 방전 상태는 비록 과도 상태를 거치지만 기본적으로 직류 전압-전류특성에서 방전이 일어나기 전의 높은 임피던스 상태와 방전 후 외부의 인가 전압과 직렬저항에 의해 높은 전류가 흐르는 두가지 안정된 상태 사이를 왕복하게 된다. 3전극 구조에서는 애노드와 캐소드간의 전압 차이에 더하여 공통전극의 전위가 개입하므로 이러한 DC 특성의 측정이 단순하지 않다. 그림 2에서는 직류 전압-전류 특성을 측정하기 위한 회로구성을 보여주고 있으며 애노드를 전류구동함으로써 전압-전류특성의 동적 저항이 0보다 적은(Negative Dynamic Resistance: NDR)영역에서도 직류 전압-전류 특성을 측정할 수 있도록 하였다. 그림 3에서는 공통전극의 전위는 0으로 정해 놓고 캐소드 전압을 -100, -60, -20V로 했을 때 애노드 전극에 흐르는 전류를 변화시켜 구한 전압-전류 특성이다. 실제 전류가 흐르지 않아야 될 높은 임피던스 영역에서 10M Ω 정도의 누설저항이 측정되는 것은 하나의 애노드 셀에 연결된 640개 화소에서 공통전극으로 통하는 누설저항으로서 한 개의 화소에는 이보다 훨씬 적은 누설전류가 흐른다.

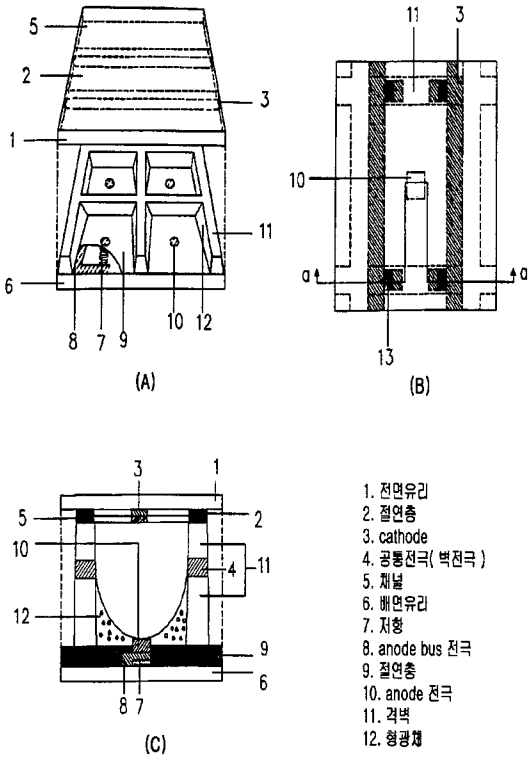


그림 1. 3전극 직류형 PDP셀의 구조
Fig. 1. Cell structure of 3-electrode DC-PDP.

표 1에서는 본 연구 실험에 사용 된 전극 재료, 전류 제한 저항값, 봉입 기체의 조성과 압력등을 나타내었다.

표 1. 구동 시험용 3전극 직류형 PDP의 제작 사양

Table 1. Panel spec of experimental 3 electrode DC-PDP.

항 목	조 건
1. 패 널	공통전극구조(Common 2층) 격벽 15층, Black Matrix 3층 애노드 저항 = 700~800k Ω 전극사용재료 : Ag
2. 초기진공도	Chamber : 5.9 $\times 10^{-7}$ Torr Panel : 8.0 $\times 10^{-3}$ Torr
3. 사용 가스	He-Xe(1%)
4. 가스 압력	252 Torr

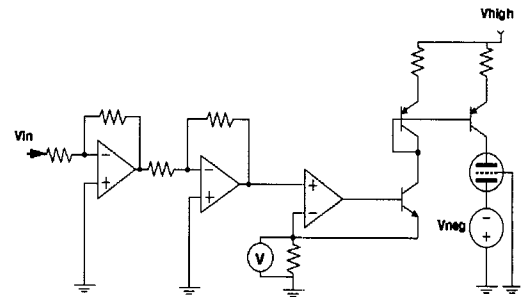


그림 2. PDP셀의 직류 전압-전류 특성측정을 위한 회로구성도
Fig. 2. Current driving circuit for DC I-V characteristic measurement of PDP cell.

주목할 것은 350V 정도의 초기방전 전압(firing voltage)을 가지며 270V 근처의 유지방전 전압이 애노드와 캐소드 전극사이에 인가되어야 한다는 것이다. 또한 특이한 것은 캐소드 전압이 공통전극 전압(0V)에 가까이 가면 약 -20V 쯤에서는 애노드와 공통전극

간에 방전이 일어나며 그렇게 되면 선택성이 없어지면 서 애노드에 연결된 다른 셀들이 함께 방전을 일으킨다는 것이다. 이 때의 공통전극에 흐르는 전류는 따라서 다수의 셀에 흐르는 방전전류가 되어 그림 3에 보인 것처럼 매우 높게 된다. 실제 패널의 펄스 메모리 구동에서는 이 보다 낮은 초기 방전과 유지 방전 전압이 측정되지만 직류 전압-전류 특성의 측정에서는 선도방전이 없는 상태에서 높은 전류가 흐르는 정상 또는 비정상 방전으로 올라가서 NDR 영역으로 천천히 내려오게 되므로 방전전압이 실제 구동시 보다 20~30V정도 높게 측정된다.

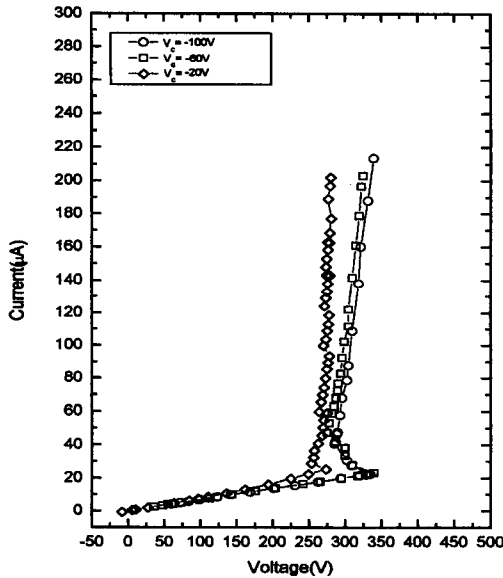
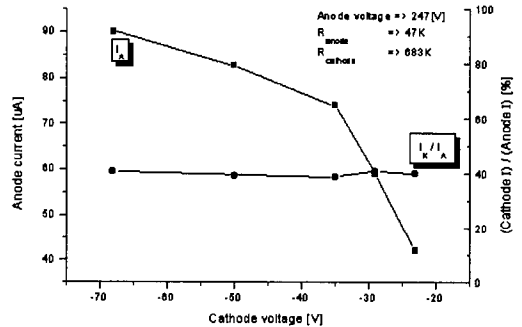


그림 3. 3전극 셀의 직류 전압-전류 특성
 Fig. 3. Measured DC I-V characteristics of 3-electrode PDP cell for 3 different cathode voltage.

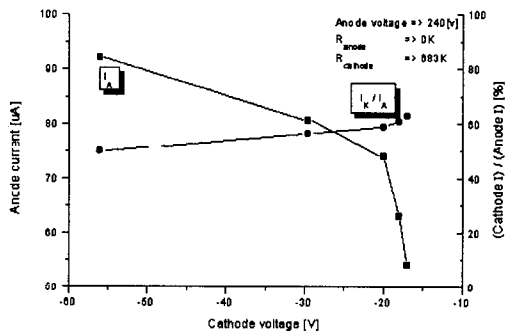
그림 4에서는 애노드 전압을 방전이 번지기 전의 전압으로 고정하고 캐소드 전압을 변화시켰을 때 애노드와 캐소드에 흐르는 전류를 측정할 것이다. 이 측정 결과에서 주목 할 것은 I_K/I_A 가 40~60%에서 큰 변화가 없으며 단지 캐소드 전압이 높아지면 전체 방전 전류는 꺼지기 직전의 전류인 $40 \mu A$ 정도로 줄어들게 되고 그 이상 캐소드 전압을 올리면 방전은 꺼지게 된다. 이것은 그림 3에서 유지방전 전압이 270V로 측정된 결과와도 일치하는 것이다. 그림 4(a)에서 I_K/I_A 가 그림 4(b) 보다 15% 정도 낮은 것은 애노드에 연결된 외부 저항의 영향으로 볼 수 없으며 셀들간의 구조

와 봉입 기체 압력등에서 공간적 불균일성에 기인하는 것으로 생각된다.

이상의 측정된 직류 전압-전류 특성은 3전극 직류형 PDP의 구동파형을 결정하는 데 있어서 매우 중요하다. 이것은 실제로 펄스 메모리 구동에서 각 펄스 구동에 따른 셀의 동작점이 짧은 과도상태를 거쳐 정상상태에 이르면서 직류 전압-전류특성을 따르기 때문이다. 특히 3전극 구조 PDP에서는 캐소드의 전압 레벨이 공통전극 보다 일정 전압이상, 즉 그림 4에 보여진 실험결과에서는 20V이상 낮은 상태에 있어야만 선택성이 보장된다는 것 역시 직류 전압-전류특성의 측정으로부터 확인할 수 있었다.



(a)



(b)

그림 4. 캐소드 전압에 따른 I_A 와 I_K/I_A 의 변화 (캐소드 저항 $680K\Omega$)

(a) 애노드 외부저항 $47K\Omega$, (b) 애노드에 외부저항이 없는 경우

Fig. 4. Anode cell current I_A and I_K/I_A for cathode potential variation (cell resistance = $680K\Omega$).

(a) with external anode resistance of $47K\Omega$ and (b) no external resistance

IV. 8×8 어레이 펄스 메모리 구동회로의 설계 및 실험

PDP는 비선형성이 강한 자체 발광소자로서 대형 화면제작이 용이하고 색채 표현을 위한 높은 계조 구현이 가능한 장점을 가진다. 화소의 발광량을 조절하는 계조 구현은 비선형성이 강한 PDP에서는 화소에 흐르는 전류의 세기를 조절하기(Pulse Amplitude Modulation) 보다는 한 화면 시간(field frame)내에서 화소가 켜지는 시간을 조절하는(Pulse Width or Pulse Number Modulation) 방식을 사용하고 있다. UV를 1차적 광원으로 사용하는 PDP에서는 이러한 시간 변조 방식에서 한 화면시간내에서 화소가 켜져 있을 수 있는 시간을 최대한 늘려주기 위하여 PDP가 가지는 기억능력을 이용하는 펄스 메모리 방식^[12]으로 구동하게 된다.

벽면전하에 의해 화소의 기억능력을 갖는 교류형 PDP와는 달리 직류형에서는 후방전 감쇠현상을 이용하여 일정한 주기 이내에서 화소의 발광상태를 지속시키기 위한 펄스형태의 전압파형을 연속적으로 인가하여야 한다. 패널의 구동특성을 결정하는 데는 이러한 펄스구동에서 화소간의 간섭에 의한 오동작이나 영상의 번짐효과등이 없이 기입, 소거동작이 올바르게 일어날 수 있는 전압파형과 유지방전 펄스의 전압레벨, 그리고 이들의 주기에 따른 변화등을 파악하는 것이 중요하다. 실제 PDP의 구동에서 VGA급 이상의 해상도를 갖는 고화질 화면에서는 펄스 주기가 4μsec 이하로 내려 가게 되며 본 연구에서는 3전극 직류형 PDP의 구동특성을 최대한의 전압레벨과 주파수 범위에서 측정하기 위하여 최고 전압 300V, 최고 주파수 170kHz를 가지는 구동회로를 상용화된 고전압 PDP 구동 IC를 사용하여 설계, 제작하였다. 아직 셀의 특성이 최적화되지 못한 실험패널을 구동하기 위하여 제작된 구동회로는 넓은 출력전압 조절 범위를 가지면서도 직류 전압-전류특성에서 파악된 바와 같이 캐소드 전극에 항상 인가되는 직류전압 레벨을 변화시킬 수 있게끔 하였다.

설계된 구동회로의 시스템구성도는 그림 5에 보인 바와 같이 PC에서 보내 준 8x8 영상 패턴 신호를 프레임 버퍼 메모리에 저장하여 동화상을 구현할 수 있도록 하였으며 프레임 버퍼 메모리와 고전압 구동회로를 제외한 모든 제어 논리회로는 하나의 FPGA에

VHDL을 이용하여 구현하였다. 따라서 계조 조정과 펄스타이밍등은 FPGA의 프로그래밍에 의하여 쉽게 바꿀 수 있도록 설계하였다.

고전압 구동부는 빠른 스위칭 속도를 쉽게 구현하기 위하여 200V급 상용 PDP 구동 IC를 이용하였으며 고전압 구동IC에 공급되는 최저전압은 각각 서로 다른 목적으로 회로에서 조절할 수 있도록 설계하였다. 가령 애노드 구동부의 경우 최고전압(V_{AH})을 300V까지 올리기 위하여 출력펄스의 최저전압(V_{AL})이 최고전압의 1/3이 되도록 그림 6에 보인 바와 같이 직렬형 전압 변환 회로를 이용하였으며 고전압 구동 IC의 최저전압에 맞추어 제어부에서 보내는 신호를 레벨 변환회로를 통하여 공급하였다. 캐소드 구동회로 역시 최고전압(V_{KH})이 -20V 이하로 조절할 수 있도록 하였으며 최저전압(V_{KL})은 -90V 까지로 제한하였다. 즉 애노드와 캐소드 간의 최고 기입전압은 390V까지 가능하며 이때 서스테인 전압은 $V_{AL} - V_{KH}$ 로 유지된다. 그림 7은 고전압 애노드 구동 IC에 공급되는 전압 변환회로를 보여 주고 있다. 이 회로는 두 개의 출력포트에서 V100에는 최고전압 VDD의 1/3 되는 전압이 출력되며 V105에는 V100의 출력 전위보다 5V정도 높은 전압이 출력되도록 설계되었으며 Q5, Q6, M1은 출력 구동 IC의 스위칭 전류로 인한 스위칭 잡음이 V100 출력에 피이드 백 되어 잡음 레벨이 500mV이상의 경우 이를 상쇄시켜 주기 위한 회로이다.

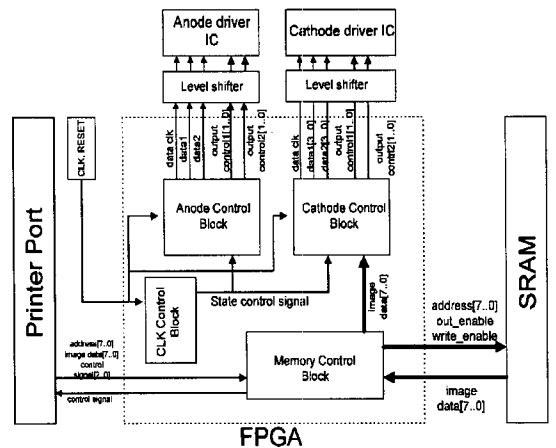


그림 5. 3전극 직류형 8 x 8 PDP 구동회로의 구성도
 Fig. 5. Block diagram of driving circuit system for 3-electrode DC-PDP.

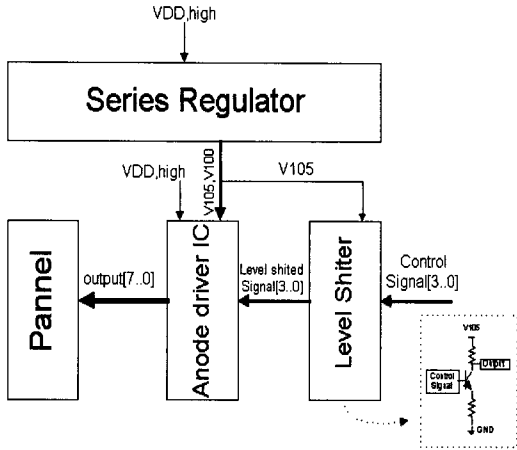


그림 6. 직류전압 및 논리 레벨 변환 회로를 이용한 고전압 애노드 구동회로

Fig. 6. High voltage anode drive circuit with supply voltage and signal level conversion.

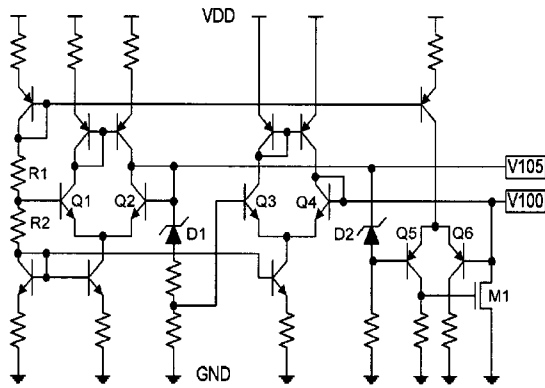


그림 7. 스위칭 잡음을 최소화한 직렬형 전압 공급 회로

Fig. 7. Series voltage regulator with switching noise reduction circuit.

캐패시터에는 이와 같은 구조의 P, N이 뒤바뀐 전압 변환 회로를 이용하였으며 이때 R1과 R2의 비율을 조정하여 캐패시터에 가해지는 최고전압, $V_{K,H}$, 를 조절할 수 있도록 하였다. 또한 공동전극은 직렬저항을 줄이기 위하여 패널의 각 모서리마다 단자를 내어 시스템 접지점에 연결하였다.

그림 8은 8x8 어레이의 170kHz 펄스 메모리 구동 파형을 보여 주고 있다. 애노드 펄스 전압 범위는 40~220V이고 캐패시터의 경우 -50~-90V 이다. 애노드 펄스 파형에서 맨 첫 번째가 기입 동작을 위한 스캔 펄스이고 그 이후의 펄스들은 유지 방전 펄스로서

스캔 펄스와 유지방전 펄스는 한 펄스 주기내에서 서로 다른 위상을 가지며 각각의 펄스는 1/3 주기의 펄스 폭을 갖도록 하였다. 따라서 캐패시터에 가해지는 데이터 펄스는 스캔 펄스와 위상이 일치되도록 하였으며 이로부터 기입, 유지방전, 소거동작에 해당되는 전압레벨은 다음과 같다.

$$\begin{aligned} V_W &= V_{A,H} - V_{K,L} = 310V \\ V_S &= V_{A,H} - V_{K,H} = 270V \\ V_E &= V_{A,L} - V_{K,H} = 160V \end{aligned} \quad (1)$$

위의 전압레벨 중에서 유지방전전압 V_S 는 유지방전중 기입이나 소거동작이 일어나지 않는 일정한 범위 즉 메모리 마진 이내에 있어야 하며 주파수에 따라 그 범위가 달라진다. 그림 9에서는 실험 패널로부터 측정된 값을 보여주고 있다. 여기서 $V_{S,min}$ 과 $V_{S,max}$ 는 각각 8 x 8 어레이에서 하나의 화소라도 꺼지거나 켜지기 시작하는 전압이다.

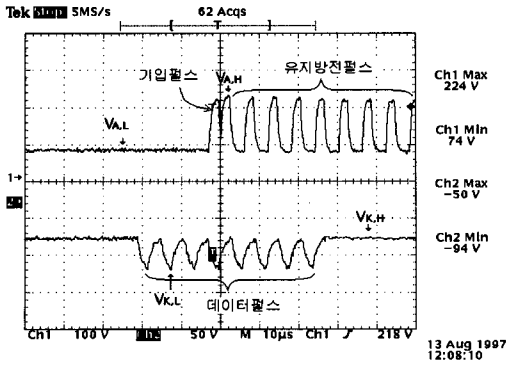
그림 9에 보인 3전극 구조 PDP의 메모리 마진이 가지는 주파수 특성은 다른 직류형 PDP보다 높은 주파수에서 완만한 특성을 보이고 있으며 이러한 현상은 격벽을 둘러싼 공동전극에 의해 방전지연시간이 상대적으로 긴 공동전극형 방전에 기인하는 것으로 해석된다.

그림 10에서는 100KHz 구동시 3전극 PDP의 구동 전압에 따른 전력소모와 휘도특성을 보여주고 있다. PDP셀의 전력소모는 펄스 메모리 구동으로부터 직접 측정하기 어려우므로 그림 3에 보인 직류 전압-전류 특성으로부터 계산되었다. 즉 유지방전시 셀에서 소모되는 직류 성분 전력은

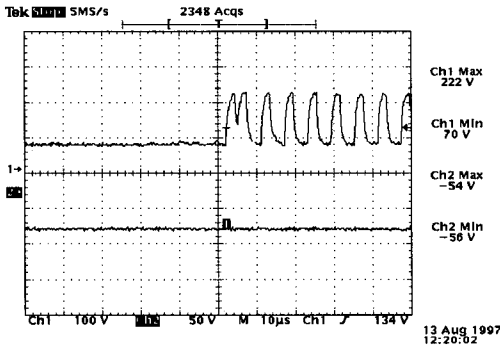
$$P_{cell} = V_{A,H} \cdot I_A + V_{K,H} \cdot I_K \quad (2)$$

으로서 그림 8에 보인 구동파형에서 $V_{K,H}$ 를 변화시키면서 측정된 값이며 주파수는 100KHz에서 64 계조 표현이 가능하므로 하나의 화소는 한 프레임의 1/3동안 유지방전 펄스를 받게되고 다시 그 주기의 1/3동안 유지방전전압이 가해진다. 따라서 실제 화소의 전력소모는 그림10에 보인 값의 1/9정도로 될 것이다. 그림 10에서 중요한 사실은 일반적으로 직류형 PDP에서는 구동전류 또는 전압이 적을수록 발광효율이 높아지지만 3전극 PDP에서는 캐패시터의 네가티브 구동전압이 30V 이하로 낮을 경우에만 구동전압이 높아지면서 발

광효율이 높아지는 것을 알 수 있다.



(a)



(b)

그림 8. 3전극 직류형 PDP 8 x 8 어레이의 170KHz 펄스 메모리 구동파형

(a)어레이 전체 켜짐, (b) 어레이 전체 꺼짐

Fig. 8. Voltage waveform of 170KHz pulse memory drive for 8 x 8 cell array.

(a) all pixels are on (b) all pixels are off

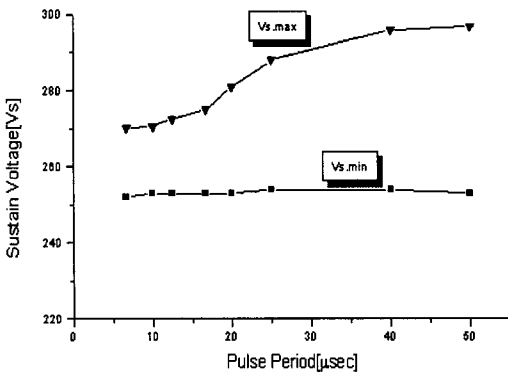


그림 9. 3전극 구조 PDP의 메모리 마진이 갖는 주파수 특성

Fig. 9. Frequency response of memory margin.

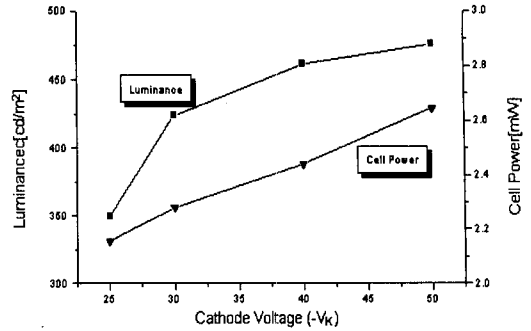


그림 10. 3전극 직류형 PDP화소의 전력소모와 휘도특성

Fig. 10. Power consumption and luminance characteristics of 3-electrode PDP cell.

V. 결론

본 논문에서는 3전극 직류형 PDP의 전기적 특성측정으로 부터 펄스 메모리 구동을 위하여는 캐소드 전극이 공통전극과 일정 이상의 전위차를 유지하여야 셀 간의 간섭없이 선택성을 가질 수 있음을 발견하였다. 8 x 8 어레이를 이용한 구동특성 실험에서 측정된 메모리 마진의 주파수 특성은 다른 직류형 PDP보다 높은 주파수에서 완만한 특성을 보이고 있으며 발광효율 또한 전압 또는 전력증가에 따라 단순 감소현상을 보이는 일반적인 2극 직류형 PDP와는 달리 일정 캐소드 전압에서 발광효율이 최고치에 이르는 특성을 볼 수 있었다. 본 논문에서 제시한 구동파형과 펄스 전위 등에 의하여 수행된 실험결과들은 3전극 구조가 본래 의도한 고휘도와 수명연장의 효과를 가지는 직류형 PDP로서 충분한 가능성이 있음을 본 논문에서는 보여주었다.

참고 문헌

- [1] F. Gray, et al., "The Production and Utilization of Television Signals," Bell Sys. Tech. J., vol. 6, pp. 560-603, 1927.
- [2] T. Shinoda, et al., "Surface-Discharge PDP with 3 electrodes", SID '84 Digest, 1984.
- [3] S. Kanagu, et al., "A 31-in diag. full-color surface-discharge ac PDP," SID '92 Digest, pp. 713-716 1992.

- [4] H. Hiroo, et al., "A Picture-Display Panel Using a Constricted-Glow Discharge," IEEE Trans. on Electron Devices, vol. ED-21, no. 6, pp. 372-376, 1974.
- [5] Y. Okamoto and M. Mizushima, "A New DC Gas-Discharge Panel with Internal Memory for Color Television Display," IEEE Trans. on Electron Devices, vol. ED-25, no. 1, pp. 8-16, 1978.
- [6] T. Kamegaya, et al., "Basic Study on the Gas-Discharge Panel for Luminescent Color Display," IEEE Trans. on Electron Devices, vol. ED-25, no. 9, pp. 1094-1100, 1978.
- [7] D.J.Struges and H.J.Oskam, "Studies of the Properties of the Hollow Cathode Glow Discharge in Helium and Neon", J. of Appl. Physics, vol. 35, no. 10, pp. 2887-2894, 1964.
- [8] M.Seki, et al., "An 8-in Pulse Memory Color DC-PDP without Auxiliary Cell," Japan Display '92 Digest, pp. 617-620, 1992.
- [9] Y.Amano, et al., "A High-Resolution DC Plasma Display Panel," SID '82 Digest, pp. 160-161, 1982.
- [10] A. Takahashi, et al., "Normally-ON Anode Pulse Memory Drive for DC-PDPs," SID '96 Digest, pp. 287-290, 1996.
- [11] K.C. Choi, et al., "Improved Pulsed Memory dc Plasma Display with High-Frequency Auxiliary Anode Pulses," SID '92 Digest, pp. 160-161, 1992.
- [12] G.E.Holz, "Pulsed Gas Discharged Display with Memory," SID '72 Digest, pp. 36-37, 1972.

 저 자 소 개



明大 振(正會員)

1972年 2月 16日生. 1995年 2月 단국대학교 전자공학과(학사). 1997年 2月 단국대학교 대학원 전자공학 석사. 1997年 1月 ~ 1998年 5月 수산그룹 중앙연구소 연구원. 1998年 6月 ~ 현재 단국대학교 정보디스플레이

연구소 연구원. 주관심분야는 CMOS IC 회로 및 PDP 등의 평판표시장치 구동 회로 설계

孫日憲(正會員) 第 35卷 C編 第 2號 參照