論文98-35D-4-10

PSA-BiCMOS의 저온특성에 관한 연구

(A Study on the Low Temperature Characteristics of PSA-BiCMOS)

郭 元 榮 *, 具 用 書 **, 安 哲 *

(Won-Young Kwak, Yong-Seo Koo, and Chul An)

요 약

본 논문에서는 300K에서 77K까지 동작온도를 낮추어가면서 MOSFET, BJT, CMOS/PSA-BiCMOS 인버터의 전기적 특성변화를 분석해보았다. 일반적으로 MOSFET은 동작온도가 감소함에 따라 전기적 특성이 향상되었지만, BJT는 BGN(Band Gap Narrowing) 때문에 전류이득이 감소하여 전기적 특성이 저하되는 것을 보였다. PSA-BiCMOS 인버터는 상온에서부터 220K 정도까지는 동작온도가 감소할수록 MOSFET 성능 향상에 의해 스위칭 특성이 향상되지만 그 이하의 온도에서는 BJT의 특성 저하가 인버터 회로에 영향을 주므로 스위칭 특성이 저하되었다.

Abstract

In this paper, alteration of electrical characteristics is analyzed when the operating temperature of MOSFET, BJT and CMOS/BiCMOS inverter is lowered from 300K to 77K. As the operating temperature is lowered, electric characteristics of MOSFET are enhanced generally but, those of bipolar transistor are degraded because current gain is reduced by BGN(Band Gap Narrowing) effect. For the inverter considered in this work, switching characteristics of PSA-BiCMOS inverter are enhanced by the electrical characteristics enhancement of MOSFET when the operating temperature is reduced to 200K, while under 200K, those of PSA-BiCMOS inverter are degraded because the degradation of BJT impacts on the inverter circuit.

Ⅰ. 서 론

반도체 소자의 크기가 deep submicron 영역으로 줄어듦에 따라 물리적/기술적 한계에 도달하게 되어 저온특성에 관한 연구가 최근 십 여년간 이루어지고 있는데, 동작온도가 감소할수록 그 성능이 향상되는 CMOS 소자에 관한 연구가 많이 이루어져 왔다[1]. 저온에서는 격자산란의 감소로 MOS 채널 내부의 캐리어 이동도가 증가하기 때문에 소자의 동작속도가 빨라진다. 이동도의 증가는 상호컨덕턴스의 증가를 가져오고 드레인 전류를 증가시킨다. 또한 온도가 감소할수록 electromigration이 감소하고 누설전류도 감소한다. 짧은채널 CMOS에서 나타나는 문제점 중의 하나인 latch-up도 저온에서는 줄일 수 있다. 이런 저온동작에서의 장점으로 인해 액체질소 환경에서 동작하는 CMOS기반 supercomputer가 설계되어 제작되기도 하였다[2].

그러나 CMOS를 저온에서 동작시키더라도 큰 캐패시턴스를 구동하는 것은 여전히 무리가 따른다. 이 문제는 큰 캐패시턴스를 효율적으로 구동할 수 있을 정도의 매우 큰 트랜스컨덕턴스를 갖는 BJT를 CMOS

* 正會員, 西江大學校 電子工學科
(Dept. of Elec. Eng. Sogang Univ.)
** 正會員, 西京大學校 컴퓨터工學科
(Dept. of Computer Eng. Seokyung Univ.)
※ 본 연구는 정보통신부에서 시행한 대학기초연구지원사업으로 수행되었음(과제번호: 96056-BT-I1)
接受日字:1997年12月3日, 수정완료일:1998年3月25日

와 같이 집적하는 BiCMOS 기술로 해결할 수 있을 것이다. 상온에서는 CMOS에 비해 BiCMOS의 성능이 우수한 것으로 관찰되고 있다. 그런데, 일반적으로 BJT는 온도가 감소할수록 전기적 특성이 저하되는 것으로 알려져 있다. 그 대표적인 예가 BGN(Band-Gap Narrowing)으로 인한 전류이득의 감소이다.

본 논문에서는 동작온도 감소에 따른 CMOS의 전기적 특성향상과 BJT의 전기적 특성저하가 PSA (Polysilicon Self-Aligned) BiCMOS 인버터 회로에 어떤 영향을 주는지 실험을 통해 고찰하였다.

Ⅱ. 극저온에서 발생하는 freeze-out

액체질소 환경에서 반도체 회로를 동작시킬 때에는 소자의 전기적 특성에 영향을 주는 요인인 carrier freeze-out 효과를 고려해야 한다[1].
electric field가 없을 때 p-type 반도체의 이온화된 엑셉터의 평형상태 농도 N_A^-는 다음과 같다[3].

$$N_A^- = (N_0^2 + 2N_0N_A)^{1/2} - N_0 \quad (1)$$

$$N_0 = (N_v/2g)\exp(-\Delta W_i/k_BT) \quad (2)$$

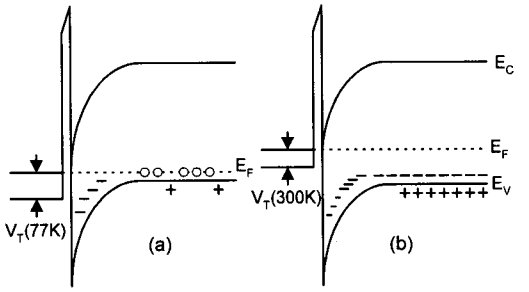

그림 1. (a) 77K에서 gate 전극아래의 band diagram (b) 300K에서 gate 전극아래의 band diagram

Fig. 1. (a) band diagram of the gate region at 77K (b) band diagram of the gate region at 300K.

N_V는 valence band에서의 유효상태밀도, g는 degeneracy factor, ΔW_i는 억셉터의 이온화 에너지이다. 충분히 낮은 온도에서는 $k_BT \ll \Delta W_i/\ln(N_V/N_A)$이므로 $N_0 \ll N_A$이다. 식 1에서 $N_A^- \approx \sqrt{2N_0N_A}$는 온도가 감소함에 따라 지수함수적으로 감소한다. 이런 다수캐리어 농도 $p \approx N_A^-$의 감소를 freeze-out이라고 한다 (그림 1).

Substrate의 bulk에서 freeze-out이 발생하면 충분히 낮은 온도에서 substrate의 bulk는 semi-insulating으로 볼 수 있다.

저온에서 이런 현상이 발생하게 되면 박막 SOI MOSFET에서 볼 수 있는 I_{ds}-V_{ds} 특성곡선에서의 kink 현상이 bulk MOSFET에서도 나타나게 된다.

Depletion NMOS에서 이런 kink 현상을 해결하기 위한 가장 보편적인 방법으로는 SiO_2 층에 Cs을 이온주입시키는 방법이 있지만 이 경우에 채널 이동도가 감소하며 문턱전압 조절이 어려운 단점이 있다[4].

Ⅲ. 소자구조 및 실험방법

실험에 사용된 소자구조는 그림 2와 같이 recessed oxide 격리구조를 가진 PSA(Polysilicon Self-Aligned) BiCMOS 구조이다. 본 PSA 소자제작 공정에서는 에미터 저항을 감소시키기 위해 RTA(Rapid Thermal Annealing) 공정으로 자연 산화막을 파괴하였다.

측정에 사용된 반도체 소자의 spec.은 표 1과 같다.

표 1. 측정에 사용된 소자의 공정 spec.
Table 1. process parameters of the measured devices.

	NMOSFET (LDD구조)	PMOSFET	NPN BJT
Epitaxial층 농도	-	5×10^{15}/㎤	
p-well 농도	2×10^{16}/㎤	-	-
S/D 농도	7×10^{15}/㎤ (As, 80KeV)	5×10^{15}/㎤ (BF2, 60KeV)	-
W / L	30 / 1 (㎛)		-
gate 산화막	250Å		-
gate 전극(Al)	10000Å		-
Emitter 농도	-	-	2×10^{16}/㎤ (As, 80KeV)
Base 농도	-	-	4.5×10^{13}/㎤ (BF2, 30KeV)
Collector 농도	-	-	4×10^{15}/㎤ (P, 80KeV)
Emitter 면적	-	-	3×3㎛^{2}
E/C 전극 (poly.)	-	-	3000Å

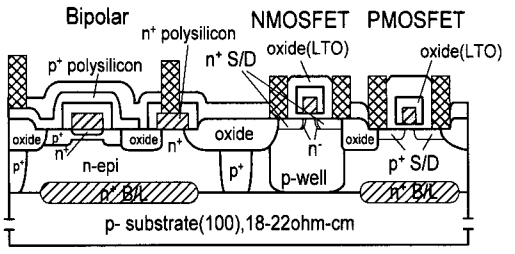

그림 2. PSA-BiCMOS 소자구조
Fig. 2. PSA-BiCMOS device structure.

그림 3에서는 측정에 사용한 OS형 BiCMOS 인버터를 보였는데 이 회로는 저항대신에 MOS 소자를 사용한 일반적인 BiCMOS 인버터이다. CMOS 인버터에 사용된 MOS 소자의 W/L은 3.6/1.2(㎛)이며, BiCMOS 인버터 내부의 MOS 소자의 W/L은 3/1.25(㎛), NPN BJT 에미터의 W×L은 2×6(㎛)이다.

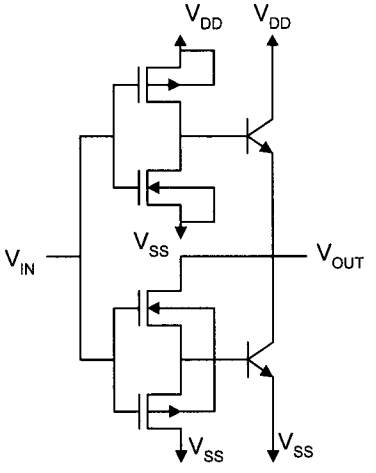

그림 3. OS형 BiCMOS 인버터
Fig. 3. OS type BiCMOS inverter.

측정은 MMR사의 냉각장치를 사용해서 회로를 냉각시킨후 HP4145B parameter analyzer로 전원을 입력하고 이때의 출력을 온도에 대한 관계로 분석하였다.

Ⅳ. 측정 및 결과

1. MOS 소자의 전기적 특성 변화

그림 4와 그림 5는 온도변화에 따른 MOSFET의 I_{DS}-V_{DS} 특성곡선이며, 그림 6은 동작온도 감소에 따른 문턱전압의 증가를 보여주고 있다.

동작온도가 감소하면 bulk Fermi potential이 증가하고, charge-sharing effect가 감소하여 게이트 전압에 의한 채널제어능력이 향상되기 때문에 문턱전압이 증가한다. 그림 6에서 NMOS 소자의 경우 문턱전압과 동작온도와의 상관관계는 약 -1.03㎷/K, PMOS 소자의 경우에는 약 2.04㎷/K의 상관관계를 가진다. 절대값으로 고려하면 NMOS 소자에 비해 PMOS 소자가 온도감소에 따른 문턱전압의 증가율이 더 크게 나타나는데 그 이유는 NMOS 소자가 LDD(Lightly Doped Drain) 구조를 가지므로 PMOS에 비해서 charge sharing effect의 영향을 더 크게 받기 때문이다. 일반적으로 short-channel MOS 소자의 경우 charge sharing 효과에 의해 |dVth/dT| 값이 40% 정도 감소하는 것으로 알려져 있다[4].

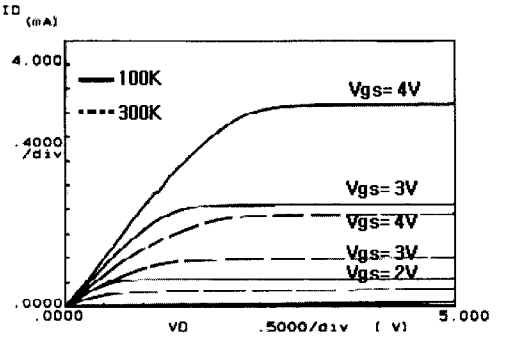

그림 4. 온도에 따른 NMOSFET의 IDS-VDS 특성
Fig. 4. I_{DS}-V_{DS} characteristic curve of nMOS at 100K and 300K.

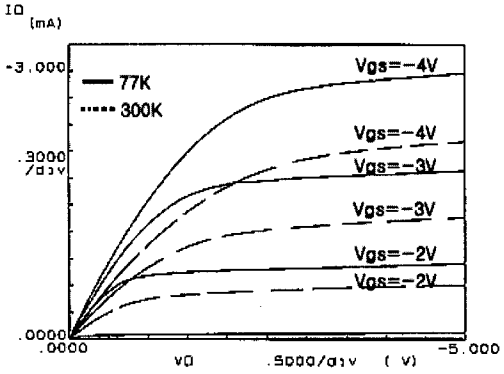

그림 5. 온도에 따른 PMOSFET의 IDS-VDS특성
Fig. 5. I_{DS}-V_{DS} characteristic curve of PMOSFET at 77K and 300K.

그림 7에서는 동작온도 감소에 따른 최대 트랜스컨

덕턴스의 변화를 보여주고 있다. 측정조건은 V_{ds}=0.1V 이다. 동작온도가 감소하면 채널의 이동도가 증가하여 트랜스컨덕턴스가 증가하지만 100K 근방의 임계온도 이하에서는 surface roughness/coulomb scattering mechanism에 의한 채널 이동도의 감소때문에 트랜스컨덕턴스가 감소하는 현상을 보이고 있다.

동작온도의 감소에 따라 채널의 이동도가 변하는 주원인은 비교적 높은 온도범위에서 채널 이동도는 주로 phonon scattering($\mu_p = \mu_p(200K)(T/200K)^{-n}$)에 의해 결정되는 반면, 저온에서는 coulomb scattering과 surface roughness scattering에 의해 이동도가 결정됨에서 비롯한다[5]. coulomb scattering은 Si의 ion보다는 Si-SiO_2 계면근처의 oxide charge에 의해 주로 영향을 받는다. 즉, 이 scattering에 의한 이동도는 oxide charge density의 함수($\mu_c^{-1} = aN_{ox} + bN_{ox}^2$)로 표현된다[6]. surface roughness scattering은 불완전한 계면에 의한 potential 불안정의 결과이며 온도와는 무관하며 공정에 의해 상당한 영향을 받는다 ($\mu_{sr}^{-1} = a_0 E_{eff}^m$).

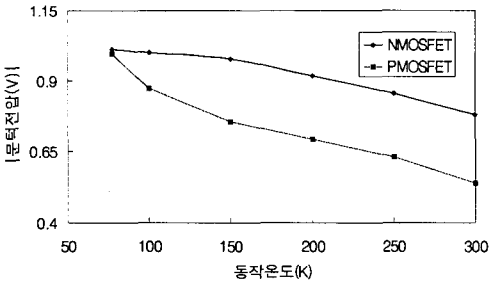

그림 6. 동작온도 변화에 따른 문턱전압의 변화
Fig. 6. Thershold voltage vs. temperature.

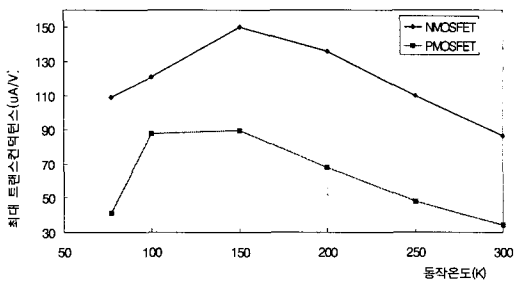

그림 7. 동작온도 변화에 따른 트랜스컨덕턴스
Fig. 7. Transconductance vs. temperature.

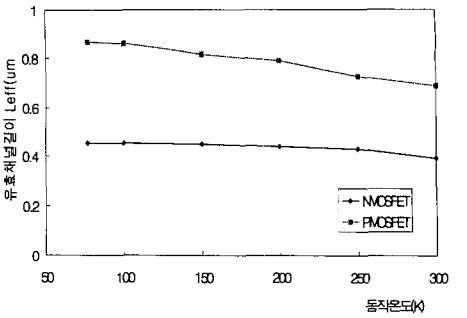

그림 8. 동작온도에 따른 유효채널길이 변화
Fig. 8. Effective channel length vs. temperature.

트랜스컨덕턴스의 증가는 MOSFET의 전류구동능력 증가를 의미하므로 저온에서 MOS 소자를 동작시키면 상온에 비해 더 큰 전류를 구동할 수 있는 장점을 가지게 된다.

MOSFET의 전기적 특성에 가장 큰 영향을 주는 요소 중의 하나가 유효 채널길이 L_{eff}라고 볼 수 있는데 그림 8에서 볼 수 있듯이 동작온도가 감소함에 따라 L_{eff}가 증가하기 때문에 마스크 채널길이와 유효 채널길이간의 차이가 줄어들어 짧은 채널효과가 감소하는 것을 알 수 있다. NMOS 소자가 PMOS 소자에 비해 L_{eff} 증가율이 작게 나타나는 이유는 앞서 말한 바와 같이 NMOS는 LDD 구조이므로 PMOS에 비해 charge-sharing 효과가 커서 S/D 영역의 채널점유가 상대적으로 크게 나타나기 때문이다.

동작온도 감소에 따른 V_{th}의 V_{DS} 의존성을 살펴보기 위해 DIBL(Drain Induced Barrier Lowering) 파라미터를 측정하여 그림 9에 보였다. 이 DIBL 파라미터는 유효 채널길이의 변화를 확인시켜주는 값이다.

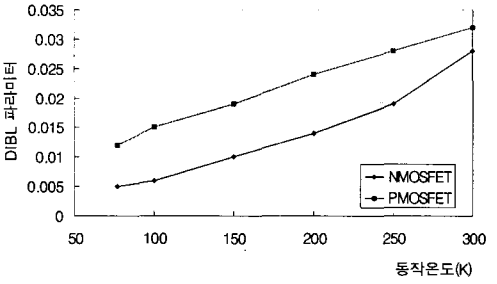

그림 9. 동작온도에 따른 DIBL 파라미터 변화
Fig. 9. DIBL parameter vs. tempeature.

그림 10에서는 동작온도에 따른 MOSFET 짧은

채널효과의 변화를 보기위해서 I_{DS}-V_{DS} 특성곡선에서 추출된 CLM(Channel Length Modulation) 파라미터를 보였다. 동작온도가 감소함에 따라 CLM 파라미터가 감소하는 현상으로부터 온도가 감소할수록 짧은 채널효과가 감소하는 것을 볼 수 있다.

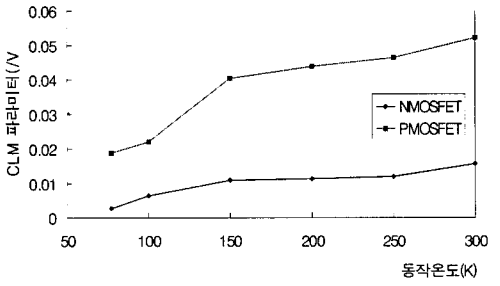

그림 10. 동작온도에 따른 CLM 파라미터
Fig. 10. CLM parameter vs. temperature.

이상의 결과로부터 MOSFET은 동작온도를 감소시킴에 따라 일반적인 전기적 특성이 향상되며 짧은 채널효과가 감소하고 저온동작용 소자를 제작할 경우 집적도를 향상시킬 수 있다는 장점을 가지는 것을 알 수 있다.

2. BJT의 전기적 특성 변화

그림 11에서 300K, 77K에서의 NPN BJT의 I_{CE}-V_{CE} 특성곡선을 보여주고 있다.

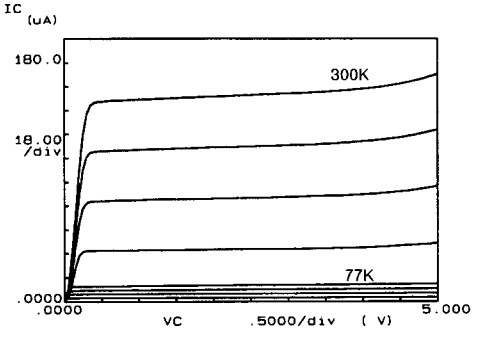

그림 11. 온도에 따른 NPN BJT의 IC-VCE곡선
Fig. 11. I_C-V_{CE} curve of NPN BJT at 77K and 300K.

300K에서 77K로 동작온도를 감소시켰을 때 77K에서의 I_{CE}가 90%정도까지 감소하는 현상으로부터 BJT는 동작온도가 감소함에 따라 전류구동능력이 급격히 감소함을 알 수 있다. BJT의 저온동작에서 가장 큰 문제점이 전류이득의 감소인데 그 주원인은 에미터와 베이스의 BGN(Band Gap Narrowing) 때문인 것으로 알려져 있다[6].

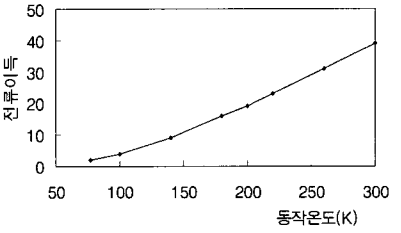

그림 12. 온도에 따른 NPN BJT의 전류이득
Fig. 12. NPN BJT current vs. temperature.

일반적으로 Bipolar 트랜지스터의 전류이득은,

$$\beta \cong \frac{n_{iB}^2 N_{DE} D_n^B L_p^E}{n_{iE}^2 N_{AB} D_p^E L_n^B} \coth\left(\frac{W_B}{L_n^B}\right) \tag{3}$$

이다. 그런데 BGN이 일어나면, 진성 캐리어 농도가 변화하여 트랜지스터의 전체 전류이득에 큰 영향을 미치게 된다. BGN 효과를 보기 위해 전류이득에서 진성 캐리어 농도의 항만 고려하면,

$$\beta \propto \frac{n_{iE}^2}{n_{iB}^2} \propto \exp\left(-\frac{\Delta E_{gE} - \Delta E_{gB}}{kT}\right) \tag{4}$$

이므로, 온도가 감소하면 전류이득이 지수함수적으로 감소함을 알 수 있다. BGN으로 인한 전류이득의 감소를 막기위해서는 베이스를 에미터와 거의 같은 수준으로 도핑해야 한다. 그러나 이것은 곧 전체 전류이득의 감소를 가져 오기 때문에 해결방법이 될 수 없다. 저온에서의 전류이득을 상온과 같은 수준으로 유지시킬 수 있는 방법중의 하나가 PSA 구조를 이용하는 것이다. PSA BJT의 전류이득이 conventional 소자의 전류이득보다 더 큰 것으로 밝혀졌으며, 그 이유는 polysilicon과 silicon 계면에 존재하는 자연 산화막의 minority carrier blocking 때문인 것으로 알려져 있다[7]. 이러한 메커니즘은 저온에서도 유효할 것이므로 BJT의 전류이득을 저온에서도 일정 수준이상으로 유지시킬 수 있을 것이다. 실제 실험에 사용한 소자도 PSA공정으로 제작되었지만, 에미터 저항을 줄이기위한 RTA 공정중에 자연 산화막이 파괴되어 PSA 소자의 특성이 나타나지 않은 것으로 보인다.

그림 13은 온도감소에 따른 포화전류이다. 온도가 감소할수록 포화전류가 급격히 감소하여 BJT의 콜렉터 전류 구동능력이 떨어지는 것을 알 수 있다.

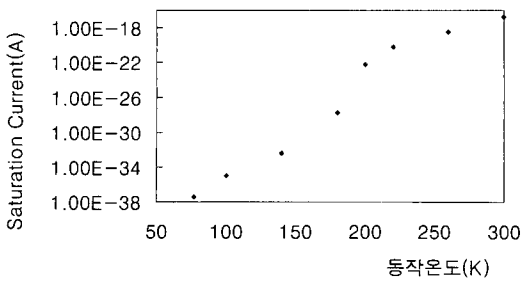

그림 13. 온도에 따른 NPN BJT의 포화전류
Fig. 13. NPN BJT saturation current vs. temperature.

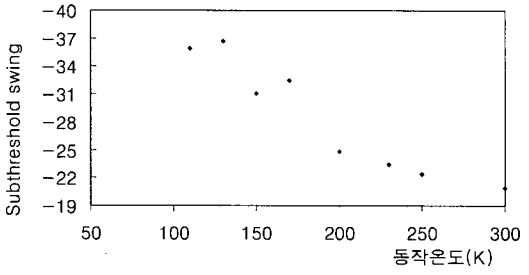

그림 14. 온도에따른 CMOS 인버터의 subthreshold swing
Fig. 14. Subthreshold swing of CMOS inverter vs. temperature.

3. CMOS 인버터의 전기적 특성 변화

그림 15에서는 동작온도 감소에 따른 CMOS 인버터의 특성곡선을 보여주고 있다. CMOS 인버터는 동작온도가 감소함에 따라 ON-OFF 특성이 향상되는 것을 볼 수 있으며 이로써 동작온도가 감소함에 따라 MOS의 누설전류가 감소하여 인버터 회로의 스위칭 특성 향상을 가져온다는 것을 보여준다.

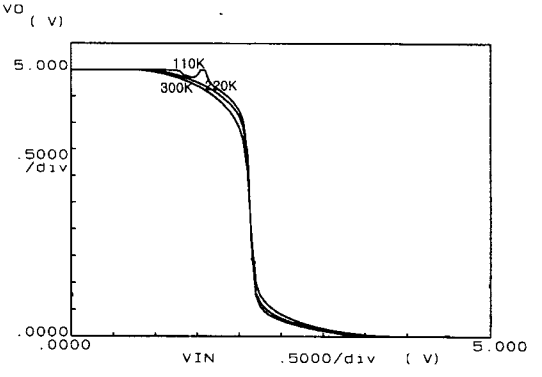

그림 15. 온도에 따른 CMOS 인버터의 출력특성
Fig. 15. output characteristic of CMOS inverter with temperature varing.

그림 14에서는 CMOS 인버터의 동작온도 감소에 따른 subthreshold swing의 변화를 보여주고 있다. 동작온도가 감소함에 따라 MOS 소자의 접합 정전용량이 감소하므로 인버터의 ON-OFF 특성의 향상을 가져올 수 있다.

4. PSA-BiCMOS 인버터의 전기적 특성 변화

그림 17은 PSA-BiCMOS 인버터의 subthreshold swing이다. subthreshold swing은 220K정도까지 증가하다 그 이하에서는 급격히 감소하였다. 온도가 감소할수록 MOSFET의 성능이 향상되어 인버터의 ON-OFF 특성이 좋아진다. BJT의 경우 Mott transition level 이하의 도핑에서는 200K 이하로 온도가 감소하면 베이스에 존재하는 compensating donor site에 의한 소수 캐리어 트래핑으로 base storage time이 증가한다.

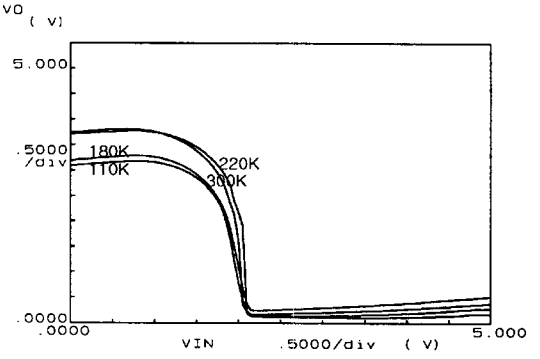

그림 16. 온도에 따른 BiCMOS 인버터의 출력특성
Fig. 16. Output characteristic of BiCMOS inverter with temperature varing.

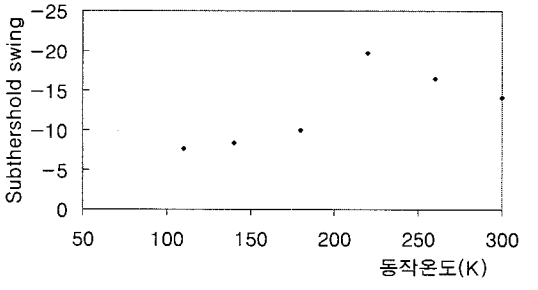

그림 17. 온도에 따른 PSA-BiCMOS 인버터의 subthreshold swing
Fig. 17. Subthreshold swing of PSA-BiCMOS inverter vs. temperature.

따라서 이 때 트랜지스터의 turn-off 특성이 급격히 저하되고, 이로 말미암아 200K 이하에서 전체적인

PSA-BiCMOS 인버터의 성능이 저하되는 것으로 생각된다.

V. 결 론

본 논문에서는 MOSFET, BJT, CMOS/BiCMOS 인버터의 저온에서의 전기적 특성변화를 살펴보았다.

MOSFET의 경우 submicron 소자에서 가장 큰 문제가 되는 짧은채널 효과가 감소하는 것을 볼 수 있었으며 이외에도 I_{DS}-V_{DS} 특성, 최대 트랜스컨덕턴스 등 전반적인 전기적 특성이 향상되는 것을 볼 수 있었다. 이러한 MOSFET의 저온특성 향상으로 인해 CMOS 인버터의 전기적 특성 또한 동작온도가 감소할수록 향상되는 것을 볼 수 있었다. 반면, BJT는 BGN 현상에 의해 전류이득이 감소하는 문제점을 였보다.

이와 같은 MOSFET/BJT의 저온특성에 의해 PSA- BiCMOS 인버터는 300K에서부터 220K 정도까지는 온도가 감소함에 따라 스위칭 특성이 향상되는 것을 볼 수 있었지만, 220K 이하에서는 온도가 감소함에 따라 load driver단 BJT의 저온특성 저하가 PSA-BiCMOS 인버터의 출력에 영향을 미쳐 스위칭 특성이 저하되는 문제점을 드러내었다. 즉, 일반적인 PSA 공정으로 제작된 BiCMOS 회로는 200K 근방에서 최상의 성능을 보이지만 그 이하의 온도에서는 오히려 성능이 저하되는 것을 알 수 있다. 따라서 BiCMOS 회로가 200K 이하에서도 성능향상이 이루어지기 위해서는 저온동작에 최적화된 BJT를 설계하는 것이 필요하다.

참 고 문 헌

[1] F. H. Gaensslen, V. L. Rideout, E. J. Walker, and J. J. Walker, "Very small MOSFET's for low-temperature operation," *IEEE, Trans. Electron Devices* vol. ED-24, pp. 218-229, 1977.

[2] D. W. Duke, "Use of the ETA-10 supercomputer; A status report," in *Proc. Smp. Low Temperature Electronics and High Temperature Superconductors* (Electorchem. Soc.), vol. 88-9, 1988, pp. 30-38.

[3] K. Seeger, "Semiconductor Physics." Springer-Verlag, 1985.

[4] N. G. Einspruch, G. Sh. Gildenblat, "VLSI Electronics Microstructure Science" vol. 18, Academic Press Inc, 1991.

[5] Narain Arora, "MOSFET Models for VLSI Circuit Simulation," Springer-Verlag, 1993.

[6] D. S. Jeon and D. E. Burk, "MOSFET Electron Inversion Layer Mobilities-A Physically Based Semi-Empirical Model for a Wide Temperature Range," *IEEE Trans. Electron Devices*, vol. 36, no. 8, pp. 1456-1463, August 1989.

[7] W. W. Gartner, "Temperature dependence of junction transistor parameters," *Proc. IRE*, pp. 662-677, 1957.

[8] Jason C. S. Woo, James D. Plummer, "Optimization of Silicon Bipolar Transistors for High Current Gain at Low Temperatures," *IEEE, Trans. Electron Devices* vol. ED-37, pp. 1311-1321, 1988.

저 자 소 개

安 哲(正會員) 第 33卷 A編 第 4號 參照
현재 서강대학교 전자공학과 교수

具 用 書(正會員) 第 33卷 A編 第 4號 參照
현재 서경대학교 컴퓨터공학과 조교수

郭 元 榮(正會員)
1996년 2월 서강대학교 전자공학과 졸업(공학사). 1998년 8월 ~ 현재 서강대학교 대학원 전자공학과 석사과정. 주관심분야는 반도체소자의 저온특성 분석 및 BCD 소자 설계