

# 밀리미터파 플립 칩 실장구조에서의 누설파와 간섭효과 억제방법

## (Suppression of leakage and crosstalk in millimeter-wave flip-chip packages)

李啓安\*, 李海英\*

(Gye-An Lee and Hai-Young Lee)

### 요 약

플립 칩 실장구조에서, GaAs와 알루미나 주기판의 구조 및 재료에 따른 전송 전력의 누설현상을 완전 해석법 (full-wave spectral domain approach)을 이용하여 해석하고, 칩간 혼신 및 전송선에서 발생하는 공진 효과를 줄이기 위한 방법을 제안하였다. 해석결과, longitudinal section magnetic mode가 coplanar waveguide 누설파의 주된 요소이고 LSM0 모드에 의한 전송 전력의 누설은 적절한 주기판의 두께, 재료 그리고 칩과 기판 사이의 간격을 조절하여 억제할 수 있음을 확인하였다. 본 해석결과는 고주파 집적소자의 설계 및 플립 칩 실장에 유용하게 사용될 수 있다.

### Abstract

Leakage phenomena of flip-chip structures on common GaAs and alumina main substrates are characterized using the spectral domain approach to reduce the possible chip-to-chip crosstalk and transmission resonance. We have found that the longitudinal section magnetic mode is dominant for the coplanar waveguide leakage and the leakage can be suppressed by properly managing the gap height and the main substrate thickness in addition to the dielectric constant. These calculation results will be helpful for designing and flip-chip packaging of high-frequency integrated circuits.

### I. 서 론

최근 초고속, 대용량 통신 시스템의 구현은 다기능, 초소형 고속 반도체 소자의 개발을 기본 전제로 요구하고 있다. 이러한 고속 반도체 소자들의 상용화는 주파수 및 동작 속도가 급격히 높아지므로써 반도체 칩 자체 뿐 아니라 실장 물질, 실장 형태 등의 외적인 요소에 의하여 반도체 소자의 전체 특성이 크게 영향받

으므로 소자의 실장 (Packaging) 기술 개발의 중요성이 강조되고 있다. 특히, 단일 기판 초고주파 집적회로 (MMIC)는 고밀도, 고속 실장기술을 요구하나, 기존의 와이어 본딩 기술은 밀리미터파 대역에서의 큰 기생성분 (parasitic)과 넓은 점유 면적으로 인하여 전기적 성능 및 고밀도 구성을 크게 제한한다<sup>[1]</sup>. 이에 따라 이러한 기생효과를 크게 줄일 수 있는 본딩 방법으로서 최근 솔더 범프 (solder bump)를 이용한 플립 칩 본딩 기술에 대한 연구가 활발히 진행되고 있다. 플립 칩 본딩 기술은 접속선 길이가 매우 짧아 기생성분이 작고 고밀도 실장이 가능하여 주로 초소형 다기능 모듈의 고밀도 실장에 적용되고 있으며 최근 칩 스케일 패키지 (chip-scale package), 멀티 칩 모듈 (multichip module) 등으로 그 응용분야가 확대되고

\* 正會員, 亞洲大學校 電氣電子工學部

(School of Electrical and Electronics Engineering, Ajou University)

※ 이 연구는 1996년도 정보통신부의 연구비 지원(과제 번호: U96-135)에 의한 결과임.

接受日字: 1997年12月29日, 수정완료일: 1998年3月24日

있다 [2].

그러나, 플립 칩 구조는 밀리미터파 대역에서 전송 전력 누설로 인하여 인근 회로간의 신호 간섭을 발생 시키며, 이는 구조적으로 발생하는 여러 기생 모드의 영향에 기인한다 [3]. 이러한 기생 모드들 중 플립 칩 기판에서 발생하는 Transverse Magnetic ( $TM_0$ ) 모드는 Coplanar Waveguide (CPW) 플립 칩의 접지면 (ground plane)과 기판에 의하여 발생하는 누설 모드이다 [4]. 그러나, 칩의 삽입 손실은 주로 도체 손실에 의해 영향을 받으므로 플립 칩 기판의  $TM_0$  모드에 의한 누설 영향은 매우 미약하다. 이러한,  $TM_0$  모드에 의한 에너지 누설영향은 적절한 칩 두께 ( $h_c$ )를 이용하여 제거된다 [5]. 이와 비교하여, 그림 1에 보인 바와 같이 칩과 주기판사이의 공기층 (air gap)과 주기판의 유전율이 동일하지 않으므로써 발생하는 Longitudinal Section Magnetic ( $LSM_0$ ) 모드는 CPW 모드의 누설을 일으켜 인접 칩간의 심각한 혼신 및 유한 주기판에 의한 다중 반사에 의한 공진 효과를 가져온다 [3]. T. Krems는 낮은 유전상수의 석영 ( $\epsilon_r = 3.8$ )을 주기판으로 이용하여  $LSM_0$  모드에 의한 누설과 발생을 무시하였다 [5]. 그러나, 밀리미터파 대역의 플립 칩에 사용되는 대표적인 주기판 재료 (GaAs, 알루미늄 등)들은 대부분 높은 유전상수를 갖는다. 이러한 주기판에 실장된 플립 칩 구조는  $LSM_0$  모드에 의한 누설과 영향을 무시할 수 없다. 특히,  $LSM_0$  모드에 의한 전송 전력의 누설은 인접 회로에 영향을 미치므로 모드의 증가 특성과 발생조건을 확인하고 구조적 변화에 따른 억제 조건을 정확히 설정하는 것이 필요하다. 그러나, 플립 칩 구조에서 인근 칩과의 혼신에 영향을 미치는  $LSM_0$  모드의 특성 및 억제조건은 국내의 관련 자료에 보고된 바 없다.

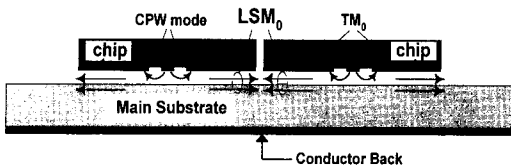


그림 1.  $LSM_0$  표면파에 의한 인근 신호선과의 혼신 도해

Fig. 1. Schematic of crosstalk to neighboring circuits by  $LSM_0$  surface wave.

본 논문에서는 플립 칩 실장 구조의 다층 구조를 full-wave spectral domain approach (SDA) [6]

를 이용하여 주파수 및 칩과 주기판 사이의 간격 변화에 따라 해석하였다. 주기판 재료로는 전기적 특성이 비교적 우수하여 광범위하게 사용되는 GaAs ( $\epsilon_r = 12.9$ )와 알루미늄 ( $\epsilon_r = 9.6$ )를 고려하였다. 해석 결과, 두꺼운 주기판에 비하여 얇은 주기판이 전송 전력 누설 억제에 유리하며 GaAs 주기판에 비하여 알루미늄 주기판이 무누설 주파수 대역 및 솔더 범프 (solder bump) 높이 감소 측면에서 각각 23 GHz, 41  $\mu m$  향상됨을 관찰하였다. 주기판이 알루미늄일 때, 무누설 조건을 만족하는 칩과 기판 사이 간격은 32  $\mu m$ 로 계산되었으며, 이 결과는 유한 요소법 (Finite Element Method)에 의한 해석 및 측정결과 [7]와 일치함을 확인하였다. 본 해석결과는  $LSM_0$  모드의 특성을 이해하고 MMIC 또는 초고속 IC의 CPW 플립 칩 실장시 누설과 억제를 고려한 최적화 설계에 참고 자료로 활용 될 수 있다.

## II. 구조 및 해석 방법

### 1. 플립 칩 구조

CPW 플립 칩 실장구조의 전송 전력 누설을 해석하기 위하여 일반적인 CPW 플립 칩 구조를 선택하여 그림 2에 개략적으로 도시하였으며, 칩과 주기판 사이에 존재하는  $LSM_0$  모드의 영향만을 관찰하기 위하여 솔더 범프 (solder bump)는 고려하지 않았다. 그림에 보인 GaAs ( $\epsilon_r = 12.9$ ) CPW 플립 칩 구조는 635  $\mu m$  두께 ( $h_c$ )의 주기판에 적절한 높이의 간격 ( $h_g$ )을 두고 위치하고 있으며, CPW 전송선 구조의 신호선 폭 ( $W$ ), 신호선과 접지선과의 간격 ( $S$ )을 각각 20  $\mu m$ , 15  $\mu m$ 으로 하여 50  $\Omega$  특성 임피던스 ( $Z_0$ )를 유지하도록 하였다. 그림 2에서  $\epsilon_{rg}$ 는 칩과 주기판 사이에 있는 재료 (공기)의 유전상수로 1에 대응되고  $\epsilon_{rs}$ 는 주기판의 유전상수를 의미한다. 또한, 주기판의 재료는 초고주파 회로에 널리 사용되는 GaAs ( $\epsilon_r = 12.9$ )와 알루미늄 ( $\epsilon_r = 9.6$ )를 이용하여 주기판의 유전상수 ( $\epsilon_{rs}$ ), 두께 ( $h_s$ ) 및 칩과 주기판 사이의 간격 ( $h_g$ ) 변화에 따른  $LSM_0$  모드의 누설과 특성을 계산하였다.

### 2. SDA를 이용한 CPW 해석

그림 2에 보인 CPW 플립 칩 실장 구조는 SDA를 이용하여 10 GHz에서 100 GHz 까지 해석되었다. CPW 플립 칩 실장구조에 SDA를 적용하기 위하여

CPW 전송선 구조를 coupled slot 구조로 고려하였다. 이는 고려된 CPW 전송선에 분포하는 전계분포 (E-field)를 충분히 나타낼 수 있도록 slotline에 대한 기본함수 (basis function)를 이용하기 위해서이다. 그러나, CPW 구조는 slotline과 달리 각 slot에서의 전계분포가 slot의 중심을 기준으로 대칭이 되지 않으므로 접선 전계 성분 ( $E_x, E_z$ )에 각각 기수 기본함수와 우수 기본함수를 부가하여 CPW 플립 칩 실장구조에 적합한 기본함수를 결정하였다. 이와 같은 첨가된 기본함수는 아래의 식 (1), (2)에 나타내었다.

$$E_{xn}(x) = \begin{cases} \frac{\cos(n\pi x/w)}{\sqrt{1-(2x/w)^2}}, & n=0, 2, \dots \\ \frac{\sin(n\pi x/w)}{\sqrt{1-(2x/w)^2}}, & n=1, 3, \dots \end{cases} \quad (1)$$

$$E_{zn}(x) = \begin{cases} \frac{\cos(n\pi x/w)}{\sqrt{1-(2x/w)^2}}, & n=1, 3, \dots \\ \frac{\sin(n\pi x/w)}{\sqrt{1-(2x/w)^2}}, & n=2, 4, \dots \end{cases} \quad (2)$$

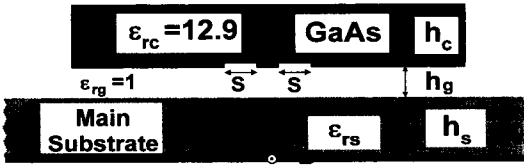


그림 2. 주기판에 표면 실장된 GaAs CPW 플립 칩 실장구조  
Fig. 2. GaAs CPW flip-chip mounted on common main substrate.

여기서 부가된 기본함수는  $E_x$ 에  $n = 0$  그리고  $E_z$ 에  $n = 1$ 의 함수를 이용하여 얻었다. 이 기본함수는 그림 3에 보인 전계분포를 이용한 CPW 전송선구조의 전계 전계 분포로부터 결정된다. 이와 같은 기본함수에 의해 얻어지는 전계분포는 Fourier 변환 후 Galerkin's process를 취하여 다음의 행렬식으로 정리된다.

$$\begin{bmatrix} \int \tilde{E}_{x1} \tilde{Y}_{xx} \tilde{E}_{x1} & \int \tilde{E}_{x1} \tilde{Y}_{xx} \tilde{E}_{z2} & \int \tilde{E}_{x1} \tilde{E}_{xx} \tilde{E}_{z1} \\ \int \tilde{E}_{z2} \tilde{Y}_{xx} \tilde{E}_{x1} & \int \tilde{E}_{z2} \tilde{Y}_{xx} \tilde{E}_{z2} & \int \tilde{E}_{z2} \tilde{Y}_{xx} \tilde{E}_{z1} \\ \int \tilde{E}_{z1} \tilde{Y}_{zx} \tilde{E}_{x1} & \int \tilde{E}_{z1} \tilde{Y}_{zx} \tilde{E}_{z2} & \int \tilde{E}_{z1} \tilde{Y}_{zx} \tilde{E}_{z1} \end{bmatrix} \begin{bmatrix} c_1 \\ c_2 \\ d_1 \end{bmatrix} \quad (3)$$

여기서  $\tilde{Y}_{xx}, \tilde{Y}_{zz}, \tilde{Y}_{zx}, \tilde{Y}_{xz}$ 는 Immittance approach에 의해 얻어지는 spectral domain Green's function 이다. Immittance approach를 적용하기 위

하여 다층 구조의 플립 칩을 횡 방향 전계성분 (TE)과 자계성분 (TM)으로 분해하여 각각의 등가 전송선으로 표현하였다 [7]. 위 행렬식으로부터 CPW 플립 칩 실장구조 전송선의 주파수에 따른 위상상수 ( $\beta$ )를 구한다. 자세한 SDA 계산 과정은 [9]에 설명되어 있어 여기서는 상세한 기술은 생략하였다.

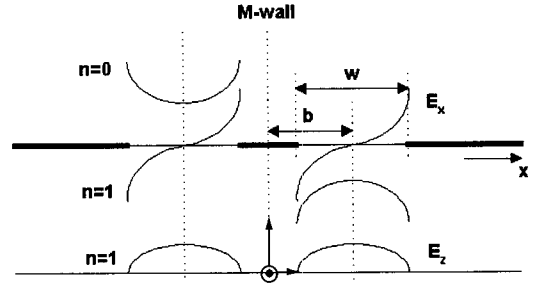


그림 3. CPW 해석을 위한 전계분포 기본함수의 형태  
Fig. 3. Electric field basis functions for CPW.

3. 해석적 방법을 이용한 LSM0와 TM0 모드 해석  
CPW 플립 칩 실장구조에서 발생하는 기생모드의 위상상수를 해석적 방법을 이용하여 계산하였다. 우선, 플립 칩 실장구조에 사용되는 주기판의 영향을 관찰하기 위하여 유전상수 ( $\epsilon_{rs}$ ), 두께 ( $h_s$ )의 변화에 따른 LSM0 모드의 누설파 특성을 계산하였다. CPW 플립 칩의 도체 strip과 주기판 후면 도체 사이의 비균일 구조에 의해 발생하는 LSM 모드의 위상상수를 식 (4)에 의하여 구한다.

$$v \tan v = -\epsilon_{rs} \frac{h_s}{h_g} u \tan u, \quad \left(\frac{v}{h_s}\right)^2 - \left(\frac{u}{h_g}\right)^2 = (\epsilon_{rs} - 1) k_0^2 \quad (4)$$

식 (4)의 고유 방정식은 플립 칩 실장구조에서 발생하는 고차 LSM 모드를 포함한다. 이와 같은 복잡한 고차 모드에서 누설파 발생에 직접적인 영향을 주는 주 모드를 구별하기 위하여 본 논문에서는 식 (5)를 사용하여 기본 LSM0 모드를 계산하였다.

$$\begin{aligned} \frac{p}{\epsilon_{rs}} \tanh(ph_s) &= \frac{q}{\epsilon_{rg}} \tanh(qh_g) \\ \beta^2 - p^2 &= \epsilon_{rs} k_0^2 \\ \beta^2 + q^2 &= \epsilon_{rg} k_0^2 \end{aligned} \quad (5)$$

여기서  $p$ 와  $q$ 는  $q^2 = \epsilon_{rg} k_0^2 - \beta^2$ ,  $p^2 = (\epsilon_{rs} - 1) k_0^2 - q^2$ 로 정의되어 위상상수 ( $\beta$ )를 얻기 위한 고유값 (eigenvalues)으로 사용된다. 다음으로, 플립 칩

자체의 기판과 접지면을 통하여 발생하는  $TM_0$  모드는 플립 칩 기판의 두께 ( $h_c$ )와 유전상수 ( $\epsilon_{rc}$ )에 의하여 증가율 및 위상상수가 결정되어진다. 본 논문에서는 식 (6)을 통하여  $TM_0$  모드의 위상상수 값을 계산하였다.

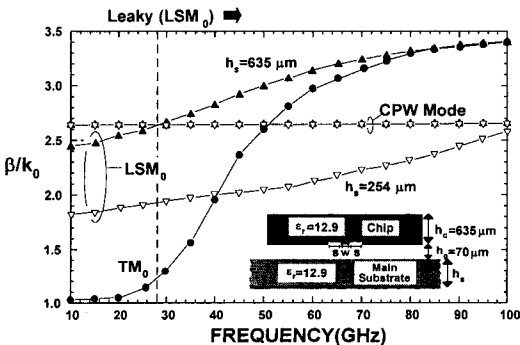
$$\begin{aligned} \epsilon_{rc}bt &= ht \tan ht \\ (pt)^2 + (ht)^2 &= (\epsilon_{rc}-1)(k_0t)^2 \\ \beta^2 &= \epsilon_{rc}k_0^2 - h^2 \\ \beta^2 &= k_0^2 + p^2 \end{aligned} \tag{6}$$

여기서  $t$ 는 칩 두께 ( $h_c$ )의 절반을 의미하며  $h$ 와  $p$ 는 위상상수를 얻기 위한 고유 값이다. 이와 같은 해석적 방법에 의한 누설모드 ( $LSM_0$ ,  $TM_0$ )의 해석은 [10]에 자세히 설명되어 있다.

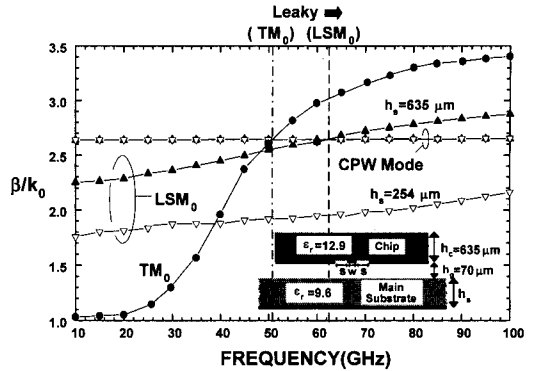
### III. 해석 결과

#### 1. 주기판 구조에 따른 누설특성

각기 다른 두께 ( $h_s = 635 \mu\text{m}$ ,  $254 \mu\text{m}$ )의 GaAs와 알루미늄 주기판에 표면 실장된 CPW 플립 칩 실장 구조의 주파수에 따른 주 모드와 기생 모드의 위상상수를 SDA로 계산하여 그림 4(a), (b)에 각각 도시하였다. 주파수의 증가에 따라 CPW,  $LSM_0$  그리고  $TM_0$  모드의 위상상수가 모두 증가함을 볼 수 있다. 그러나,  $LSM_0$  모드와  $TM_0$  모드의 위상상수는 주파수의 증가에 따라 CPW 모드에 비하여 급격하게 증가하는데 이는 큰 분산특성에 기인한다. 그림 4(a)로부터, 얇은 주기판 ( $h_s = 254 \mu\text{m}$ )과 두꺼운 주기판 ( $h_s = 635 \mu\text{m}$ )의 CPW 모드의 위상상수는 거의 일정함을 알 수 있다.



(a)



(b)

그림 4. (a) GaAs (b) 알루미늄 주기판 ( $h_s=635 \mu\text{m}$ ,  $254 \mu\text{m}$ )에 표면 실장된 CPW 플립 칩 ( $w=20 \mu\text{m}$ ,  $s=15 \mu\text{m}$ )의 정규화된 위상상수

Fig. 4. Normalized phase constants of CPW flip-chip ( $w=20 \mu\text{m}$ ,  $s=15 \mu\text{m}$ ) mounted on (a) GaAs (b) Alumina main substrates ( $h_s=635 \mu\text{m}$ ,  $254 \mu\text{m}$ ).

이에 반하여,  $LSM_0$  모드의 위상상수는 증가속도가 주기판 두께의 영향을 받아 두꺼운 주기판 ( $h_s = 635 \mu\text{m}$ )에 표면 실장된 CPW 플립 칩은 28 GHz에서 CPW 모드와  $LSM_0$  모드가 교차함을 알 수 있다. 이로부터, 28 GHz 이상의 영역에서는 CPW 모드가 더 이상 순수한 주모드로 전달되지 못하고 횡 (transverse)방향으로 전송 전력이 누설되는  $LSM_0$  모드가 우세해짐을 알 수 있다. 이는 전자계 분포 메커니즘에 기인한다. 누설 모드의 발생은 플립 칩 패키지에서의 전자계 분포에 의하는 데 높은 유효 유전율 영역으로의 전자계 집중 현상에 의해 발생된다 [11]. 고려한 CPW 플립 칩 구조에서 발생된 정규화된 위상상수는 각 모드의 유효 유전상수와 비례하므로 높은 위상상수의 모드로 에너지가 집중됨을 알 수 있다. 이에 비하여 얇은 주기판에 표면 실장된 CPW 플립 칩에서 발생하는  $LSM_0$  모드의 위상상수는 두꺼운 주기판에 비하여 증가율이 감소되어 CPW 모드와  $LSM_0$  모드의 교차영역이 100 GHz 이상에서 발생됨을 확인하였다. 이러한  $LSM_0$  모드의 위상상수와 증가율의 감소는 높은 유효 유전율의 주기판이 얇아짐으로 인하여 솔더 범프(solder bump)에 의한 공기층 ( $h_g$ )과 주기판에 의해 영향을 받는  $LSM_0$  모드의 유효 유전상수가 감소하기 때문이다. 그림 4(b)로부터, 알루미늄 주기판의

CPW 플립칩 실장 구조는 51 GHz와 62 GHz에서 각각  $TM_0$ ,  $LSM_0$  모드에 의한 누설성분이 발생됨을 확인하였다.  $TM_0$  모드에 의한 누설성분은 CPW 전송선의 도체 손실과 비교하여 무시되고 칩 기판 ( $h_c$ )의 두께를 적절히 설정함으로써 줄일 수 있다<sup>[5]</sup>. 이에 비하여, 낮은 유전상수 ( $\epsilon_r = 9.6$ )의 알루미늄 주 기판에 의한  $LSM_0$  모드의 증가 속도는 동일한 두께의 GaAs 주기판에 비하여 증가율이 감소됨을 확인할 수 있다. 이로부터, 알루미늄 주기판을 이용한 실장 구조는 62 GHz에서 CPW 모드와  $LSM_0$  모드가 교차됨을 관찰하였다. 이와같은 결과를 통하여 동일한 두께의 GaAs 주기판보다 낮은 유전율의 알루미늄 기판이  $LSM_0$  모드에 의한 무누설 주파수 대역을 23 GHz 확대 시킴을 확인하였다. 이와 같은  $LSM_0$  모드 증가율의 감소는 얇은 두께 및 낮은 유전율의 주기판을 사용하여 인근 신호선에 영향을 주는  $LSM_0$  모드의 발생을 억제시킴을 예상할 수 있다.

2. 칩과 기판 간격에 따른 누설특성

그림 5(a)에 주기판으로 GaAs를 사용할 때 발생하는  $LSM_0$  모드의 위상상수를 공기층 ( $h_g$ )의 변화에 따라 도시하여 칩과 기판사이의 간격과 전송 전력 누설 관계를 확인하였다. 주기판으로 GaAs를 사용할 때 발생하는  $LSM_0$  모드의 위상상수는  $h_g$ 의 증가에 따라 감소하며  $h_g$ 가 75  $\mu m$  일 때 CPW 모드와  $LSM_0$  모드의 위상상수가 교차함을 볼 수 있다. 그러므로 GaAs 주기판에 표면 실장된 CPW 플립 칩 실장구조는 75  $\mu m$  이하의  $h_g$ 에서  $LSM_0$  모드에 의한 전송 전력 누설이 발생되므로 순수한 CPW 모드만의 신호 전송을 할 수 없게 된다. 한편, 알루미늄 주기판을 사용할 때 CPW 모드 및  $LSM_0$  모드의 위상상수를 그림 5(b)에 도시하였다. 그림으로부터 주기판이 알루미늄 나일 때, 무누설 조건을 만족하는 칩과 기판사이의 간격은 34  $\mu m$  이상으로 계산되었으며, 이 결과는 유한 요소법 (Finite Element Method)에 의한 해석 및 측정결과와 잘 일치함을 확인하였다<sup>[7]</sup>. 그림 5(a), (b)의 비교로부터 낮은 유전율의 주기판을 사용하는 경우 높은 유전율의 주기판보다 낮은  $h_g$ 로  $LSM_0$  모드에 의한 전송 전력 누설을 억제하여 인접한 회로간의 간섭현상을 제한할 수 있음을 확인하였다. 위 결과에서 주기판의 두께 ( $h_s$ ) 및 유전율 ( $\epsilon_{rs}$ )이 일정한 단일 기판 상에 위치하는 칩들의 높이를 적절히 조절

하므로써 주기판 구조의 변화 없이 이웃하는 칩들 사이의 전송 전력 누설에 의한 상호 영향을 제거할 수 있음을 보였다. 이와 같은 결과를 이용하여 주기판의 두께 및 유전율을 적절히 조정함으로써 플립 칩 본딩의 전기적 연결선을 짧게 하고 기생 성분 (parasitic)을 줄여 초소형 모듈의 고밀도 실장에 적합한 구조를 설계할 수 있다.

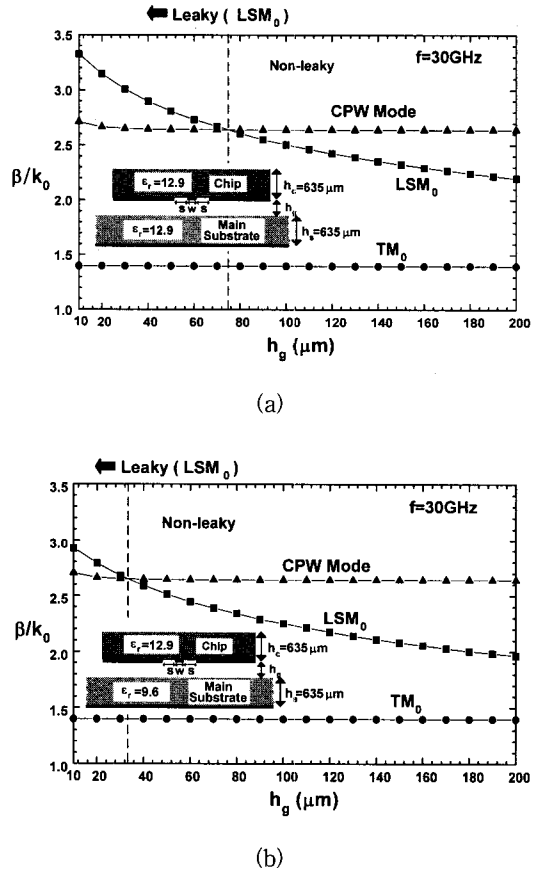


그림 5. (a) GaAs (b) 알루미늄 주기판 ( $w=20 \mu m$ ,  $s=15 \mu m$ ) 경우의 gap 높이에 따른 정규화된 위상상수

Fig. 5. Normalized phase constants to the gap height for (a) GaAs (b) Alumina main substrates ( $w=20 \mu m$ ,  $s=15 \mu m$ ).

IV. 결론

일반적인 플립 칩 실장구조에서 발생하는 전송 전력 누설을 SDA를 이용하여 광대역 주파수에서 해석하였다. GaAs와 알루미늄 주기판에 실장된 플립 칩 구조의  $LSM_0$  모드가 칩과 칩 사이의 간섭 및 공진 효과

에 영향을 미침을 확인하였다. 주기판 두께를 변화시키면서 계산한 결과, 기판의 두께가 상대적으로 얇은 구조가 두꺼운 기판을 갖는 구조보다 순수한 CPW 모드 전송의 주파수영역이 향상되었다. 또한, 주기판 재료를 GaAs와 알루미늄으로 사용한 경우, 유전상수가 상대적으로 낮은 알루미늄이 GaAs보다 LSM<sub>0</sub>에 의한 무누설 주파수 대역이 23 GHz 확대됨을 관찰하였다. 특히, 범프 (bump) 높이를 결정하는 칩과 주기판 사이의 간격을 알루미늄이 주기판은 34  $\mu\text{m}$ 까지 감소시킬 수 있으므로 75  $\mu\text{m}$ 의 GaAs 주기판보다 낮은 기생분에서 순수한 CPW 모드를 전송하는 CPW 플립 칩 구조를 설계할 수 있음을 확인하였다. 이로써, LSM<sub>0</sub> 모드에 의한 전송 전력 누설은 적절한 주기판의 두께, 재료 그리고 칩과 기판 사이의 간격을 조절하여 억제할 수 있음을 관찰하였다. 본 연구 결과는 밀리미터파의 MMIC 또는 초고속 IC의 CPW 플립 칩 실장시 누설과 억제를 고려한 최적화 설계에 참고 자료로 활용 될 것으로 기대된다.

#### 참 고 문 헌

- [1] H.-Y. Lee, "Wideband characterization of a typical bonding wire for microwave and millimeter-wave integrated circuits," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-43, no. 1, pp. 63-68, Jan. 1995.
- [2] T. Krems, W. Haydl, H. Massler, J. Rüdiger, "Millimeter-wave performance of interconnections using wire bonding and flip chip," *Proc. IEEE MTT-s. Dig.*, San Francisco, CA, pp. 247-250, 1996.
- [3] G.-A. Lee and H.-Y. Lee, "Suppression of Leakage and Crosstalk in Typical Millimeter-wave Flip-Chip Packages," 6th Topical Meeting on Electrical Performance of Electronic Packaging, EPEP '97, pp. 195-198, Oct. 1997.
- [4] M. Tsuji, H. Shigesawa, and A. A. Oliner, "New surface-wave-like mode on CPWs of infinite width and its role in explaining the leakage cancellation effect," in *IEEE MTT-S int. Microwave Symp. Dig.*, pp. 495-498, 1992.
- [5] T. Krems, W. H. Haydl, H. Massler and J. Rüdiger, "Advantages of flip chip technology in millimeter-wave packaging," *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 987-990, 1997.
- [6] T. Itoh and R. Mittra, "Spectral domain approach for calculating the dispersion characteristics of microstrip lines," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-21, pp. 496-499, July 1973.
- [7] Y. Arai, M. Sato, H. T. Yamada, T. Hamada, K. Nagai and H. I. Fujishiro, "60 GHz flip-chip assembled MIC design considering chip-substrate effect," *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 447-450, 1997.
- [8] T. Itoh, "Spectral domain immittance approach for dispersion characteristics of generalized printed transmission lines," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-28, pp. 733-736, July 1980.
- [9] T. Itoh, *Numerical Techniques for Microwave and Millimeter-Wave Passive Structures*. New York: Wiley, 1989.
- [10] R. E. Collin, *Field Theory of Guided Waves*, 2nd ed. New York: IEEE Press, 1991.
- [11] Y. Liu, K. Cha and T. Itoh, "Non-Leaky Coplanar (NLC) Waveguide with Conductor Backing," *IEEE Trans. Microwave Theory Tech.*, vol. 43, pp. 1067-1072, May 1995.

저 자 소 개



李 啓 安(正會員)

1997년 아주대학교 전자공학과 졸업  
(공학사). 1997년 ~ 현재 아주대학  
교 대학원 전자공학과 석사과정 재학  
중. 주관심분야는 초고주파 및 밀리  
미터파 소자 패키지의 해석 및 설계

李 海 英(正會員) 第 34卷 D編 第 9號 參照

현재 아주대학교 전자공학과 부교수