

論文98-35D-2-4

## 플라즈마 식각 모델링 및 3차원 토포그래피 시뮬레이터 개발

## (Modeling of Plasma Etching and Development of Three-Dimensional Topography Simulator)

權五燮\*, 李濟熙\*, 尹相鎬\*, 潘用瓚\*, 金演泰\*, 元太映\*

(Oh-seob Kwon, Jae-hee Lee, Sang-ho Yoon, Yong-chan Ban, Youn-tae Kim, and Tae-young Won)

## 요 약

본 논문에서는 반도체 단위 공정 중 플라즈마 식각 공정에 대한 모델링을 수행하였고, 웨이퍼 표면의 토포그래피 진화를 모의 실험할 수 있는 3차원 토포그래피 시뮬레이터인, 3D-SURFILER(SURface proFILER)를 개발하였다. 웨이퍼 표면의 진화를 수학적으로 구현하기 위하여 셀 제거 알고리즘이 적용되었으며, 마스크의 기하학적 형상에 따라 나타나는 그림자 효과(Shadow effect)를 고려한 가시도(Visibility) 계산 알고리즘과 스페이버 알고리즘을 개발하였다. 개발된 3D-SURFILER의 성능을 검증하기 위해 질화막에 대한 건식 식각 및 반응성 이온 식각(Reactive Ion Etching, RIE) 공정과 백금(Pt)에 대하여 ICP(Inductively Coupled Plasma) 공정과 반응성 이온 식각 공정을 수행하고, 시뮬레이션한 결과와 비교하여 식각면의 토포그래피가 일치함을 검증하였다.

## Abstract

In this paper, we report the result of the three-dimensional topography simulator, 3D-SURFILER(SURface proFILER) for the simulation of topographical evolution of the surface, during a plasma etching process. We employed cell-removal algorithm to represent the topographical evolution of the surface. The visibility with shadow effect was developed and applied to the spillover algorithm. To demonstrate the capability of 3D-SURFILER, we compared the simulated profiles with the SEM picture for dry and reactive ion etching(RIE) of the  $\text{Si}_3\text{N}_4$  film and Pt film.

## I. 서론

반도체 소자의 구조가 복잡해지고 크기가 서브 마이크론

(Sub-half-micron) 이하로 감소함에 따라, 플라즈마 식각 공정에 의한 토포그래피가 중요한 문제로 제기되고 있다. 이에 따라, 웨이퍼 표면에서의 반응과 정량적인 식각 결과를 미리 예측 가능한 시뮬레이터의 개발이 요구되어 지고 있다.

\* 正會員, 仁荷大學校 電子電氣컴퓨터工學部 半導體 및 薄膜技術研究所

(Inha Research Institute of Semiconductor and Thin Film Technology, Department of Electronic Materials and Devices Engineering, School of Electrical and Computer Engineering, Inha University)

※ 본 연구는 과학기술처 특정기초연구개발사업의 지원으로 수행되었다.

接受日: 1997年10月30日, 수정완료일: 1998年1月30日

3차원 토포그래피 시뮬레이션을 구현하기 위한 알고리즘으로는 스트링 모델(String model), 레이 스트링(Ray-string), 셀 제거(Cell removal) 알고리즘 등이 있다<sup>[1] [2] [3]</sup>. 스트링 모델과 레이 스트링 모델은 3차원적 루프(Loop) 제거 및 표면 메쉬(Mesh) 밀도의 유지가 어렵다는 단점이 있다. 셀 제거 알고리즘에서는 그러한 문제점이 발생하지 않기 때문에 3차원적 형

상 표현이 쉽다. 그러나, 최종 식각면이 계단 형태로 나타나고, 고정된 시간 간격으로 인하여 경계면에서 발생하는 오차가 인접한 셀로 전달되면서 누적되는 단점을 가지고 있다<sup>[1] [4]</sup>.

본 논문에서 제시한 3차원 토포그래피 시뮬레이터인, 3D-SURFILER(SURface proFILER)에서는 표면으로 입사된 입자의 물리·화학적 메카니즘이 최종 식각 형상에 미치는 영향을 분석하기 위한 모델을 도입하였다<sup>[5] [6]</sup>. 본 연구에서는 오차가 누적되는 문제를 해결하기 위하여, 초과로 제거된 부피를 인접한 셀들로부터 공제하는 방법을 개발하였다. 또한, 최종 식각면이 계단 형태로 나타나는 문제를 해결하기 위하여, 정점을 이동하여 부드러운 곡면으로 표현하는 알고리즘을 개발하였다.

II장에서는 본 연구에서 개발한 3D-SURFILER의 구성과 적용한 식각 모델 및 표면 진화 알고리즘을 설명하고, III장에서는 시뮬레이션 결과를 설명한다.

## II. 시뮬레이터의 구성 및 모델

### 1. 식각 모델

기판으로 입사하는 식각제는 직접 입사하는 이온 및 반응성 중성 라디칼(Radical)과 표면에서 반사되는 입자로 나눌 수 있다<sup>[5] [6] [9]</sup>. 공핍층(Sheath) 내의 전기장에 의해 가속된 입사 이온은 웨이퍼 표면을 물리적으로 식각하며, 식각면의 형태는 비등방성이다. 전기장에 의한 영향을 받지 않는 라디칼은 확산에 의하여 웨이퍼 표면에 도달하며, 표면과 강한 화학적 반응을 일으킨다. 따라서, 라디칼은 마스크의 구조에 따라 변하는 가시도에 의하여 영향을 받지 않으며, 등방성 식각에 기여한다.

본 논문에서는 입사하는 플럭스의 분포에 따른 식각률을 계산하기 위하여, 평탄한 면에서의 식각률과 입사하는 플럭스의 분포를 가정하였다. 식각률은 전체 플럭스 분포량에 대하여 식각률을 계산하고자 하는 셀에 입사하는 플럭스의 비로 나타내었다<sup>[1] [7] [8]</sup>. 공핍층을 통과하여 직접 입사하는 이온의 분포는 가우시안 분포<sup>[1] [8]</sup>를 따른다고 가정하였고, 반응성 중성 라디칼의 분포는 하이퍼 코사인 모델<sup>[1] [6]</sup>을 도입하였다. 에너지를 가지고 입사하는 이온은 웨이퍼 표면을 손상(Damage)시킬 수 있으며, 라디칼은 손상된 영역을 손상되지 않은 영역보다 더 강하게 식각한다.

이와 같은 이온 증속 식각<sup>[1]</sup>을 라디칼의 식각률에 포함하여 계산하였다. 또한, 입사 플럭스가 표면에 도달하여 에너지를 가지고 반사되어 다른 지점에서 식각을 일으킬 수 있다. Tazawa는 반사된 플럭스의 입사 경로가 불규칙적이므로, 모든 방향으로부터 입사한다고 가정하여, 반사 플럭스를 표현하였다. 본 논문에서는 Tasawa의 모델을 도입하여, 반사되는 플럭스의 분포를 고려하였다.

### 2. 셀 제거 알고리즘

셀 제거 알고리즘은 시뮬레이션 영역을 육면체의 셀들로 나누고, 표면의 셀들을 식각률에 따라 제거하는 알고리즘이다. 식각률은 셀의 체적내에서는 일정하다고 가정하며, 식각률과 노출된 면의 수에 따라 경계면의 셀로부터 제거될 부피를 계산하여 제거한다.

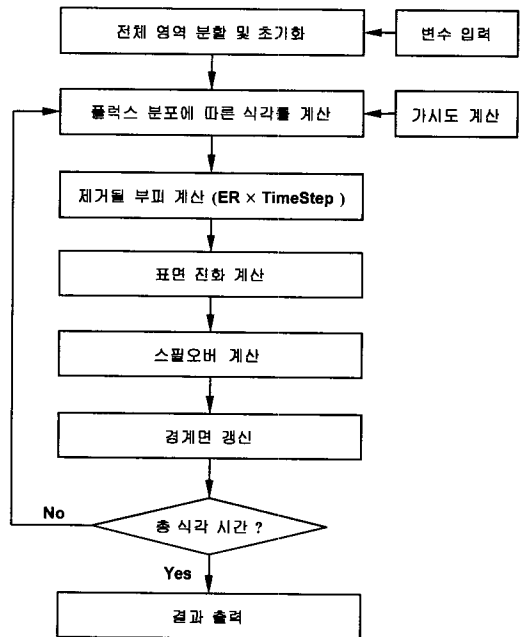


그림 1. 3D-SURFILER 시뮬레이터의 흐름도  
Fig. 1. Flowchart of 3D-SURFILER simulator.

전술한 셀 제거 알고리즘에 따라 개발된 3차원 토포그래피 시뮬레이터인, 3D-SURFILER(SURface proFILER) 시뮬레이터의 흐름도를 그림 1에 도시하였다. 먼저, 사용자가 정의하는 여러 가지 변수를 입력 받는다. 입력 변수는 시뮬레이션 영역의 크기,  $x, y, z$  방향으로의 셀의 수, 마스크의 두께와 마스크 윈도우의 크기, 식각 시간, 시간 간격, 플럭스 분포를 계산하기 위한 해석적 분포 함수에 포함되는 변수와 결과

를 출력하기 위한 변수등이다. 3D-SURFILER는 입력받은 변수에 따라 시물레이션하고자하는 영역을 웨이퍼와 마스크 영역으로 나누고 각 영역별로 셀에 초기 정보들을 저장한다. 셀에 저장되는 정보는 셀의 부피와 6개 면에 대한 경계 조건, 배열 정보, 좌표, 식각률, 스피로버를 제어하기 위한 버퍼등이다.

셀의 위치에 따른 입사 플럭스의 변화는 일반적으로 가시도에 의해서 결정된다. 가시도는 그림 2에 도시한 바와 같이, 표면 셀로부터 마스크 상부까지 그림자 테스트를 실행하여 결정한다<sup>[1] [3]</sup>. 본 연구에서 제안하는 그림자 테스트 알고리즘은 3차원 직선의 방정식으로부터  $Cell_x$ 의 좌표를 계산하여 수행하였다. 다음 식은  $y$  방향으로의 좌표 증가량을 나타내는 것으로서,  $ShadowtestStep$ 은 시물레이션 실행 초기에 결정되는  $y$  방향의 증가율이다. 좌표 증가량  $VIS_{step,y}$ 는 셀의  $x, y, z$  방향의 길이 중에서 가장 짧은  $L_{min}$ 과  $y$  방향 증가율의 곱으로 결정하였다.

$$VIS_{step,y} = L_{min} \times ShadowtestStep$$

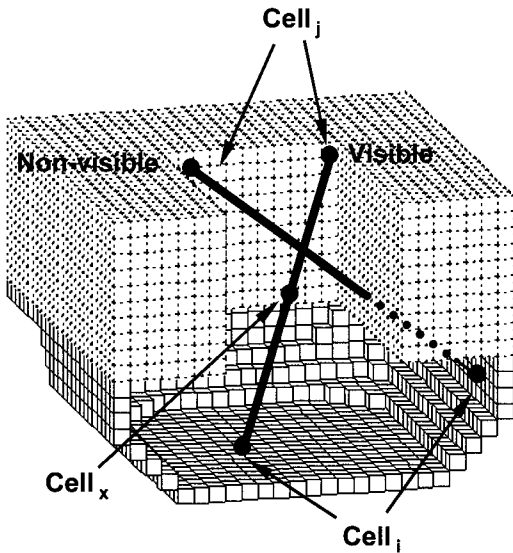


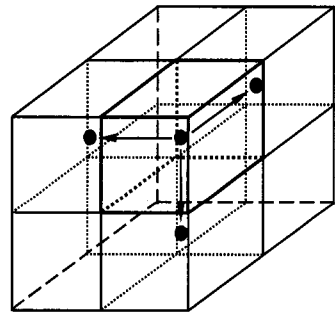
그림 2. 가시도 계산 알고리즘의 개요도  
Fig. 2. Scheme of the visibility calculation algorithm.

그림 2에서  $Cell_j$ 는 마스크 최상단에 위치한 셀이고,  $Cell_i$ 는 식각이 진행되면서 표면의 노출된 셀이며,  $Cell_x$ 는  $Cell_i$ 로부터  $Cell_j$ 까지 가시도를 계산하기 위해서 그림자 테스트를 수행 중인 셀이다. 가시도는 '0'

또는 '1'의 값을 가지게 되므로, 그림자 테스트를 수행하여  $Cell_x$ 의 부피가 '0'이 아니면  $Cell_i$ 로부터  $Cell_j$ 에 대한 가시도는 '0'이다.  $Cell_x$ 의 부피가 '0'이면 선을 따라 계속 그림자 테스트를 수행하여,  $Cell_x$ 의 배열과  $Cell_j$ 의 배열이 같을 때까지  $Cell_x$ 의 부피가 '0'이면  $Cell_j$ 에 대한 가시도는 '1'이다.

0.5	0	0	0	0.5
1	0.8	-0.3	0.8	1
1	1	1	1	1

(a)



(b)

그림 3. 스피로버 개념의 기본 개요 (a) 각 시간 간격에서 셀들의 상태와 인접한 셀들로부터 공제 (b) 3차원에서의 스피로버 개념의 개요<sup>[7]</sup>

Fig. 3. Basic scheme of the spillover concept (a) State of cells after each time step and deduction from adjacent cells (b) Scheme of the spillover concept in the three-dimension<sup>[7]</sup>

각 시간 단계에서 노출된 셀에서 부피를 제거할 때, 고정된 시간 간격으로 인하여 셀의 부피보다 과다하게 제거되는 스피로버(Spillover)가 발생한다. 이러한 경우에 셀의 부피는 음의 값이 되며, 발생한 오차는 인접한 셀에 전달되면서 누적된다. 그림 3에서는 스피로버 알고리즘의 개념을 보여주고 있다. 그림 3(a)는 각 시간 간격이 지난 후에 셀이 초기의 부피 '1'보다 '0.3'이 과다하게 제거되어 부피가 음의 값이 된 것을 나타낸다. 셀의 부피가 음의 값이라는 것은 표면 셀을 넘어서 내부의 셀까지 식각이 되었다는 것을 나타내므로, 과다하게 식각된 '0.3'을 인접한 3개의 셀들로부터 공제한다. 과다하게 식각된 셀은 부피가 '0'이 되어 경계를 구성하는 셀에서 제외되며, 식각제에 노출된 면

이 없던 내부의 셀은 새롭게 노출된 셀이된다. 그림 3(b)는 과도하게 제거된 부피를 인접한 셀들로부터 공제하는 것을 3차원으로 도식한 그림이다.

셀의 부피가 공제되어야하는 셀의 부피보다 작을 때, 부가적인 스페일오버가 발생한다. 그림 4는 스페일오버가 부가적으로 발생하는 경우를 나타낸 그림이다. ③번 셀은 식각제에 노출된 면이 없기 때문에 초기의 부피를 그대로 유지하고 있다. 그러나, ①번과 ②번 셀은 부분적으로 식각이 된 상태로서 스페일오버된 부피를 공제하면 다시 음의 값이 된다. 이러한 스페일오버 또한 인접한 셀들로부터 공제되어야 한다<sup>[5]</sup>.

0.5	0	0	0	0.5
1	0.1 ①	-0.5	0.1 ②	1
1	1	1 ③	1	1

그림 4. 스페일오버가 나타나는 경우와 기본 개요  
Fig. 4. Scheme and condition of the additional spillover.

부가적으로 일어나는 스페일오버를 제어하기 위해 개발된 알고리즘은 그림 5에 표현하였다. 그림 5에서 'i'는 스페일오버를 제어하는 순서를 나타내는 변수로서, 스페일오버 되는 부피를 일시적으로 저장하기 위한 1차원 배열로 표현되는 버퍼이다. 버퍼의 총 수는 시뮬레이션 수행 초기에 결정되며, 입력 변수로서 변화시킬 수 있다. 순서도에서 식각이 진행 중인 셀의 부피와 공제하는 부피인 버퍼와의 합이 '0' 이상이면 다음 순서의 셀로 진행한다. 그러나, 버퍼와의 합이 음의 값이 되면 버퍼의 번호를 증가시킨 후 스페일오버를 제어하고 다시 버퍼의 번호를 감소시킨다. 이러한 과정은 스페일오버 된 부피가 없을 때까지 반복한다. 스페일오버가 더 이상 존재하지 않는지는 반복 횟수가 최대 버퍼의 수와 같아지거나 스페일오버를 수행한 수가 '0'이 될 경우이다.

셀 제거 알고리즘에서는 최종적으로 얻어지는 식각면이 계단 형태로 나타나므로 이러한 단점을 보완하기 위한 부드러운 곡면으로 표현하는 알고리즘이 필요하다<sup>[5]</sup> [6]. 개발된 시뮬레이터에서는 8개의 셀들이 서로 공유하는 점을 정점으로 정의하고, 한 정점에 접한 8개의 셀들을 각 정점의 경계 조건으로 가정하여, 이

경계조건으로부터 정점을 이동시켜 부드러운 곡면을 얻을 수 있도록 하였다.

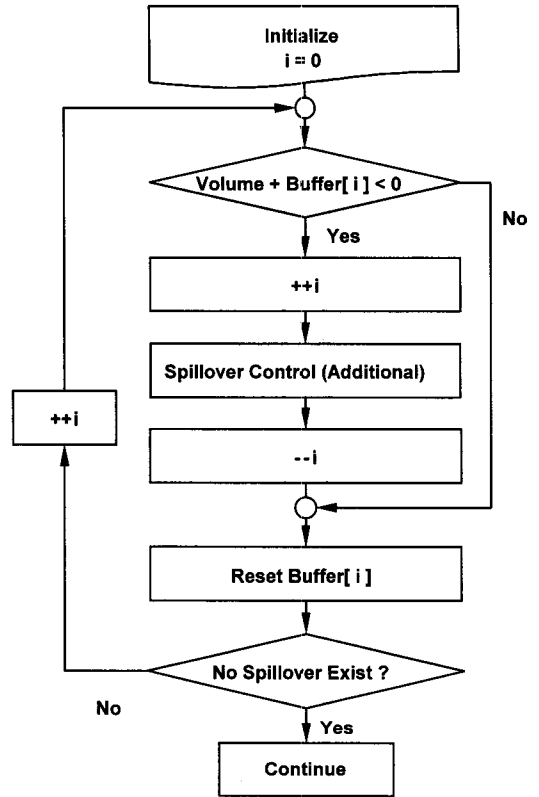


그림 5. 부가적인 스페일오버를 제어하기 위한 순서도  
Fig. 5. Flow chart to control additional spillover.

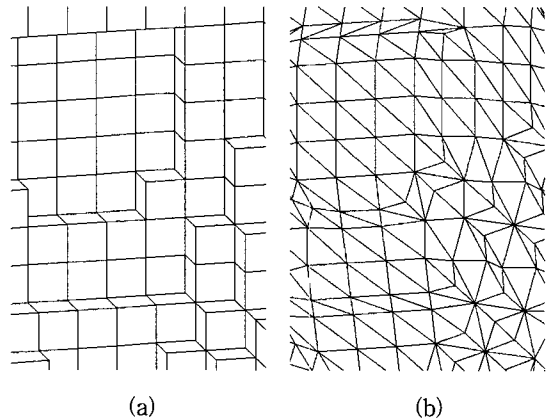


그림 6. 최종 식각면의 계단 형태와 부드러운 곡면으로의 표현  
Fig. 6. Stairway shape of the resulting profile and representation through the smoothing operation.

그림 6은 최종 식각면중 일부를 나타내는 그림으로

서, 그림 6(a)는 정점들을 이동시키기 전의 식각면을 나타내고 그림 6(b)는 정점들을 이동시킨 후의 식각면을 나타낸다.

### III. 3차원 식각 시뮬레이션 결과

본 논문에서는 실제 식각 공정에서의 결과와 시뮬레이션 결과를 비교하기 위하여, 질화막에 대한 건식 식각 공정 및 반응성 이온 식각 공정을 수행한 후의 SEM 사진과 백금(Pt)에 대하여 ICP 공정과 반응성 이온 식각 공정을 수행한 후의 SEM 사진을 도시하였다. 질화막의 건식 식각 시뮬레이션의 경우에 등방성 식각률만을 고려하였고, 질화막의 반응성 이온 식각 공정과 백금의 식각 공정은 이온에 의한 물리적 식각, 반응성 중성 라디칼에 의한 화학적 식각, 반사된 입자에 의한 식각, 이온에 의한 증속 식각을 고려하여 시뮬레이션하였다.

그림 7은 등방성 식각의 예로서 질화막을 건식 식각 공정을 수행한 후의 SEM 사진이다. 이 경우에 마스크의 기하학적 형상에 영향을 받지 않는 반응성 중성 라디칼이 웨이퍼의 표면에 도달하여 강한 화학적 반응이 일어나며 최종 식각 형태는 그림 7로부터 양쪽 끝이 둥근 형태로 나타난다.

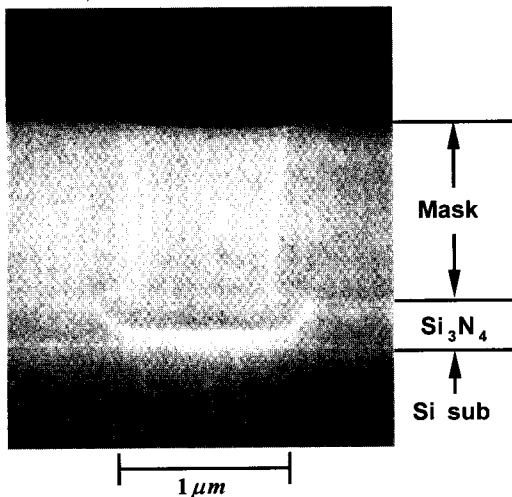
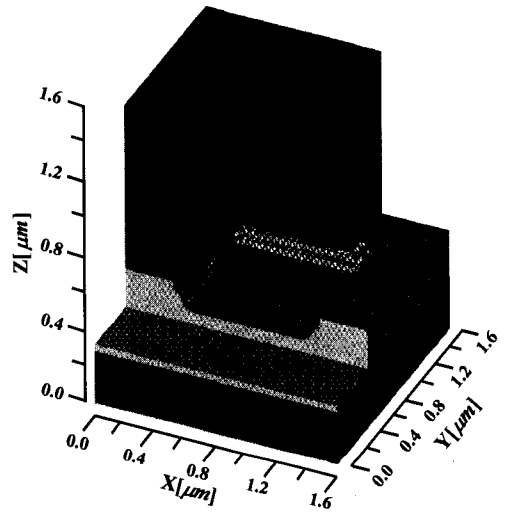


그림 7. 질화막에 대하여 건식 식각 공정을 수행한 후의 SEM 사진<sup>[3]</sup>

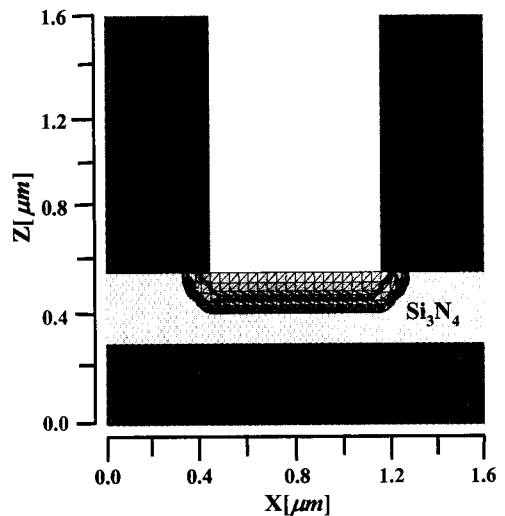
Fig. 7. A SEM photograph of the dry etching of  $Si_3N_4$  film<sup>[3]</sup>.

그림 7의 질화막의 건식 식각 공정을 시뮬레이션하

기 위하여 시뮬레이션 영역은  $1.6 \mu m \times 1.6 \mu m \times 1.6 \mu m$ , 마스크의 두께는  $1.0 \mu m$ , 마스크 윈도우의 크기는  $0.72 \mu m \times 0.72 \mu m$ , 질화막은  $0.28 \mu m$ , 셀의 수는 64,000( $40 \times 40 \times 40$ )개로 설정하여 시뮬레이션을 수행하였다. 식각은 라디칼에 의해서만 일어나므로 각 방향별 식각률은 같게 설정하였다.



(a)



(b)

그림 8. 건식 식각의 3차원 시뮬레이션 결과 (a) 마스크와 질화막의 일부를 제외하고 나타난 최종 식각면의 형태 (b) (a)에서 Y-Y' 평면으로 자른 단면도

Fig. 8. Resulting profile of the 3-D simulation of dry etching (a) 3-D view of the final profile in which a part of the mask and  $Si_3N_4$  is deleted (b) Cross-sectional view of Y-Y'.

그림 8(a)는 마스크와 질화막의 일부를 제외하고 나타낸 최종 식각면의 형태로서 깊이는  $0.16\ \mu\text{m}$ 였다. 또한, 그림 8(b)는 그림 8(a)에서 Y-Y' 평면으로 자른 단면도이다. 그림 8(b)에 나타난 바와 같이 양쪽 끝이 둥근 형태의 언더-컷(Under-cut)을 확인할 수 있다.

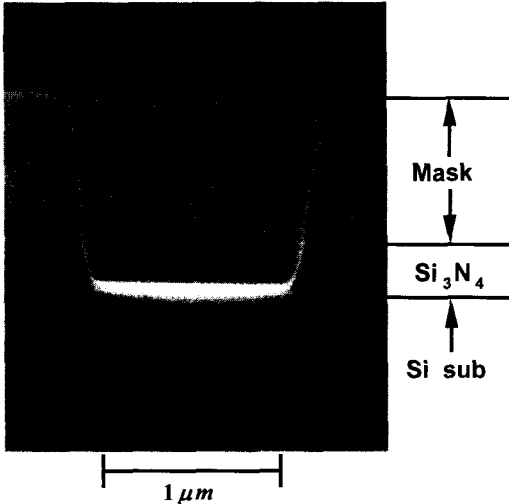


그림 9. 질화막에 대하여 반응성 이온 식각 공정을 수행한 후의 SEM 사진<sup>[3]</sup>  
 Fig. 9. A SEM photograph of the Reactive Ion Etching of  $\text{Si}_3\text{N}_4$  film<sup>[3]</sup>.

그림 9는 비등방성 식각의 예로서 질화막을 반응성 이온 식각 공정을 수행한 후의 SEM 사진이다. 이 경우, 공핍층 내에서 전기장에 의해서 가속된 이온 및 확산에 의해 웨이퍼 표면에 도달한 반응성 중성 라디칼에 의한 식각과 이온에 의한 이온 증속 식각, 반사되어 입사하는 입자에 의한 식각이 진행된다.

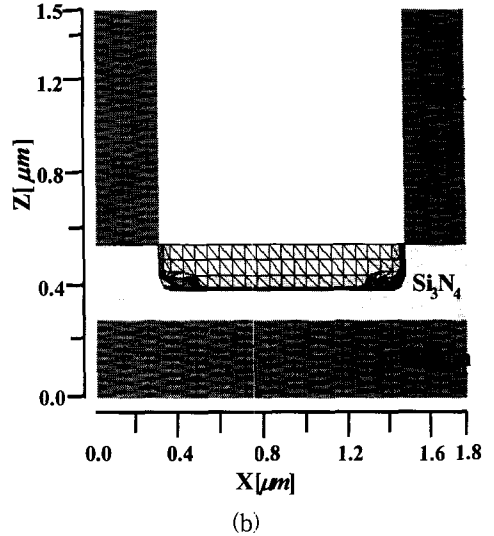
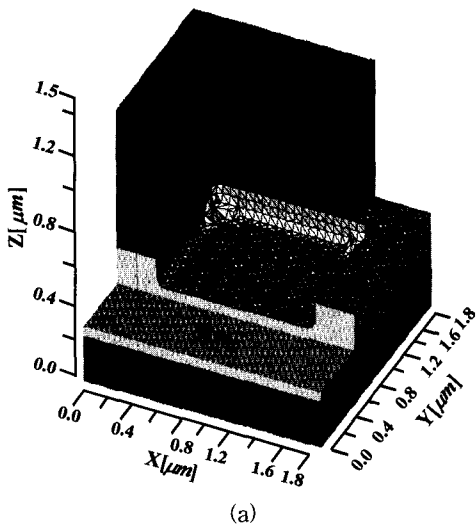


그림 10. 반응성 이온 식각의 3차원 시뮬레이션 결과 (a) 마스크와 질화막의 일부를 제외하고 나타낸 최종 식각면의 형태 (b) (a)에서 Y-Y' 평면으로 자른 단면도

Fig. 10. Resulting profile of the 3-D simulation of Reactive Ion Etching (a) 3-D view of the final profile in which a part of the mask and  $\text{Si}_3\text{N}_4$  is deleted (b) Cross-sectional view of Y-Y'.

입사하는 플럭스는 방향성을 가지고 입사하기 때문에 마스크의 기하학적 형상에 영향을 받으므로 최종 식각면은 비등방성 식각면의 형태를 가지게 된다.

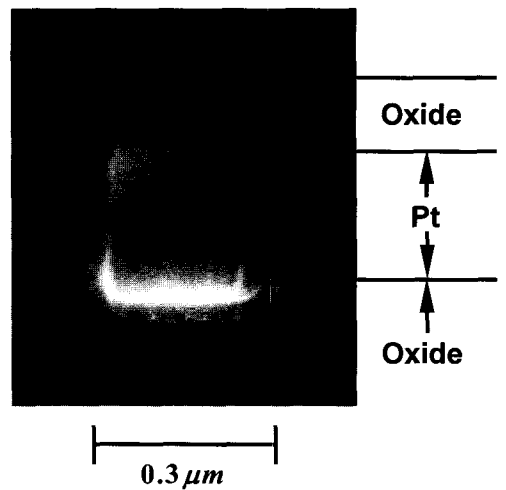
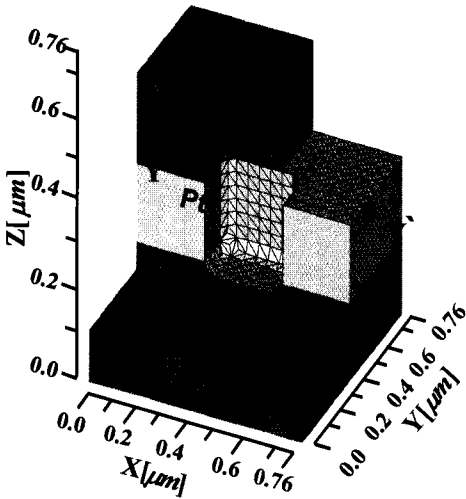


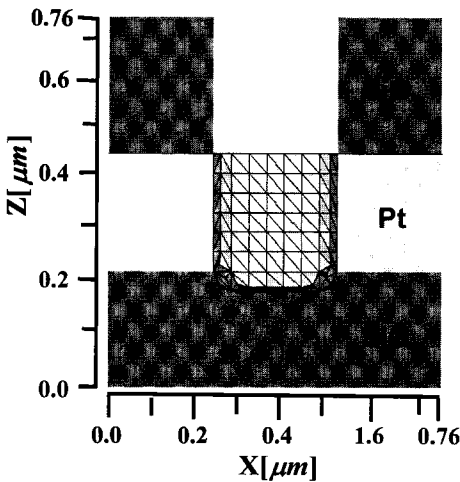
그림 11. 백금을 ICP와 반응성 이온 식각 공정을 수행한 후의 SEM 사진  
 Fig. 11. A SEM photograph of the RIE and ICP of Pt film.

그림 9의 질화막의 반응성 이온 식각 공정을 시뮬

레이션하기 위하여 시뮬레이션 영역은  $1.8\ \mu\text{m} \times 1.8\ \mu\text{m} \times 1.5\ \mu\text{m}$ , 마스크의 두께는  $0.9\ \mu\text{m}$ , 마스크 윈도우의 크기는  $1.2\ \mu\text{m} \times 1.2\ \mu\text{m}$ , 질화막은  $0.3\ \mu\text{m}$ , 셀의 수는  $22,500(30 \times 30 \times 25)$ 개로 설정하여 시뮬레이션을 수행하였으며, 최종 식각후의 깊이는  $0.24\ \mu\text{m}$ 였다.



(a)



(b)

그림 12. 백금 식각의 3차원 시뮬레이션 결과 (a) SiO<sub>2</sub>와 백금의 일부를 제외하고 나타낸 최종 식각면의 형태 (b) (a)에서 Y-Y' 평면으로 자른 단면도

Fig. 12. Resulting profile of the 3-D simulation of Pt Etching (a) 3-D view of the final profile in which a part of SiO<sub>2</sub> and Pt is deleted (b) Cross-sectional view of Y-Y'.

타낸 최종 식각면의 형태이고, 그림 10(b)는 그림 10(a)에서 Y-Y' 평면으로 자른 단면도이다. 그림 10(b)에 나타난 바와 같이 양쪽 끝이 수직인 형태의 식각면이 나타남을 확인할 수 있다.

그림 11도는 백금(Pt)을 ICP 공정으로 73초, 반응성 이온 식각 공정으로 55초 식각한 후의 SEM 사진으로서 하드 마스크로 사용된 산화막은 화학 기상 증착(Cheical Vapor Deposition, CVD)에 의한 산화막이다. ICP 공정은 Cl<sub>2</sub>와 O<sub>2</sub>의 비를 3:2로 하고, 소스 RF 파워는 1,000W, 바이어스 RF 파워는 100W, 압력은 10mTorr로 설정하였으며, 반응성 이온 식각 공정의 RF 파워는 300W, 압력은 200mTorr, CF<sub>4</sub>는 300sccm로 설정하였다. 그림 12는 그림 11의 백금 식각 공정을 시뮬레이션한 결과로서 시뮬레이션 영역은  $0.76\ \mu\text{m} \times 0.76\ \mu\text{m} \times 0.76\ \mu\text{m}$ , CVD 산화막의 두께는  $0.28\ \mu\text{m}$ , 마스크 윈도우의 크기는  $0.28\ \mu\text{m} \times 0.28\ \mu\text{m}$ , 백금은  $0.24\ \mu\text{m}$ , 셀의 수는  $6,859(19 \times 19 \times 19)$ 개로 설정하여 시뮬레이션을 수행하였다.

#### IV. 결론

본 논문에서는 3차원 토포그래피 시뮬레이터인, 3D-SURFILER(SURface proFILER)를 개발하였다. 3D-SURFILER 시뮬레이터에는 노출된 셀에서 발생하는 오차가 인접한 셀로 전달됨으로 인하여 오차가 누적되는 문제를 해결하기 위하여 스펬오버 알고리즘을 개발하였다. 또한, 마스크의 기하학적 형상에 따라 나타나는 그림자 효과를 고려한 정확한 가시도 계산 알고리즘과 최종 식각면의 계단 현상을 개선하기 위한 알고리즘을 개발하였다.

개발된 3D-SURFILER 시뮬레이터의 성능을 검증하기 위하여 질화막에 대한 플라즈마 식각 공정을 시뮬레이션 하였다. 시뮬레이션 결과로부터, 등방성 식각인 건식 식각에서는 식각이 진행함에 따른 마스크 아래 부분의 언더-컷과 둥근 형태의 식각 단면을 확인하였다. 또한, 질화막의 반응성 이온 식각 공정과 백금의 식각 공정을 시뮬레이션한 결과를 비교하여, 수직인 형태의 식각면이 실험 결과와 잘 일치함을 확인하였다.

#### 참고 문헌

[1] E. W. Scheckler, "Algorithms for Three-

그림 10(a)는 마스크와 질화막의 일부를 제외하고 나

Dimensional Simulation of Etching and Deposition Processes in Integrated Circuit Fabrication," Memo. no. UCB/ERL M91/99, University of California, Berkeley, November 12, 1991.

[2] K. K. H. Toh, "Algorithms for Three-Dimensional Simulation of Photoresist Development," Memo. no. UCB/ERL M90/123, Ph.D. Dissertation, University of California, Berkeley, December 14, 1990.

[3] M. Fujinaga, Norihiko Kotani, "3-Dimensional Process Simulation(ed. J. Lorenz)," pp. 1-29, Springer-Verlag Wien, New York, 1995.

[4] J. Lorenz, E. Bär, A. Burenkov, W. Henke, K. Tietyel, and M. Weiß, "3-Dimensional Process Simulation(ed. J. Lorenz)," pp. 109-135, Springer-Verlag wien, new York, 1995.

[5] Akio Misaka and Kenji Harafuji, "Simulation Study of Micro-Loading Phenomena in Silicon Dioxide Hole Etching," IEEE Transactions on Electron Devices, vol. 44, no. 5, pp. 751-760, May, 1997.

[6] Satoshi Tazawa, Seitaro Matsuo, and Kazuyuki Saito, "A General Characterization and Simulation Method for Deposition and Etching Technology," IEEE Transactions on Semiconductor Manufacturing, vol. 5, no. 1, pp. 27-33, February 1992.

[7] E. Leitner, W. Bohmayr, P. Fleischmann, E. Strasser, and S. Selberherr, "3-Dimensional Process Simulation(ed. J. Lorenz)," pp. 136-161, Springer-Verlag wien, new York, 1995.

[8] J. I. Ulacia-Fresnedo, "Theoretical and Experimental Considerations Necessary to Build a Dry-Etching Process Simulator," Stanford Electronics Laboratories (1988)

[9] Daniel L. Flamm, Vincent M. Donnelly, and Dale E. Ibbotson, "Basic Chemistry and Mechanisms of Plasma Etching," J. Vac. Sci. Technol. B, vol. 1, no. 1, Jan.-Mar., pp. 23-30, 1983.

저 자 소 개



**權 五 變(正會員)**  
 1972년 9월 18일생. 1997년 인하대학교 전자재료공학과(공학사). 1997년 ~ 현재 인하대학교 전자재료공학과 석사과정, 주관심분야는 반도체 공정 물리, 시뮬레이션 등



**尹 相 鎬(正會員)**  
 1969년 11월 20일생. 1995년 인하대학교 전자재료공학과(공학사). 1997년 인하대학교 전자재료공학과(공학석사). 1997년 ~ 현재 인하대학교 전자재료공학과 박사 과정. 주관심분야는 반도체 공정 물리, 시뮬레이션

등임



**金 演 泰(正會員)**  
 1970년 4월 16일생. 1994년 인하대학교 전자공학과(공학사). 1996년 인하대학교 전자재료공학과(공학석사). 1996년 ~ 현재 인하대학교 전자재료공학과 박사과정. 주관심분야는 반도체 공정, MMIC 설계 등임

**李 濟 熙(正會員) 第 34卷 D編 第 2號 參照**  
 1968년 10월 5일생. 1992년 인하대학교 응용물리학과(공학사). 1994년 인하대학교 전자재료공학과(공학석사). 1994년 ~ 현재 인하대학교 전자재료공학과 박사과정. 주관심분야는 반도체 소자 및 공정, 시뮬레이션 등



**潘 用 瓚(正會員)**  
 1974년 7월 7일생. 1997년 인하대학교 전자재료공학과(공학사). 1997년 ~ 현재 인하대학교 전자재료공학과 석사과정. 주관심분야는 반도체 공정 물리, 시뮬레이션, MMIC 설계 등임

**元 太 映(正會員) 第 34卷 D編 第 2號 參照**  
 1959년 2월 21일생. 1981년 서울대학교 전자공학과(공학사). 1983년 한국과학기술원 전기 및 전자공학과(공학석사). 1989년 미국 University of Illinois at Urbana-Champaign 전자공학과(공학석사). 1989년 ~ 1990년 미국 State University of New York 조교수. 1990년 ~ 1991년 삼성전자(주) 수석 연구원. 1991년 ~ 현재 인하대학교 공과대학 전자전기컴퓨터공학부 부교수. 주관심분야는 반도체 소자 및 공정 등임