

論文98-35D-1-6

SUM 선택신호 발생 방식을 이용한 64-bit 가산기의 설계

(Sum-Selector Generation Algorithm based 64-bit Adder Design)

白 佑 鉉 * , 金 壽 遠 *

(Woo-Hyun Paik and Soo-Won Kim)

요 약

본 논문에서는 데이터 연산의 핵심기능 중 하나인 덧셈의 성능을 향상시키기 위해 새로운 알고리즘을 제안하고 이를 적용하여 덧셈연산을 효율적으로 수행하는 고속의 64 비트 가산기를 설계하였다. 구현된 가산기는 프리차징 (precharging) 기법을 이용한 다이내믹 체인 구조의 합(sum) 선택신호 발생 알고리즘을 적용하였으며 이와 함께 저전압에서의 고속동작 및 전력감소를 위해 패스-트랜지스터 로직을 사용하였다. 설계된 64 비트 가산기는 0.8 μ m CMOS double-metal 공정을 이용하여 제작되었으며 측정결과 $V_{DD} = 5.0V$ 에서 185MHz의 최대동작속도를 나타냈다. 제작된 칩의 면적은 3.66mm² 이고 2.0V의 저전압 전원에서도 동작함을 확인하였다.

Abstract

This paper proposes a new addition algorithm to improve the addition speed which is one of the important factors for data path functions. We have designed a fast 64-bit adder utilizing a dynamic chain architecture based on the proposed Sum-Selector Generation (SSG) algorithm. Proposed adder is designed with pass-transistor logic to achieve a high speed operation in low voltage circumstance. Realized 64-bit adder with 0.8 μ m CMOS double-metal process technology has been fully tested. It operates at 185MHz with 5.0V and chip area occupies 3.66mm². It is also demonstrated that designed adder operates even at 2.0V power supply condition.

1. 서 론

반도체 기술의 발전은 IC의 집적도를 급격히 향상시키고 있으며 이러한 집적도의 향상은 system-on-chip을 가능하게 하여 IC를 통한 대용량 시스템의 구현이 기술적 추세가 되고 있다. 그러나 system-on-chip을 구현하기 위해서는 매우 많은 양의 데이터를 빠른 시간에 처리해야 하므로 특히 DSP나 마이크로

프로세서와 같이 연산기능을 수행하는 분야에서 고속 덧셈이나 곱셈 등을 위한 회로설계 기술에 대한 연구의 중요성이 계속 증가되고 있는 추세이다. 이 중 덧셈 연산은 데이터패스 (data path) 블록에 필수적인 기능 중의 하나로 시스템의 속도 성능에 큰 영향을 미친다. 따라서 덧셈연산의 속도를 향상시키기 위한 연구가 계속되고 있으며^{[1] [2] [3] [4]} 그 대표적인 예로 Ripple Carry Adder (RCA), Carry-Lookahead Adder (CLA), Conditional-Sum Adder (CSA), Carry-skip Adder (CKA) 등을 들 수 있다. 위의 방법들은 모두 덧셈연산의 성능을 좌우하는 캐리 (carry)의 전파를 구현하는 방법에 의해 구분되어지며 RCA 방식은 발생하는 캐리를 다음단에 그대로 전달

* 正會員, 高麗大學校 電子工學科

(Department of Electronics Engineering, Korea University)

接受日:1997年5月29日, 수정완료일:1997年12月17日

시켜 순차적으로 연산을 수행하는 방식으로 회로를 작고 간단하게 구현할 수 있으나 고속연산에는 부적합하다. 이러한 문제를 해결하고자 캐리의 전파방식을 달리하는 여러 가지의 덧셈방식이 개발되었다. 이 중 CLA 는 블럭단위로 발생될 캐리를 미리 계산하여 캐리의 전달 지연 경로를 줄이므로써 연산속도를 향상시키는 방식이고 CSA는 입력될 캐리의 모든 경우에 대해 합을 미리 계산해 놓은 후 캐리의 값이 결정되는 즉시 이에 해당하는 합을 한꺼번에 선택하는 방식이다. 최근에는 CLA 와 CSA 방식을 변형하여 연산속도를 더욱 개선시키거나 이 두가지를 조합한 방식이 가장 널리 사용되고 있다. 그러나 CSA는 일반적으로 n 비트 가산기의 경우 (n/2)개의 멀티플렉서를 한개의 선택신호가 구동해야 하므로 구동 버퍼를 사용한다 하더라도 과부하로 인한 속도저하 문제를 피할 수 없으며 이러한 문제는 비트 크기가 증가할 수록 더욱 커지게 된다^[5].

본 논문에서는 합 (sum) 선택신호를 각 비트 별로 발생시켜 CSA가 갖고 있는 과부하 문제를 해결하고 고속의 연산을 수행할 수 있도록 하는 합 선택신호 발생방식 (Sum-Selector Generation algorithm, SSG algorithm) 을 제안하고 이를 64 비트 가산기에 적용하여 설계하였다. SSG 알고리즘과 함께 가산기의 연산속도를 더욱 향상시키기 위하여 회로적인 측면에서 프리차징 기법을 이용한 다이내믹 체인 회로 및 패스트랜지스터회로를 적용하였다.

II장에서는 제안된 64 비트 가산기의 알고리즘과 이를 구현하는 회로설계 및 동작에 대해 설명하고 III장에서는 Hspice를 이용한 모의실험 결과 및 성능 분석을, IV장에 실험 결과를 기술하고 마지막으로 V장에 결론을 도출하였다.

II. 64 비트 SSG 가산기

1. 알고리즘

제안된 SSG 덧셈 알고리즘은 다음과 같은 연산순서를 따라 덧셈을 수행한다. n 비트 덧셈의 경우,

- 1) n 비트의 피가산자 (A_i) 와 가산자 (B_i) 를 동시에 각 비트 별로 Exclusive-OR (합 선택신호 전파, SP) 및 AND (합 선택신호 생성, SG) 를 취한다.
- 2) 1)항에서 구해진 합 선택신호 생성항 (SG) 을 왼쪽으로 1 비트 이동시키고 LSB 위치에 0을 삽입

하여 SG*를 구한다 (SG*_i = SG_{i-1}).

- 3) 표 1의 관계에 따라 합 선택신호 (S) 는 다음과 같이 표현되며 1), 2)항에서 구해진 SP와 SG*를 이용하여 각각의 비트 위치에 해당되는 합 선택신호, S를 구한다.

$$S_{i+1} = SP_i \cdot SG_i^* + SP_i \cdot S_i \tag{1}$$

- 4) 3)항에서 구해진 합 선택신호를 이용하여 식 (2), (3) 에 따라 합과 캐리출력 (carry-out)을 구한다.

$$\begin{aligned} \text{SUM}_i &= SP_i \oplus SG_i^* \text{ if } S_i = 0 \\ &SP_i \odot SG_i^* \text{ if } S_i = 1 \end{aligned} \tag{2}$$

$$\begin{aligned} C_{out} &= SG_n^* \text{ if } S_n = 0 \\ &\overline{SG_n^*} \text{ if } S_n = 1 \end{aligned} \tag{3}$$

단, SG₋₁=0, S₀=C_{in}, i=0,1,2,3,...,(n-1), 비트 크기 = n.

위와 같은 SSG 알고리즘의 개념을 그림 1에 요약하였다. 그림 1에서 알 수 있는 것과 같이 합 선택신호의 값에 따른 조건부 합을 병렬로 계산한 뒤 다이내믹 체인을 통해 비트 별로 발생하는 합 선택신호들이 각각 한 개의 멀티플렉서만을 구동하므로 빠르게 최종 합과 캐리출력을 결정할 수 있다.

표 1. 합 선택신호, S 의 진리표
Table 1. Truth table of the sum-selector, S.

SP _i	SG _i [*]	S _{i+1}
0	0	0
0	1	0
1	0	S _i
1	1	1

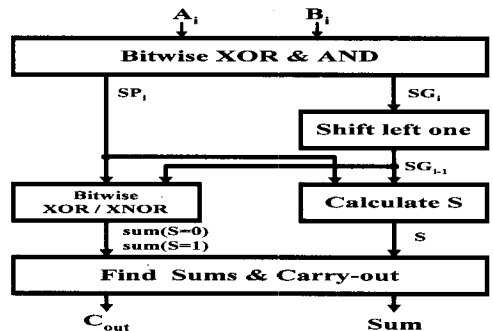


그림 1. 합 선택신호 발생방식에 의한 덧셈과정
Fig. 1. addition flow of the sum-selector generation algorithm.

2. SSG 가산기의 구조

기존의 가장 대표적인 구조인 CLA는 캐리전파 및 생성 신호를 발생시키는 블록, 이를 이용하여 그룹 캐리를 발생시키고 그룹내의 각 비트 별 캐리를 계산하는 블록 및 최종 합을 구하는 블록으로 구성된다.

이에 비해 64 비트 SSG 가산기는 다음과 같은 4개의 블록으로 구성되며 블록다이어그램을 그림 2에 나타냈다.

- ◇ 합 선택신호 전파 및 생성 블록 (SsPG)
- ◇ 합 선택신호 체인 차단 블록 (SsCB)
- ◇ 합 선택신호 체인회로 블록 (SsCC)
- ◇ 최종 멀티플렉서 블록 (MPX)

SsPG 블록은 입력을 받아 SP 신호와 SG 신호를 발생시키고 SsCB 블록은 그룹단위의 합 선택신호를 발생시켜 합 선택신호의 직렬전파 (serial propagation) 를 일정단수로 제한하는 역할을 한다. 한편 SsCC 블록은 체인 형태로 구성되어 각 비트 별로 필요한 합 선택신호를 발생시켜 MPX 블록으로 전달하는 역할을 한다. 마지막으로 MPX 블록은 SsCC로부터 받은 신호를 멀티플렉서의 선택신호로 사용하여 합과 최종 캐리출력을 구한다.

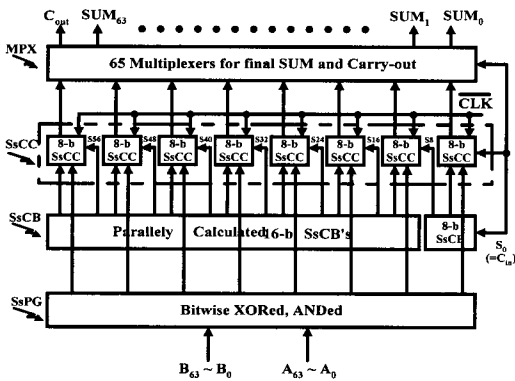


그림 2. 64 비트 SSG 가산기의 블록다이어그램
Fig. 2. Block diagram of the 64-bit SSG adder.

설계된 64 비트 SSG 가산기는 SsCC 블록에 다이 나믹 회로기법을 사용하고 있으므로 전체 동작은 ‘프리차지(precharge)’ 모드 (CLK가 ‘하이’일 때)와 ‘이벨루에이션(evaluation)’ 모드 (CLK가 ‘로우’일 때)로 나누어지며 SsPG와 SsCB는 프리차지 모드에서, SsCC와 MPX는 이벨루에이션 모드에서 동작하고 최종 출력값은 이벨루에이션 모드 동안에만 유효하다.

연산속도의 향상을 위해 SSG 가산기는 위에서 설명한 알고리즘 외에 회로를 구성함에 있어 패스-트랜지스터 로직을 사용하였다. 특히 모든 로직 게이트는 푸쉬-풀 패스-트랜지스터 로직^[6] (Push-pull Pass-transistor Logic, PPL)을 사용하여 속도향상 뿐만 아니라 전력소모도 줄일 수 있도록 하였다. 각 기능 블록의 상세한 구조 및 회로구성은 다음과 같다.

3. 합 선택신호 전파 및 생성 블록 (SsPG)

SsPG는 피가산자 (A_i) 와 가산자 (B_i) 를 입력으로 하여 각 비트 별 연산을 통해 SP 신호와 SG 신호를 구하고 이를 각 기능블록에 전달한다. SP와 SG는 비트 별 연산에 의해 식 (4)의 관계식을 이용하여 동시에 구해지며 푸쉬-풀 패스-트랜지스터 로직으로 구현된 XOR 및 AND 게이트를 그림 3에 나타냈다.

$$SP_i = A_i \oplus B_i, \quad SG_i = A_i \cdot B_i, \quad (\text{단, } i = 0 - 63) \quad (4)$$

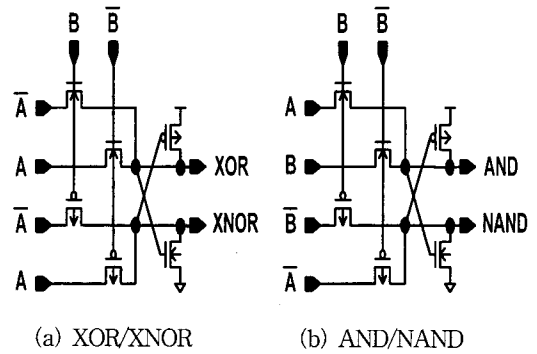


그림 3. SsPG 블록에 사용된 XOR/XNOR 및 AND/NAND 게이트
Fig. 3. XOR/XNOR, AND/NAND gates used in SsPG block.

4. 합 선택신호 체인 차단 블록 (SsCB)

SsCB 블록은 M 비트 단위의 그룹 합 선택신호 (GSs) 를 발생시켜 SsCC 내에서의 합 선택신호의 직렬전파가 M을 넘지 않도록 제한하는 역할을 한다. SsCB 블록은 8 비트 단위의 7개의 GSs를 생성시키며 조건부 그룹 합 선택신호 (CGSs) 발생부, 그룹 합 선택신호 결정부 및 제어부로 구성된다.

CGSs 발생부는 $M=8$ 인 경우 식 (1) 을 이용하여 S_8 을 S_0 에 대해 전개한 뒤 S_0 이 ‘0’일 때 ($GS_{S1}(0)$) 와 ‘1’일 때 ($GS_{S1}(1)$) 를 동시에 계산하여 CGSs 를 발생시킨다. 16 비트 단위의 CGSs는 S_{16} 을 S_8 에 대해 전개하고 다시 S_8 을 S_0 에 대해 전개한 뒤 8 비

트의 경우와 유사한 방법으로 계산한다. 일반적으로 M의 크기가 커지면 GSs를 계산하는데 필요한 시간은 짧아지나 SsCC 블록에서 신호가 직렬전파되는 체인의 길이 (L) 는 길어지게 된다. 따라서 본 설계에서는 GSs1만 8 비트 단위로 계산하고 내부적으로는 16 비트 단위로 GSs2, GSs4, GSs6 및 GSs3, GSs5, GSs7을 병렬로 동시에 계산하는 방식을 택하여 SsCB 블록과 SsCC 블록의 계산시간을 모두 줄일 수 있도록 하였다. 이러한 병렬방식 GSs 계산의 개념도를 그림 4에 나타냈다.

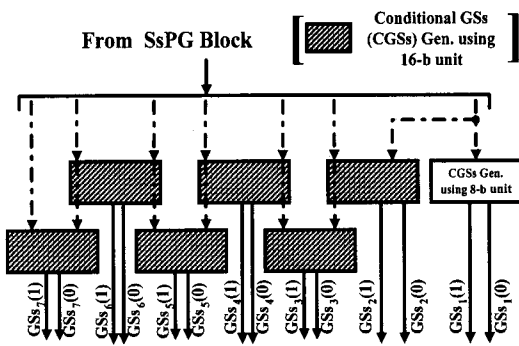


그림 4. 조건부 그룹 합 선택신호의 병렬 계산방식
Fig. 4. Parallel calculation for conditional group sum-selector.

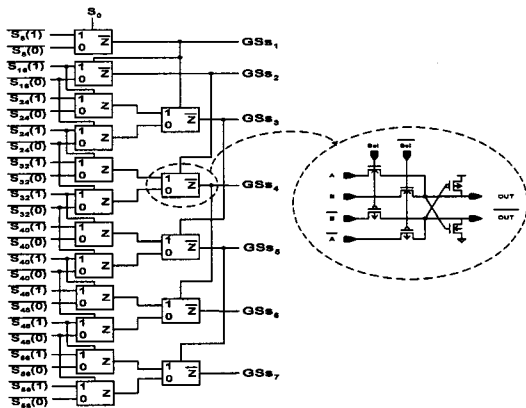


그림 5. 그룹 합 선택신호 결정부의 회로도
Fig. 5. Circuit diagram of the group sum-selector decision block.

GSs 결정부는 14개의 조건부 그룹 합 선택신호와 S0를 이용하여 8 비트 단위의 7개의 최종 GSs를 결정한다. 이를 위해 CCS (Conditional Carry Selection)^[7] 기법에 병렬처리 개념을 강화하여 그림 5와

같이 개선된 CCS 방식을 사용하여 i번째의 그룹 합 선택신호를 (i-2)번째의 조건부 그룹 합 선택신호를 이용하여 계산할 수 있도록 하여 멀티플렉서 4단의 지연시간만을 거쳐 7개의 그룹 합 선택신호를 결정하므로써 연산 시간을 단축시켰다.

제어부에서는 조건부 그룹 합 선택신호 발생부에서 사용되는 멀티플렉서의 선택신호들을 발생시키며 SP 신호의 AND 조합으로 표현된다.

5. 합 선택신호 체인 블록 (SsCC)

SsCC 블록은 기본적으로 64 단의 체인을 통하여 64개의 합 선택신호를 발생시키는 역할을 한다. SsCC는 그림 6과 같이 신호의 직렬전파를 8단으로 제한하였으며 내부적으로 이를 다시 4 비트 단위로 나누어 S0가 S1, S2, S3, S4를 결정하고 S4가 S5, S6, S7 및 S8을 결정하도록 하여 속도를 더욱 향상시켰다. 회로적인 측면에서는 다이내믹회로 기법을 사용하여 합 선택신호를 '1'로 프리차지시키고 신호가 '0'으로 될 때의 하강속도만을 고려하도록 하였다.

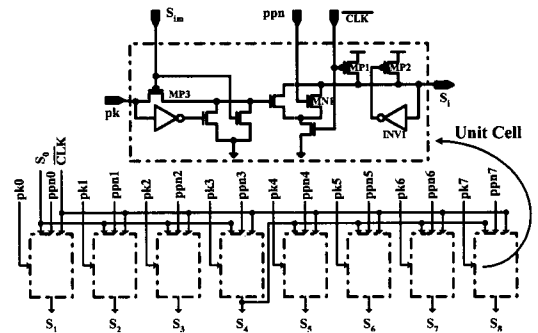


그림 6. 8 비트 SsCC의 회로도
Fig. 6. Circuit diagram of the 8-bit SsCC.

그림 6에 표시된 SsCC의 기본 단위셀의 동작은 다음과 같다. 즉, CLK가 '하이'에서 '로우'로 내려가면 프리차지 모드가 되어 모든 출력은 MP1에 의해 VDD로 프리차지된다. 또한 이때에 MP2와 INV1으로 구성되는 케환 회로를 통해 출력에 전류를 계속 공급하여 주므로써 다이내믹 회로의 단점인 다이내믹 노드^[8]를 제거하여 이벨루에이션 모드에서 출력이 '하이'로 유지되는 노드의 잠음특성을 강화하였다. CLK가 '로우'에서 '하이'로 되면 이벨루에이션 모드가 되어 입력 신호에 따라 SsCC의 각 출력은 식 (1)에 의해 '로우'로 방전되거나 '하이' 상태를 그대로 유지하게 된다.

특히 설계된 SsCC 회로는 합 선택신호가 체인을 통해 전파될 때 다음단의 게이트로 입력되도록 하여 신호 경로상에 트랜지스터의 직렬연결을 없애주므로써 속도를 더욱 향상시켰다. 결과적으로 프리차지 모드에서 미리 계산된 그룹 합 선택신호를 이용하므로써 8 비트 SsCC의 지연시간 만을 거쳐 64개의 합 선택신호가 결정된다.

6. 최종 멀티플렉서 블록 (MPX)

MPX 블록은 64 비트 SSG 가산기의 최종 연산과정을 담당하는 부분으로서 65개의 멀티플렉서와 조건부 합을 계산하는 XOR/XNOR 게이트들로 구성되며 SsCC에서 구해진 각 비트 별 합 선택신호를 멀티플렉서의 선택신호로 사용하여 식 (2), (3) 의 관계에 따라 최종 합과 캐리출력을 결정한다. 그림 7에 나타난 MPX의 회로도에서 알 수 있는 바와 같이 XOR/XNOR 게이트의 입력 SP_i 및 SG_{i-1}은 SsPG로부터 멀티플렉서의 선택신호가 하이로 충전된 프리차지 모드에 입력되고 이벨루에이션 모드에서 계산된 합 선택신호에 의해 최종 연산값이 멀티플렉서를 통해 출력된다. 따라서 프리차지 모드 동안에는 입력 데이터가 변할 경우 이 변화가 그대로 출력에 전달되어 글리치 (glitch) 현상이 발생할 수도 있으나 최종 출력은 멀티플렉서의 데이터 입력이 안정된 상태에서 합 선택신호에 의해 출력값이 결정되는 이벨루에이션 모드 동안에만 유효하므로 전체적인 동작에는 영향을 미치지 않는다.

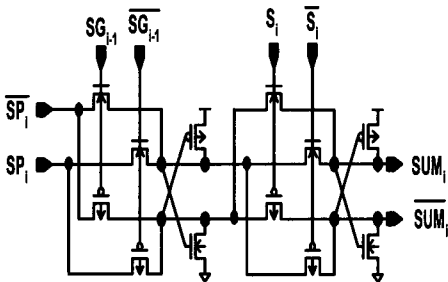


그림 7. MPX의 회로도 (1 비트)
Fig. 7. Circuit diagram of MPX (1 bit).

III. 모의실험 및 성능분석

1. 모의실험 및 평가

설계된 64 비트 SSG 가산기의 성능을 평가하기 위

하여 0.8μm CMOS 공정 파라미터를 이용하여 Hspice 모의실험을 하였다. 전원전압을 2.0V 에서 5.0V 까지 변화시키며 모의실험을 수행하여 각 기능블럭의 지연시간과 전체 회로의 지연시간을 최적화 하였으며 입력 데이터는 최악조건 덧셈시간을 측정할 수 있도록 피가산자 (A_i) 에 FFFFFFFF FFFFF를 인가하고 C_{in} (=S₀)=0인 상태에서 가산자 (B_i)를 000000000000001에서 0000000000000000으로 변화시켜 프리차지 모드에서는 B₀가 '1'에서 '0'으로 하강하는 순간부터 S₅₆이 '0'으로 하강하는데 걸리는 지연시간을 측정하여 프리차지 모드의 연산시간 (t_{add(pch)}) 으로 하였고 이벨루에이션 모드에서는 외부 클럭 (CLK)이 '로우'로 하강하는 순간부터 SsCC 및 MPX 블록의 출력이 나올 때까지의 시간, 즉, S₆₄가 '1'에서 '0'으로 하강하여 최종 캐리출력이 '1'에서 '0'으로 바뀌는데 걸리는 지연시간을 측정하여 이벨루에이션 모드의 연산시간 (t_{add(aval)}) 으로 하였다. 설계된 64 비트 SSG 가산기의 최대연산속도는 클럭의 duty를 50%로 할 경우와 그렇지 않은 경우를 구분하여 식 (5)와 식 (6)과 같이 정의하여 구했으며 모의실험 결과 V_{DD}=5.0V에서 t_{add(pch)}=3.1ns 및 t_{add(aval)}=1.2ns의 연산시간을 나타내 클럭의 duty를 50%로 고정시킬 경우 161MHz 까지, duty를 변화시킬 경우 232 MHz 까지 동작하였다. 특히 현재 가장 많이 사용되는 전원인 V_{DD}=3.3V 에서 156MHz 의 최대 동작 주파수로 고속특성을 가짐을 확인하였다.

$$f_{\max}(\text{duty} = 50\%) = \frac{1}{2 \cdot \text{MAX}(t_{\text{add}}(\text{pch}), t_{\text{add}}(\text{eval}))} \quad (5)$$

$$f_{\max}(\text{duty} \neq 50\%) = \frac{1}{t_{\text{add}}(\text{pch}) + t_{\text{add}}(\text{eval})} \quad (6)$$

IV. 실험 및 측정결과

1. 제작 및 측정방법

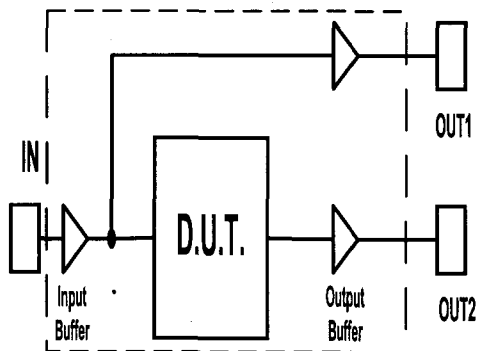
설계된 64 비트 SSG 가산기는 0.8μm 설계규칙을 이용하여 full custom 방식으로 레이아웃한 뒤 CMOS double-metal 공정을 사용하여 제작하였다. I/O 버퍼를 제외한 실재면적은 3.66mm² 이며 제작된 칩의 사진을 그림 8에 나타냈다.

제작된 64 비트 SSG 가산기의 덧셈시간은 측정시 외부의 기생적인 효과에 의한 영향을 최소화하기 위해 그림 9와 같이 측정하고자 하는 회로를 통한 지연시간

과 입출력 버퍼만을 거친 지연시간을 각각 측정하여 이들의 차이를 순수 지연시간으로 정의하므로써 정확한 측정이 가능하도록 하였다.^[9]



그림 8. 제작된 칩의 사진
Fig. 8. Microphotograph of the fabricated chip.



$$\text{Delay(D. U. T.)} = \text{Delay(OUT2)} - \text{Delay(OUT1)}$$

그림 9. 덧셈시간 측정을 위한 회로도
Fig. 9. Test diagram for the delay measurement.

2. 측정결과

모의실험에서 사용한 최악조건 입력패턴을 사용하여 덧셈시간을 측정한 결과파형을 그림 10(a)에 모의실험 결과와 함께 나타냈다. 그림 10(a)에서와 같이 제작된 64 비트 SSG 가산기는 모의실험과 같이 정상적으로 동작함을 알 수 있었으며 덧셈시간 측정 결과 프리차지 모드에서의 연산시간은 3.5ns, 이벨루에이션 모드에서의 연산시간은 1.9ns를 나타내 모의실험과 약 20% 정도의 오차를 보였으나 $V_{DD}=5.0V$ 에서 최대 185MHz의 속도로 동작하여 고속의 특성을 가짐을 확인하였다. 또한 약 20%의 게이트가 동작할 때 7.5mW (@ 10MHz)의 전력을 소모하였으며 측정된 덧셈시간의 전원전압 의존도를 전력소모 특성과 함께 그림 10(b)에 나타냈다. 그림 10(b)로 부터 알 수 있는 것처럼 제작된 칩은 $V_{DD}=2.0V$ 에서도 정상적으로 동작하였으며 특히 현재 가장 일반적으로 사용되는 저전압 전원인 $V_{DD}=3.3V$ 에서는 138MHz까지 동작하였다. 또한 64 비트 SSG 가산기는 SsCC 블록에 다이 나믹회로 기법을 사용하였음에도 불구하고 전력소모가

크지 않음을 알 수 있는데 이는 푸쉬-풀 패스-트랜지스터 로직(PPL)을 사용하여 다른 부분의 전력소모를 줄였기 때문인 것으로 판단된다.

제안된 가산기는 문턱전압 (threshold voltage) 이 낮고 저전압 동작에 적합한 3.3V 용 0.5 μm 공정 파라미터를 이용하여 회로를 최적화 한 뒤 모의실험을 통해 성능을 평가하였다.

모의실험 결과 64 비트 SSG 가산기는 $V_{DD}=3.3V$ 에서 최대 277MHz 까지 동작하였으며 전력소모는 약 20%의 게이트 동작시 2.6mW (@ 10MHz) 였다. 이와 같이 0.8 μm 공정을 사용한 경우에 비해 속도 및 전력소모 특성이 상당히 개선됨을 알 수 있는데 이는 문턱전압 및 기생용량이 공정이 발달할 수록 작아지므로 특히 패스-트랜지스터로 구성된 회로의 경우에 더욱 유리하게 작용하기 때문이다. 제안된 가산기의 가산속도 및 전력소모를 포함한 주요 특성을 최근 발표된 64 비트 가산기들과 비교하여 표 2에 정리하였다. 비교된 가산기들의 속도 특성은 제안된 SSG 가산기와 동일한 최악조건 입력패턴을 사용하여 측정된 것이며 전력소모 특성은 50MHz의 동작주파수 및 약 20%의 게이트가 동작되는 동일한 조건으로 하여 비교하였다. 참고로 표 2의 0.5 μm CMOS 공정을 이용한 SSG 가산기의 데이터는 모의실험 결과이며 나머지 데이터는 모두 측정치이다.

표 2. 가산기들의 특성비교

Table 2. Performance comparison of various adders.

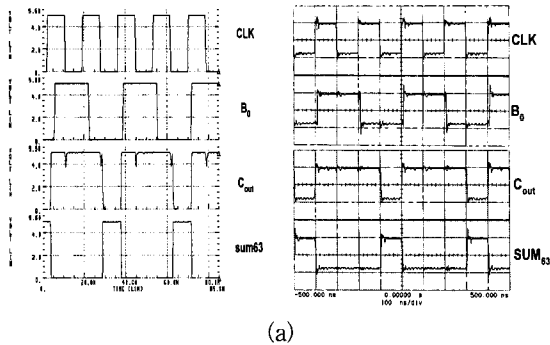
항 목	SSG 가산기		[2]	[4]	비 고		
공 정	0.8 μm ^{#1} CMOS	0.5 μm ^{#2} CMOS	0.5 μm CMOS	0.5 μm CMOS	0.5 μm BiCMOS		
최대동작속도	MHz	185	-	-	-	$V_{DD}=5.0V$	
	MHz	138	277	384	212	285	$V_{DD}=3.3V$
전력소모 (@ 50MHz)	mW	13.0	9.6	13.8	70	80	$V_{DD}=3.3V$
	mW	37.5	-	-	-	-	$V_{DD}=5.0V$
트랜지스터 수	-	3,356	3,356	3,044	4,280	4,712	

#1 : $V_m = 0.8V, V_p = -1.0V.$ #2 : $V_m = 0.60V, V_p = -0.65V$

V. 결 론

합 선택신호 발생 방식의 새로운 알고리즘을 적용하여 기존의 캐리 선택구조나 CSA 등이 가지는 과부하

에 의한 속도저하 문제를 해결함으로써 덧셈지연 시간을 단축시킨 고속의 64 비트 가산기를 설계하고 이를 0.8 μ m CMOS 공정을 이용하여 제작하였다.



(a) <모의실험> <측정>

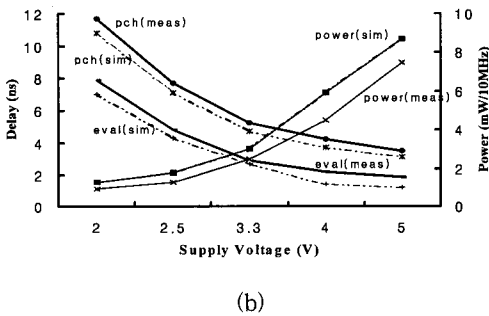


그림 10. 64 비트 SSG 가산기의 측정결과
 (a) 모의 실험과 측정결과의 동작파형 비교
 (b) 가산시간 및 전력소모의 전원전압 의존도
 Fig. 10. Measured results of 64-bit SSG adder.
 (a) Waveform comparison between simulation and measurement (b) Supply voltage dependency of addition delay and power

제안된 SSG 알고리즘은 체인회로를 통해 합 선택 신호를 각 비트 별로 발생시키는 특징을 가지며 이를 통해 CLA 및 CSA의 장점을 그대로 유지하며 선택 신호에 걸리는 과부하 문제를 해결하였다. 특히 알고리즘 측면 이외에도 속도를 더욱 향상시키기 위하여 다이내믹 체인회로와 푸쉬-풀 패스-트랜지스터 로직 (PPL) 등의 회로설계 기법을 사용하였다. 다이내믹 회로 부분은 고속동작의 장점을 최대한 살리는 동시에 다이내믹 노드에 의한 잡음에 약한 특성을 케환기법을 통해 해결하였다.

이와 같이 구현된 64 비트 SSG 가산기는 V_{DD} =5.0V에서 최대 185MHz 까지 동작하였으며 7.5mW/10MHz의 전력을 소모하여 저전력 특성을 유지하며

고속 동작함을 알 수 있었다. 특히 0.5 μ m 이하의 공정에서 속도와 전력소모 면에서 더욱 우수한 특성을 나타냄을 알 수 있었으며 향후 마이크로프로세서나 DSP 등과 같이 고속의 연산을 필요로 하는 경우에 전체 성능의 병목지점 중의 하나인 가산기의 속도를 크게 개선하므로써 디지털 연산 시스템의 성능 향상과 함께 저전압/저전력의 응용분야에 크게 기여할 수 있을 것으로 기대된다.

참 고 문 헌

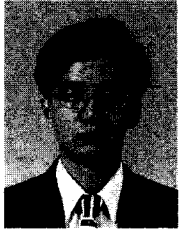
[1] Z. Guan, *et al.*, "A simple and high speed CMOS carry chain adder architecture", *International Journal of Electronics*. vol. 75, no. 4, pp. 743-752, 1993.
 [2] H. Morinaka, *et al.*, "A 64bit Carry Look-ahead CMOS Adder using Modified Carry Select", *IEEE Proc. Custom Integrated Circuits Conference*. pp. 585-588, 1995.
 [3] L. Dadda, V. Piuri, "Pipelined Adders", *IEEE Trans. Computers*, vol. 45, no. 3, pp. 348-356, Mar 1996.
 [4] K. Ueda, *et al.*, "A 64-bit Carry Look Ahead Adder Using Pass Transistor BiCMOS Gates", *IEEE Journal of Solid-State Circuits*. vol. 31, no. 6, pp. 810-817, June 1996.
 [5] A. Inoue, *et al.*, "A 0.4 μ m 1.4ns 32b Dynamic Adder using Non-precharge Multiplexers and Reduced Precharge Voltage Technique", *Symposium on VLSI Circuits Digest of Technical Papers*. pp. 9-10, 1995.
 [6] W.H. Paik, *et al.*, "Push-pull Pass-transistor Logic Family for Low Voltage and Low Power", *Proc. 22nd European Solid-State Circuits Conference*. pp. 116-119, 1996.
 [7] N. Ohkubo, *et al.*, "A 4.4ns CMOS 54 x 54-b Multiplier Using Pass-Transistor Multiplexer", *IEEE Journal of Solid-State Circuits*. vol. 30, no. 3, pp. 251-257, Mar 1995.
 [8] B. S. Kong, *et al.*, "Charge Recycling

Differential Logic for Low-Power Application", *ISSCC Digest of Technical Papers*. pp. 302-203, 1996.

[9] J. Mori, *et al.*, "A 10-ns 54 x 54-b Parallel

Structured Full Array Multiplier with 0.5- μ m CMOS Technology", *IEEE Journal of Solid-State Circuits*. vol. 26, no. 4, pp. 600-606, Apr 1991.

저 자 소 개



白 佑 鉉(正會員)

1961년 10월 2일생. 1984년 2월 고려대학교 전기공학과 졸업. 1986년 2월 고려대학교 대학원 전기공학과(공학석사). 현재 LG 종합기술원 선임 연구원. 1995년 3월 ~ 현재 고려대학교 대학원 전자공학과 박사과정.

주관심분야는 저전력 알고리즘 및 아키텍처, 저전력/고속 디지털 회로 설계, clocking & I/O 회로 등임

金 壽 遠(正會員) 第 33卷 A編 第 8號 參照