

論文 98-35C-4-7

ATM망의 비연결형 서버를 위한 신경망 연상메모리 ASIC 설계

(ASIC Design of Neural Network CAM for Connectionless Server of ATM Network)

崔錫俊*, 朴亨根*, 金煥溶*, 白德洙**

(Sok-Jun Choi, Hyoung-Keun Park, Hwan-Yong Kim, and Deok-Soo Baek)

요 약

본 논문에서는 셀 손실을 줄이고 비연결형 서버의 데이터를 고속으로 처리할 수 있도록 신경망 알고리즘을 이용한 연상 메모리를 제안하였다. 제안된 신경망 연상 메모리는 주소 입력 비트수의 증가에 대해 주소 저장 비트수가 선형적으로 증가하도록 함으로써 기존의 연상 메모리를 이용한 룩업 테이블이 차지하는 면적과 정적 전류의 증가에 대한 전력 소비의 증가를 줄일 수 있는 가능성을 제시하였다. 설계된 신경망 연상 메모리는 VHDL과 Compass Tool을 이용하여 설계 및 시뮬레이션을 수행 하였으며, 전체 레이아웃은 Compass의 셀-베이스 P&R Tool인 Chip Compiler을 이용하여 0.8 μ m 설계 규칙 환경하에서 수행하였다.

Abstract

In this paper, content addressable memory(CAM) using neural network algorithm is proposed to decrease cell loss and process the large amount of data in streaming mode connectionless server at high speed, To overcome problems of area and power dissipation in look-up table using conventional CAM, the proposed neural network CAM is designed to increase linearly address storage bit about increase of address input bit. Its design and simulation is performed by using VHDL and Compass Tool. Also, its layout is performed by using chip compiler, cell-base P&R tool of compass, in 0.8 μ m design rule environment.

I. 서 론

ATM(asynchronous transfer mode)은 대역 사용의 유연성과 고속의 스위칭이 가능한 B-ISDN

(broad band-integrated services digital network)의 교환기술로서 멀티미디어 정보의 효과적인 전송을 가능하게 만들었다. 그러나 ATM은 특성상 연결형 통신에 기반을 둔 방식이므로 전송 이전에 확정된 가상 채널에서 전송이 이루어진다. 따라서 B-ISDN을 형성하는 기존의 비연결형 방식인 LAN이나 MAN과 같은 수많은 망과 함께 상호 망을 구성하기 위해서는 비연결형 서비스를 수용할 수 있는 비연결형 서버를 구축해야 한다^[1,2].

* 正會員, 圓光大學校 電子工學科

(Dept. of Electronic Eng. Wonkwang University)

** 正會員, 國立裡里農工專門大學 電子工學科

(Dept. of Electronics, Iri National Collage of Agriculture & Technology)

※ 이 논문은 1996년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구 되었음.

接受日字:1997年6月28日, 수정완료일:1998年4月3日

비연결형 서버는 연결 설정 절차없이 트래픽을 전달하는 비연결형 통신 서비스를 제공하기 위하여 ATM 망에서 비연결형 트래픽의 라우팅 기능을 수행하는 서

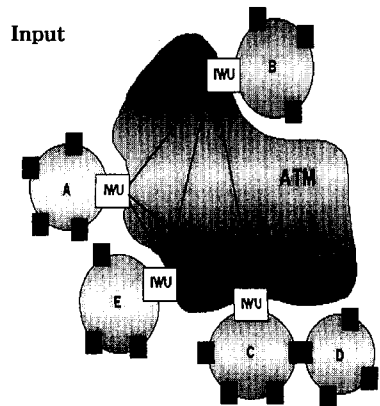
버로서 ATM 교환 시스템과 UNI(user network interface) 또는 NNI(node network interface)를 통하여 접속되며 모든 비연결형 트래픽을 발생하는 단말 및 연동장치(interworking unit)는 영구 가상연결(permanent virtual connection) 또는 반영구 가상연결(semipermanent virtual connection)을 통하여 모든 비연결형 트래픽을 비연결형 서버로 전달한다. 서버는 입력된 셀에 포함된 패킷의 목적지 주소를 판별하여 셀의 VPI/VCI 값을 목적지로 향하는 가상 채널 번호값으로 변환한 후 이를 ATM 교환 시스템으로 입력하는 방법을 통하여 비연결형 셀들을 목적지로 전달한다. ITU-T(I.327)에서는 ATM 망의 비연결형 서비스의 제공을 위해 비연결형 서버를 ATM 망 밖에 두어 비연결형 통신 서비스를 제공하는 간접 제공법과 비연결형 서버를 ATM 망 내에 구성하여 비연결형 통신 서비스를 제공 하는 직접 제공법을 제안하고 있다^[3]. 그리고 비연결형 데이터의 처리 및 전송 방식에 따라 비연결형 서버를 분류할 수 있는데, 프레임 단위로 데이터를 처리하여 전송하는 리어셈블리 모드(reassembly mode)와 셀 단위로 데이터를 처리하여 전송하는 스트리밍 모드(streaming mode)로 분류할 수 있다^[4,5]. 이와같은 방식의 비연결형 서버용 룩업 테이블을 구성하는 데 있어서 기존의 ROM 또는 PLA를 사용하면 고속으로 데이터를 처리할 수는 있지만 테이블의 재구성성이 한정되고 RAM을 사용할 경우에는 테이블을 재구성할 수는 있지만 속도가 저하된다는 단점을 가지고 있다. 이에대한 단점을 보완하기 위해 최근에 병렬 기능으로 데이터를 고속으로 처리할 수 있는 연상 메모리에 대한 연구가 진행중이다^[6,7,8,9]. 하지만 연상 메모리의 경우도 비연결형 서버용 룩업 테이블을 구성하는 데 있어서 입력 비트수가 증가함에 따라 메모리 번지수가 지수적으로 증가하기 때문에 룩업 테이블이 차지하는 면적이 커질 뿐만아니라 정적 전류가 증가하여 전력 소비가 커진다는 단점을 가지고 있다. 또한 기존의 신경망을 이용한 연상 메모리 설계의 경우도 아날로그 회로로 구현되었기 때문에 시냅스 캐패시터의 마스크 프로그래밍이 필요할 뿐만 아니라 데이터를 복구 시키는데 있어서 동일하지 않은 데이터값을 나타내기 쉽고 큰 소비 전력으로 인해 CMOS 공정으로 제작하기가 어렵다^[10,11]. 따라서 본 논문에서는 비연결형 서버용 룩업 테이블에 적용할 수 있는 디지털 신경망 연상 메모리(NNCAM : neural

network content addressable memory)를 구현하기 위하여 입력 패턴과 저장 패턴의 일치 여부를 판단하는 시냅스 회로와 시냅스 회로의 출력값에 대한 2진 값을 발생시키는 뉴런 발생기로 구성된 피드포워드망(feedforward network) 회로와 피드포워드망의 출력 값중에서 가장 큰 값을 추출해주는 WTA 회로, 입력 패턴에 대해 가장 유사도가 높은 WTA 회로의 출력 값에 해당되는 저장 패턴을 선택해서 복구시켜주는 리커버(recover) 회로로 이루어진 구조를 제안하였다. 각 회로는 VHDL을 이용하여 계층적으로 설계하였으며 계층적으로 설계된 신경망 연상 메모리는 COMPASS Tool을 이용하여 합성 기능 및 시뮬레이션 검증을 수행하였고 전체 레이아웃은 0.8 μ m 설계 규칙 환경하에서 Chip Compiler Tool을 이용하여 수행하였다.

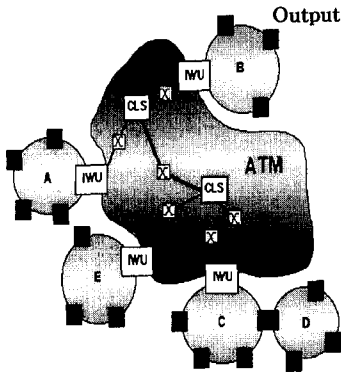
II. 비연결형 서버의 개요

1. 비연결형 서비스 제공 방법

ITU-T I.327에서 제안된 ATM 망의 비연결형 서비스의 제공 방법에는 간접 제공법과 직접 제공법이 있다. 간접 제공법은 비연결형 서버를 ATM 망 밖에 두어 비연결형 통신 서비스를 제공하는 방식으로서 ATM 망이 광대역화 되고, 연결되는 LAN(MAN)의 숫자가 증가함에 따라 망자원을 효율적으로 사용할 수 없다는 단점을 가지고 있다. 직접 제공법은 비연결형 서버를 ATM 망내에 구성하여 비연결형 통신 서비스를 제공 하는 방식으로서 근접한 하나의 비연결형 서버의 연결만이 필요하므로 간접 제공법에 비하여 연결



(a) 간접 제공법(indirect approach)



(b) 직접 제공법(direct approach)

그림 1. 비연결형 서비스의 구조

Fig. 1. Architecture of connectionless service.

연결을 현저하게 줄일 수 있고, 대역폭을 보다 효율적으로 사용할 수 있는 장점을 가지고 있어 현재 간접 제공법 보다 직접 제공법에 대한 연구가 활발히 진행되고 있다^[2,3,4]. 그림 1은 비연결형 서비스의 구조를 나타내고 있다.

2. 비연결형 서버의 비연결형 데이터 전송 방식

비연결형 서버에서 비연결형 데이터를 전송하는 방식에는 스트리밍 모드와 리어셈블리 모드가 있다. 리어셈블리 모드는 프레임의 마지막 셀이 도착할 때까지 데이터를 버퍼에 저장하였다가 프레임의 모든 셀들이 도착한 후 이를 프레임 단위로 처리하여 다음 비연결형 서버로 전송하기 때문에 셀 단위로 데이터를 처리하여 전송하는 스트리밍 모드와는 달리 시간적인 제약은 없고 한 셀이 손상되어도 전 프레임을 폐기할 수 있기 때문에 망의 불필요한 트래픽을 제거할 수 있다는 장점을 가지고 있다. 그러나 데이터를 프레임 단위로 처리하여 전송하기 때문에 용량이 큰 버퍼가 필요하고, 또한 버퍼 관리가 어려울 뿐만 아니라 비연결형 트래픽에 대한 종단 대 종단(end-to-end) 지연이 크다는 단점을 가지고 있다. 반면에 스트리밍 모드 비연결형 서버는 셀단위로 데이터를 처리하여 전송하는 방식으로 프레임의 첫 번째 셀이 비연결형 서버에 도착하자마자 셀에 저장된 목적지 주소를 이용하여 라우팅 테이블에서 접속식별자(VPI/VCI)와 다중식별자(MID)를 찾아 포워딩 테이블에 저장하는데 그 이유는 같은 식별자를 가지고 입력되는 후속 셀들을 도착 즉시 전송할 수 있도록 하기 위해서이다. 이와같이 셀 단위로 데이터를 처리하여 전송하는 스트리밍 모드 비연결

형 서버는 셀의 수신과 처리 및 전송을 단일 셀의 전송 시간내에 수행해야하는 시간적인 제약을 받지만 프레임 손실이 적고 리어셈블리 모드보다 종단 대 종단 지연이 적다는 장점을 가지고 있다^[4,5].

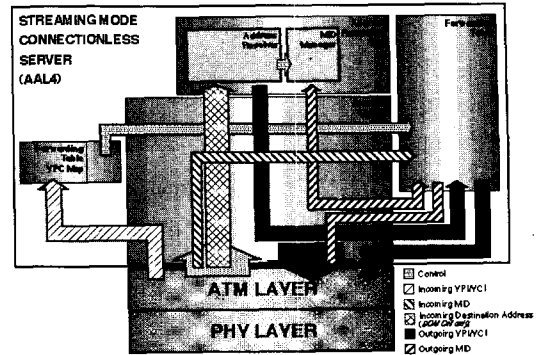


그림 2. 비연결형 데이터 전송을 위한 스트리밍 모드의 구조

Fig. 2. Architecture of streaming mode for transmission of connectionless data.

그림 2는 4개의 블록으로 구분된 비연결형 데이터 전송을 위한 스트리밍 모드의 구조를 나타내고 있다. 스트리밍 모드는 각 셀의 입력 VPI/VCI에 대한 연결 번호를 출력하는 포워딩 테이블 VPC 맵과 비연결형 서버에서 처리된 각 프레임에 대한 정보를 저장하는 포워딩 테이블, 그리고 입력된 셀의 목적지 주소를 분석하여 새로운 VPI/VCI/MID를 할당하는 어드레스 리졸루션 맵(address resolution map)과 망과 통신을 제어하는 프로토콜 엔진(protocol engine)으로 구성되어 있다.

III. 비연결형 서버용 룩업 테이블 구조

1. 기존의 비연결형 서버용 룩업 테이블

스트리밍 모드 비연결형 서버용 룩업 테이블을 구성하는 데 있어서 ROM 또는 PLA를 사용할 경우 데이터를 고속으로 처리할 수는 있지만 테이블의 재구성성이 한정된다. 따라서 테이블의 재구성성이 가능한 RAM을 사용하지만 속도가 저하되는 단점을 가지고 있다. 최근에 폭넓은 응용 분야에서 사용되고 있는 연상 메모리의 경우도 병렬 기능으로 데이터를 고속으로 처리할 수는 있지만 비연결형 서버용 룩업 테이블을 구성하는 데 있어서 입력 비트수가 증가함에 따라 메모리 번지수가 지수적으로 증가하기 때문에 룩업 테이블이 차지

하는 면적이 커질 뿐만 아니라 정적 전류가 증가하여 전력 소비가 커진다는 단점을 가지고 있다^[6,7,8,9]. 이와같은 단점을 보완하기 위해 신경망을 이용한 연상 메모리 설계에 대한 연구가 진행중에 있지만 기존의 경우는 아날로그 회로로 구현되었기 때문에 시냅스 캐패시터의 마스크 프로그래밍이 필요할 뿐만 아니라 데이터를 복구시키는 데 있어서 동일하지 않은 데이터값을 나타내기 쉽고 큰 소비 전력으로 인해 집적회로로 구현하기가 어렵다^[10,11]. 따라서 본 논문에서는 ATM 망의 비연결형 서버에서 라우팅 정보의 탐색 과정을 고속으로 처리할 수 있고 입력값의 증가에 대해 메모리 번지수가 선형적으로 증가하는 특성을 갖는 완전한 디지털 동작이 이루어지는 NNCAM 알고리즘을 비연결형 서버용 룩업 테이블에 적용할 수 있도록 제안하였다.

2. 비연결형 서버용 룩업 테이블을 위한 NNCAM

비연결형 서버용 룩업 테이블에 적합한 디지털 NNCAM의 구조는 룩업 테이블의 번지 지정 입력과 뉴런 어레이의 저장 패턴의 매칭 거리에 상응하는 출력값을 발생시키는 피드포워드망 회로와 그 값을 입력으로 받아 억제 동작을 수행하는 WTA 회로로 구성된 포워드망(forward network) 블록과 포워드망 블록의 뉴런 선택 결과를 입력으로 받아 선택된 뉴런이 저장하고 있는 룩업 테이블 저장 패턴값을 발생시킴으로써 번지 지정 입력에 가장 근접한 룩업 테이블의 경계값을 지정하는 리커버(recover) 블록으로 구성된다.

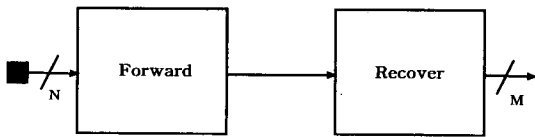


그림 3. NNCAM의 구조
Fig. 3. Architecture of NNCAM.

그림 4의 포워드망에서 피드포워드망 회로는 입력패턴(x_i)과 순방향 연결강도(S_{ji})에 입력된 기준 패턴의 스칼라 곱에 의해 가중된 매칭값들의 매칭거리를 구하는 기능을 수행하고 WTA 회로에서는 피드포워드망의 출력인 매칭값들의 매칭거리를 입력으로 받아 가장 큰 매칭 거리값만을 '1'로 출력시키고 다른 매칭 거리값들은 '0'으로 측면억제시키는 기능을 수행함으로써 입력패턴에 대해 가장 유사한 기준패턴 값($r^{(m)}$)만을

출력시킨다.

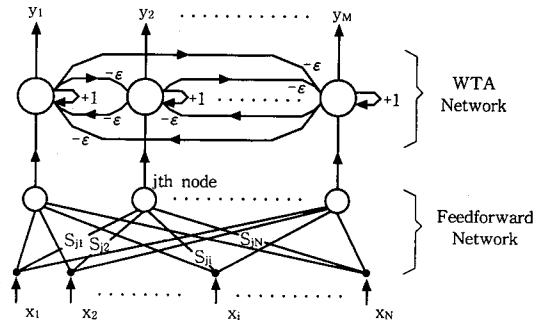


그림 4. 포워드망
Fig. 4. Forward network.

이와같은 포워드망의 동작은 식 (1)과 같이 표현된다.

$$r^{(m)} = WTA(\sum_j S_{ji}x_i) \tag{1}$$

WTA의 측면억제 동작은 식 (2)와 같이 표현된다.

$$f_i(a) = \begin{cases} 1 & a = \text{Max value} \\ 0 & a = \text{Otherwise} \end{cases} \tag{2}$$

리커버 블록은 포워드망에서 주소 입력 패턴값에 대해 가장 큰 매칭값에 해당되는 주소 저장 경계 패턴값을 복구하여 출력시키는 기능을 수행한다.

IV. NNCAM의 하드웨어 설계

1. 피드포워드망 회로

설계된 피드포워드망 회로는 주소 입력 패턴값인 27 비트 2진 입력 패턴에 대해 매칭 거리값을 계산 하도록 6개의 뉴런 회로 저장 패턴에 경계값을 설정하여 최대 매칭 거리값을 갖는 뉴런 셀에 대해 가장 큰 값을 출력하는 기능을 수행한다. 설계된 피드포워드망 회로는 그림 5와 같다.

설계된 피드포워드망 회로의 뉴런 회로는 그림 6과 같이 입력패턴 a<27:0>와 저장패턴 b<27:0>의 비교 및 일치 여부를 판단하여 일치시에는 "1"을 불일치시에는 "0" 값을 출력하는 27개의 XOR로 구성된 시냅스 부와 시냅스부의 출력값에 대해 식 (3)의 2진 값으로 변환해주는 연산 기능을 빠르게 수행할 수 있도록 기존의 카운터 회로 대신 AND 논리 회로로 구성된 뉴런 발생기로 설계하였다. 설계된 뉴런 회로는

Maxnet_operator의 출력인 뉴런 구동신호(m_rst <27:0>)와 뉴런 리셋 신호(rst)가 동시에 "1"인 경우에만 기능을 수행한다.

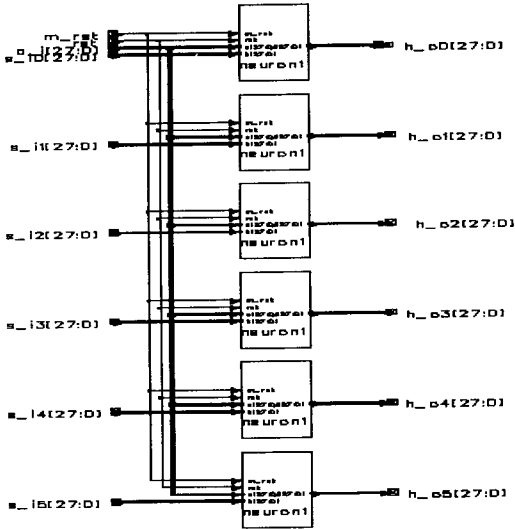


그림 5. 피드포워드망 회로
Fig. 5. Feedforward network circuit.

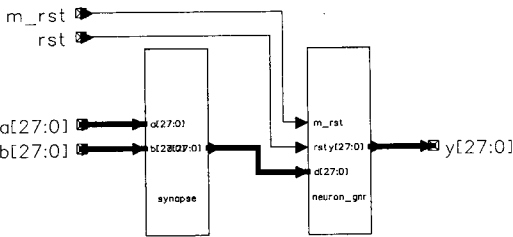


그림 6. 뉴런 회로
Fig. 6. Neuron circuit.

2. WTA 회로

피드포워드망의 출력인 6개의 h_o<27:0>을 입력으로 인가받아 측면 억제 동작을 수행하는 Maxnet_block 회로와 Maxnet_operator 회로로 이루어진 WTA 회로는 그림 7과 같다.

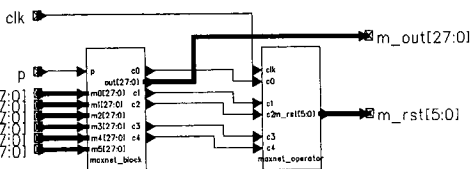


그림 7. WTA 회로
Fig. 7. WTA circuit.

2개의 뉴런 출력값을 입력으로 인가받아 비교기에서 크기를 비교하고 그 출력값을 Mux의 선택 입력으로 사용하여 두 입력 값중 큰 값을 출력시키는 동작을 수행하는 5개의 기본셀인 Maxnet_cell 회로에서 비교 결과값(C_i) 및 가장 매칭이 큰 값(m_out<27:0>)만을 선택하여 출력시키는 Maxnet_block 회로는 그림 8과 같다.

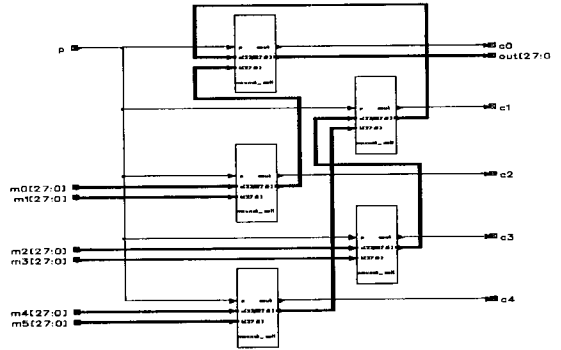


그림 8. Maxnet_block 회로
Fig. 8. Maxnet_block circuit.

Maxnet_block 회로의 5개 비교 결과값(C_i)을 입력으로 인가받아 가장 매칭이 큰 2진 코드값에 해당되는 뉴런 선택신호만을 "1" 정보로 나머지 뉴런 선택신호는 "0" 정보를 m_rst<5:0>를 통하여 출력하는 표 1의 디코딩 기능을 수행하는 Maxnet_operator 회로는 그림 9와 같다.

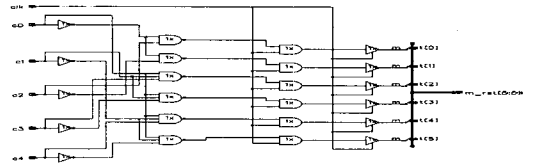


그림 9. Maxnet_operator 회로
Fig. 9. Maxnet_operator circuit.

3. NNCAM 회로

그림 10의 설계된 NNCAM은 주소 입력 패턴값과 가장 일치되는 주소 저장 경계 패턴값을 추출하는 룩업 테이블 기능을 수행하기 위해 입력 패턴으로부터 매칭 거리값이 최대인 저장 패턴을 출력시키는 뉴런으로 구성된 피드포워드망 회로와 가장 큰 매칭값과 뉴런 구동 신호를 선택 출력시키는 WTA 회로 그리고 가장 큰 매칭값에 해당되는 주소 저장 패턴값을 복구

시키는 리커버 회로와 주변회로를 VHDL 코드를 이용하여 계층적으로 설계하였으며, 이를 COMPASS Tool을 이용하여 회로 합성을 수행하였다.

표 1. 뉴런 구동신호 m_rst<5:0>의 값
Table 1. Value of neuron driving signal m_rst<5:0>.

C _i	m_rst<5:0>
c2 nc0	m_rst<0> = 1
nc2 nc0	m_rst<1> = 1
c3 c1 c0	m_rst<2> = 1
nc3 c1 c0	m_rst<3> = 1
c4 nc1 c0	m_rst<4> = 1
nc4 nc1 c0	m_rst<5> = 1

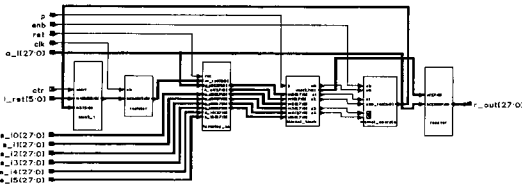


그림 10. NNCAM 회로
Fig. 10. NNCAM circuit.

설계된 룩업 테이블은 기존의 CAM을 이용한 룩업 테이블에 비해 약 90%의 하드웨어 절감 효과를 얻을 수 있고 CMOS 로직을 이용하여 하드웨어 설계가 이루어지므로 정적(Static) 전력 소비를 줄일 수 있고 ASIC 기술을 사용하는 연상 메모리의 응용 분야에 적용시 별도의 셀 컴파일러가 요구되지 않는다는 장점을 가지고 있다.

V. NNCAM 회로의 시뮬레이션 및 레이아웃

설계된 비연결형 서비용 룩업 테이블에 적합한 NNCAM 회로는 COMPASS Tool을 이용하여 시뮬레이션을 수행하였다. 피드포워드망 회로의 시뮬레이션 결과는 그림 11과 같다.

그림 11의 시뮬레이션 검증을 통하여 확인된 출력 특성 결과는 표 2와 같이 27 비트의 입력의 주소 번호 지정 입력 패턴이 a_i<27:0> 단자에 입력될 경우 6개의 저장 경계 패턴값을 갖고 있는 s_{i0}<27:0> ~ s_{i5}<27:0> 단자들과 입력 패턴이 일치 되는 부분에

서 "hffffff" 값을 출력한다.

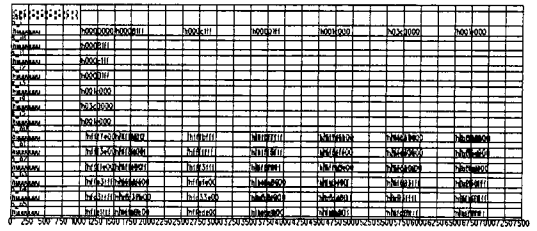


그림 11. 피드포워드망 회로의 시뮬레이션
Fig. 11. Simulation of feedforward network circuit.

표 2. 피드포워드망 회로의 출력 특성 결과
Table 2. Output result of feedforward network circuit.

입력 패턴값 (27 비트)	a _i	h00081ff	h000c1ff	h00001ff	h001c000	h03c0000	h001e000
저장 경계 패턴값 (27 비트)	s _{i0}	h00081ff					
	s _{i1}	h000c1ff					
	s _{i2}	h00001ff					
	s _{i3}	h001c000					
	s _{i4}	h03c0000					
	s _{i5}	h001e000					
출력값 (27 비트)	h _{o0}	hffffff	hfffbfff	hfff7fff	hffebe00	hfc37e00	hffe9e00
	h _{o1}	hfff7fff	hffffff	hfff3fff	hffe0000	hfc33e00	hffede00
	h _{o2}	hfff7fff	hfff3fff	hffffff	hffe3e00	hfc3fe00	hffe1e00
	h _{o3}	hffebe00	hffe0000	hfc3fe00	hffffff	hfc23fff	hffdffff
	h _{o4}	hfc37e00	hfc33e00	hfc3fe00	hfc23fff	hffffff	hfc21fff
	h _{o5}	hffe9e00	hffede00	hffe1e00	hffdffff	hfc21fff	hffffff

WTA 회로의 시뮬레이션 결과는 그림 12와 같다.

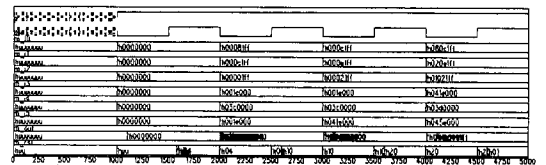


그림 12. WTA 회로의 시뮬레이션
Fig. 12. Simulation of WTA circuit.

그림 12의 시뮬레이션 검증을 통하여 확인된 출력 특성 결과는 표 3에 근거하여 피드포워드망의 출력값을 입력으로 받은 m_{i0} ~ m_{i5} 단자중에서 가장 매칭이 큰 값과 그 값에 해당되는 뉴런 선택 신호(m_rst)만을 출력시키는 기능을 표 3에 나타내었다.

표 3. WTA 회로의 출력 특성 결과
Table 3. Output result of WTA circuit.

입력값(27 비트)	m_i0	h00081ff	h000c1ff	h080c1ff
	m_i1	h000c1ff	h000e1ff	h020e1ff
	m_i2	h00001ff	h00021ff	h01021ff
	m_i3	h001c000	h001e000	h041e000
	m_i4	h03c0000	h03c0000	h03d0000
	m_i5	h001e000	h041e000	h045e000
가장 큰 매칭값 (27 비트)	m_out	h03c0000	h041e000	h080c1ff
뉴런구동신호 (6 비트)	m_rst	h10	h20	h01

NNCAM을 이용한 룩업 테이블 회로의 시뮬레이션 결과는 그림 13과 같다.

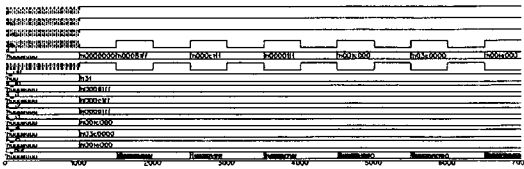


그림 13. NNCAM 이용한 룩업 테이블 회로의 시뮬레이션
Fig. 13. Simulation of look-up table circuit using NNCAM.

그림 13의 시뮬레이션 검증을 통하여 확인된 출력 특성 결과는 표 4에서 나타낸 바와 같이 임의의 주소 입력 패턴값이 a_i<27:0> 단자에 입력될 경우 저장 경계 패턴값을 가지고 있는 s_i0 ~ s_i5 단자중에서 가장 유사한 저장 경계 패턴값을 r_out<27:0> 단자를 통하여 출력 시키는 기능을 수행함을 룩업 테이블의 출력값에서 나타내고 있다.

표 4. NNCAM을 이용한 룩업 테이블 회로의 출력 특성 결과

Table 4. Output result of lookup table circuit using NNCAM.

변지저장 입력값 (27 비트)	a_i	h00081ff	h000c1ff	h00001ff	h001c000	h03c0000	h001e000
저장패턴값 (27 비트)	s_i0	h00081ff					
	s_i1	h000c1ff					
	s_i2	h00001ff					
	s_i3	h001c000					
	s_i4	h03c0000					
	s_i5	h001e000					
룩업 테이블의 출력값 (27 비트)	r_out	h00081ff	h000c1ff	h00001ff	h001c000	h03c0000	h001e000

그림 10의 설계된 NNCAM 회로를 COMPASS의 P&R Tool인 Chip Compiler을 이용하여 0.8μm 설계 규칙 환경하에서 팬텀 레이아웃한 결과는 그림 14와 같다. 전체 Chip 크기는 331.78 × 334.87 mil 이고 Core 크기는 82.30 × 32.94 mil 이다.

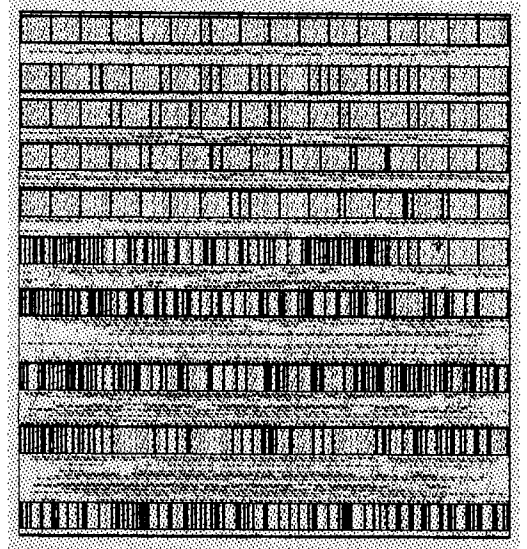


그림 14. NNCAM 회로의 팬텀 레이아웃
Fig. 14. Pantom layout of NNCAM circuit.

VI. 결론

본 논문에서는 ATM 망의 비연결형 서버에서 라우팅 정보의 탐색 과정이 고속으로 처리될 수 있도록 디지털 동작이 이루어지는 NNCAM 알고리즘을 비연결형 서버용 룩업 테이블에 적용하여 입력값의 증가에 대해 메모리 번지수가 선형적으로 증가하는 특성으로 인해 기존의 CAM을 이용한 방식에 비해 하드웨어 크기를 90% 정도 줄일 수 있었다. 설계된 비연결형 서버용 룩업 테이블에 적합한 NNCAM은 VHDL을 이용하여 계층적으로 코딩을 하고 COMPASS Tool을 이용하여 회로 합성 및 시뮬레이션을 수행하였다. 회로 시뮬레이션 결과 제안된 방식은 임의의 비연결형 데이터에 대해 저장 패턴에 저장된 경계치 값중에서 가장 상응되는 저장패턴 값을 선택 출력시키는 기능을 수행함을 확인하였다. 또한, 동작이 검증된 전단부 설계 회로를 COMPASS의 P&R Tool인 Chip Compiler을 이용하여 0.8μm 설계 규칙 환경하에서 팬텀 레이아웃을 수행한 결과 전체 Chip 크기

는 331.78 × 334.87 mil 이고 Core 크기는 82.30 × 32.94 mil이다.

참 고 문 헌

- [1] M. Gerla, T.-Y. Tai, and G. Gallassi. "LAN/MAN Interconnection to ATM : A Simulation Study," In Proceeding of INFOCOM 92, March, 1992.
- [2] Kiyoshi Shimokoshi, "Performance Comparison of Bandwidth Allocation Mechanisms for LAN/MAN Interworking through an ATM Network", ICC, pp 1405-1411, 1994.
- [3] ITU-T Recommendation I.327 : B-ISDN Functional Architecture, 1991.
- [4] Brett J. Vickers and Tatsuya Suda, "Connectionless Service for Public ATM Networks," IEEE Communication Magazine, Aug. 1994.
- [5] Duke P. Hong, Brett J. Vickers and Tatsuya Suda and Carlos Oliveira, "The Internetworking of Connectionless Data Networks over Public ATM : Connectionless Server Design and Performance," Technical Report #94-41, Dept. of Information and Computer Science, UC Irvine
- [6] A. K. Goksel et al., "A Content Addressable Memory Management Unit with On-Chip Data Cache" IEEE J. of solid-state circuit, vol. 24, no. 23, June 1989.
- [7] Simon R. Jones, "A 9-kbit Associative Memory for High-speed Parallel Processing Applications", IEEE J. of solid-state circuits, vol. 23, no. 2, April 1988.
- [8] James T. Koo, "Intergrated Circuit Content Addressable Memories" IEEE J. of solid-state circuit, vol. sc-5, no. 5, October 1970.
- [9] Tactanobu Nikaido "A 1k bits Associative Memory LSI". Proceeding of the 14th Conference on Solid State Devices, Japanese Journal of Applied Physics, pp. 51-54, vol. 22,(1983) Supplement 22-1
- [10] Michel Verleysen, "Neural Networks for High-Storage Content-Addressable Memory: VLSI Circuit and Learning Algorithm", IEEE Journal of Solid-State Circuits, vol. 24, no. 3, pp. 562-569, Jun. 1989.
- [11] Michel Verleysen *et al.*, "Neural Networks for High-Storage Content-Addressable Memory : VLSI Circuit and Learning Algorithm," *IEEE J. of Solid-State Circuits*, vol. 24, no. 3, pp. 562-568, June 1989.
- [12] Yoh-Han Pao, "Adaptive Pattern Recognition and Neural Networks", Addison Wesley, pp. 173-178, 1989.

저 자 소 개



崔錫俊(正會員)

1971년 4월 4일생. 1993년 2월 원광대학교 전자공학과(공학사). 1995년 8월 원광대학교 전자공학과(공학석사). 1995년 9월 ~ 현재 원광대학교 전자공학과 박사과정 재학중. 주관심 분야는 영상통신 및 이동통신 시스템,

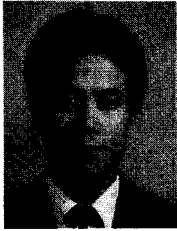
디지털 모뎀 설계, VLSI 설계, 신경회로망



朴亨根(正會員)

1969년 3월 15일생. 1993년 2월 원광대학교 전자공학과(공학사). 1995년 2월 원광대학교 전자공학과(공학석사). 1998년 2월 원광대학교 전자공학과(박사과정 수료). 주관심분야는 B-ISDN, VLSI 설계, 디지털

신호처리 시스템



金煥溶(正會員)

1951년 5월 11일생. 1973년 2월 전북대학교 전기공학과(공학사). 1978년 2월 전북대학교 전기공학과(공학석사). 1984년 8월 전북대학교 전기공학과(공학박사). 1979년 3월 ~ 현재 원광대학교 전자공학과 교수. 주

관심분야는 영상통신 및 이동통신 시스템, 디지털 신호처리 시스템, 신경회로망



白德洙(正會員)

1963년 1월 7일생. 1981년 2월 원광대학교 전자공학과(공학사). 1995년 2월 원광대학교 전자공학과(공학석사). 1998년 2월 원광대학교 전자공학과(박사과정 수료). 주관심분야는 B-ISDN, VLSI 설계, 디지털 신호

처리 시스템