

論文98-35C-4-6

2단 전류셀 매트릭스 구조를 지닌 저전압 고속 8비트 CMOS D/A 변환기

(A Low voltage High Speed 8 Bit CMOS Digital-to-Analog Converter with Two-Stage Current Cell Matrix Architecture)

金志炫*, 權容福**, 尹廣燮***

(Ji-Hyun Kim, Yong-Bok Kwon, and Kwang Sub Yoon)

요 약

본 논문은 상위 4비트와 하위 4비트의 대칭형 2단 전류셀 매트릭스 구조를 지닌 3.3V 8비트 CMOS D/A 변환기를 제안한다. 대칭형 2단 전류셀 매트릭스 구조를 D/A 변환기가 지니므로 가질 수 있는 장점은 디코딩 논리회로의 복잡성을 단순화 시킬 수 있을 뿐만아니라 와이드 스윙 캐스코드 전류미러의 숫자를 줄일 수 있어서 저전력소모를 가져올 수 있다. 제안된 변환기는 0.8 μ m CMOS n-well 표준공정을 이용하여 제작되었으며, 유효 칩면적은 0.8 mm²이다. 제작된 칩의 상승/하강시간, 정착시간 및 INL/DNL은 각각 6ns, 15ns, $\pm 0.8/\pm 0.75$ LSB로 나타났다. 또한 제작된 D/A 변환기는 2V의 공급전원까지 동작하였으며, 특히 3.3V의 공급전원에서는 34.5mW의 저전력소모가 측정되었다.

Abstract

This paper describes a 3.3V 8 bit CMOS digital to analog converter (DAC) with two stage current cell matrix architecture which consists of a 4 MSB and a 4 LSB current matrix stage. The symmetric two stage current cell matrix architecture allows the designed DAC to reduce not only a complexity of decoding logics, but also a number of wide swing cascode current mirrors. The designed DAC with an active chip area of 0.8 mm² is fabricated by a 0.8 μ m CMOS n-well standard digital process. The experimental data shows that the rise/fall time, the settling time, and INL/DNL are 6ns, 15ns, and a less than $\pm 0.8/\pm 0.75$ LSB, respectively. The designed DAC is fully operational for the power supply down to 2.0V, such that the DAC is suitable for a low voltage and a low power system application. The power dissipation of the DAC with a single power supply of 3.3V is measured to be 34.5mW.

1. 서 론

VLSI의 기술이 발달함에 따라 소자의 집적도가 향상이 되어 종래에 보드상에서 실현 가능하였던 시스템을 하나의 칩(System on a chip)위에 집적시키는 것이 가능하게 되었다. 이에 따라서 최근에는 디지털 신호 처리 기술이 급격히 향상되면서 CDP, 디지털 캠코더, 호출기 및 휴대폰과 같은 디지털 신호처리 통신시스템 등에 디지털 회로에서 처리된 신호를 아날로그 신호로 변환하는 D/A 변환기(Digital to Analog Converter)

* 正會員, LG 半導體(株) 技術研究所, MIBU 설계 3실

(LG Semicon Co., Ltd)

** 正會員, 正修技能大學 電子技術學科

(Chung-soo Polytechnic College, Dept. of Elec. Eng.)

*** 正會員, 仁荷大學校 電子工學科

(Inha University, Department of Electronic Engineering)

接受日字:1998年2月10日, 수정완료일:1998年3月27日

ter)의 중요성이 대두되고 있다.

기존의 대표적인 D/A 변환기는 커패시터 어레이 구조, R-2R 사다리형 구조, 전압 분배기 구조, 단일 전류셀 매트릭스 구조등을 이용하여 설계하였다. 커패시터 어레이 D/A 변환기는 CMOS 집적회로 공정발달에의해 0.1% 미만의 소자부정합특성을 지닌 정밀한 커패시터를 제작할 수 있으므로 10비트 이상 고해상도 D/A 변환기를 구현할 수 있다. 그러나 커패시터를 충·방전시키는데 걸리는 오랜 지연시간은 회로의 고속동작을 어렵게하며, 또한 커패시터 어레이가 차지하는 커다란 면적때문에 전체회로를 시스템내 집적화시키는데 어려움이 있다^{[1], [2]}. 이에 반해서 R-2R 사다리형 D/A 변환기는 저항의 비율을 이용하여 전류를 분배하는 구조를 가지므로 회로구조가 간단하고 동작속도는 수MHz에 이른다. 그러나 저항 부정합에 의해서 생기는 오차때문에 8비트 이상의 해상도를 지닌 D/A 변환기를 구현하기가 힘들다. 최근에는 후처리 가공기술을 이용하여 10비트도 구현하지만 제작하는데 많은 시간과 어려움이 따른다. 전압 분배기 구조의 D/A 변환기는 전압구동 방식으로 저항어레이를 이용한 D/A 변환기이다^[3]. 이 구조는 수동소자 저항어레이를 사용하여 선형성은 우수하지만 출력에 낮은 임피던스를 얻기 위한 고속 출력전압 버퍼를 필요하므로 전력소모가 증가되고, 저항어레이 사용으로 인한 칩면적이 증가한다는 단점이 있다. 단일 전류셀 매트릭스 구조의 D/A 변환기는 전류구동 방식으로 매트릭스 전류셀을 이용한 D/A 변환기이다^{[4]-[9]}. 이러한 구조의 D/A 변환기는 각각의 차동 전류셀의 동작으로 전류를 출력으로 보내 주어 빠른 변환속도를 가지고 있고 각각의 전류원이 1LSB(Least Significant Bit)를 나타내므로 단조증가성이 우수하다. 그러나 해상도가 증가할수록 전류셀 숫자의 지수함수적인 증가와 디코더의 복잡성으로 인하여 회로 크기의 증가와 큰 전력소모 등의 단점이 있다.

특히 컴퓨터 시스템, HDTV 등의 영상신호 처리 분야에서 고속 D/A 변환기는 8비트 이상의 높은 해상도와 65MHz이상의 빠른 변환속도를 가져야 한다^{[4], [10]}. 기존의 전압 분배기 구조 및 단일 전류셀 매트릭스 구조를 지닌 D/A 변환기들은 해상도와 변환속도를 만족하지만, 회로의 크기의 증가로 인하여 혼합신호 집적회로의 구현의 어려움을 뿐만 아니라, 큰 소비전력과 높은 공급전압으로 저전압 및 저전력 휴대용시

스템에 사용하기에 부적합하다.

따라서 본 논문은 빠른 정착시간을 갖는 전류셀 매트릭스의 장점을 이용하면서 기존의 고속 D/A 변환기 내 디코더의 복잡성으로 인한 지연시간의 증가, 회로 크기와 전력소모를 최소화하기위해 상위 4 MSB (Most Significant Bit)전류원 매트릭스와 하위 4 LSB전류원 매트릭스로 구성된 2단 매트릭스 구조를 지닌 D/A 변환기를 제안한다. 이 2단 매트릭스 구조를 사용함으로써 전류원이 차지하는 면적과 디코더 부분의 논리회로를 단순화시켜 회로의 복잡성과 칩 크기를 줄일 수 있었고, 빠른 정착시간을 가지는 영상신호처리용 저전력 고속 D/A 변환기를 구현하였다.

2장에서는 제안한 2단 전류셀 매트릭스 D/A 변환기의 구조와 내부 블록인 행 디코더, 열 디코더, 스위칭 매트릭스 디코더, 스위치 전류원, 바이어스 회로의 동작원리와 설계 방법론 및 설계에 대해서 설명하였다. 3장에서는 0.8 μ m CMOS n-well double metal/double poly 공정을 이용하여 제작된 D/A 변환기의 실험결과 및 고찰에대해서 설명하였고, 4장에서는 결론을 맺었다.

II. 2단 전류셀 매트릭스 D/A 변환기 설계

기존의 단일 전류셀 매트릭스 D/A 변환기는 전류원과 디코더의 복잡성으로 인한 회로크기의 증가와 큰 전력소모를 가지고 있어 혼합신호 집적화에 문제점을 가지고 있었다. 이러한 문제점을 해결하기위해 그림 1과 같은 구조를 지닌 2단 전류셀 매트릭스 D/A 변환기를 제안하였다. 설계된 D/A 변환기는 상위 4 MSB(B4-B7)와 하위 4 LSB(B3-B0)로 구성된 2단 매트릭스 구조를 가진다. 각각의 매트릭스단은 행 디코더, 열 디코더, 매트릭스 스위칭 디코더, 그리고 전류셀 매트릭스로 구성된다.

그림 1에서 제안된 구조를 지닌 2단 전류셀 매트릭스 D/A 변환기의 전체 회로도도 그림 2에 나타나있다. 열 디코더, 행 디코더의 복잡성과 전류원의 수를 감소시키기 위해서 상위 4 MSB(B4-B7)와 하위 4 LSB(B0-B3)로 구성된 2단 매트릭스 전류셀 구조를 제안하였다. 디지털 입력값(B0-B7)은 행 디코더와 열 디코더에 의해서 디코딩된다. 디코딩된 값(R_{2i} , R_{2i+1} , C_j)은 매트릭스 스위칭 디코더를 통해서 $V_{o,ij}$ 를 발생시킨다. $V_{o,ij}$ 신호는 스위치 전류원에 인가되어 $I_{out,i,j}$

와 $\overline{I_{out,i,j}}$ 를 제어한다. 출력전류(I_{out})와 출력전압 (V_{out})은 각각 식(1)과 (2)로 표시되며, 식(3)과 같이 상위 4비트를 구성하는 전류원은 하위 4비트를 구성하는 전류원보다 16배의 전류원의 크기를 가진다.

$$V_{OUT} = I_{OUT} \cdot R_{LOAD} \quad (2)$$

$$I_{MSB} = 16I_{LSB} \quad (3)$$

여기서 I_{MSB} , I_{LSB} , b_i , R_{LOAD} 는 각각 MSB 부분의 전류, LSB 부분의 전류, 디지털 입력, 외부 부하저항을 나타낸다.

2단 전류셀 매트릭스 D/A 변환기에서 입력된 디지털 코드값은 상위 4비트와 하위 4비트로 나누어져 열 디코더와 행 디코더를 통해서 디코딩된다. 그림 3(a)와 그림3(b)는 각각 행 디코더와 열 디코더의 회로구조를 나타낸다. 입력된 BCD 코드는 이 디코더를 통해 표 1에서 보는 바와 같이 입력이 증가할수록 출력값은 감소하는 역순도계 코드(inverting thermometer code)로 변환된다. 기존의 D/A 변환기^{[4]-[9]}는 논리회로의 복잡성으로 인한 통과 게이트 수가 달라져 출력신호간의 지연시간 오차가 발생하기때문에 래치회로를 사용하여 신호를 동기화시켜준다. 그러나 2단 전류셀 매트릭스 D/A 변환기의 열 디코더와 행 디코더에서는 출력신호를 얻기 위해 각각 1개의 논리 게이트만 지나기 때문에 지연 시간의 차이는 없다. 따라서 디코더 부분의 출력신호를 동기화시키기 위한 래치회로가 필요없어서 회로를 단순화시킬 수 있을 뿐만 아니라 전력소모를 줄일 수 있다.

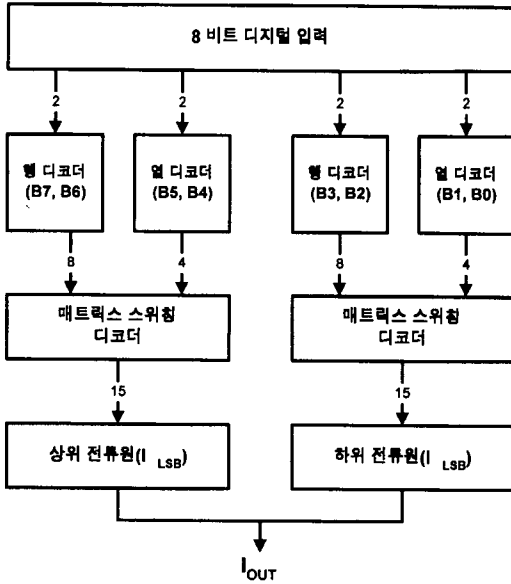


그림 1. 2단 전류셀 매트릭스 D/A 변환기의 전체 블록도
Fig. 1. Block diagram of the proposed two stage current cell matrix structure for the 8 bit D/A converter.

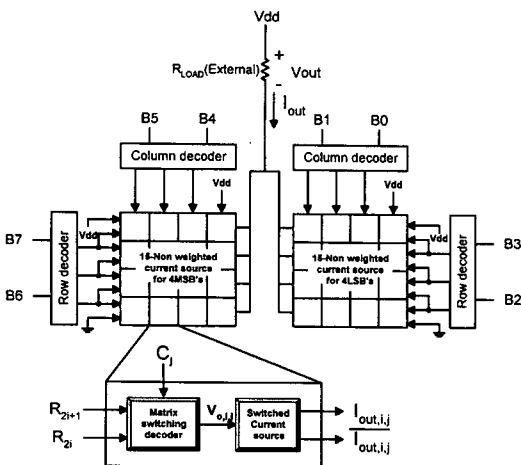


그림 2. 2단 전류셀 매트릭스 D/A 변환기의 전체 회로도
Fig. 2. Circuit diagram of two stage current cell matrix D/A converter

$$I_{OUT} = I_{MSB}(2^3b_7 + 2^2b_6 + 2b_5 + b_4) + I_{LSB}(2^3b_3 + 2^2b_2 + 2b_1 + b_0) \quad (1)$$

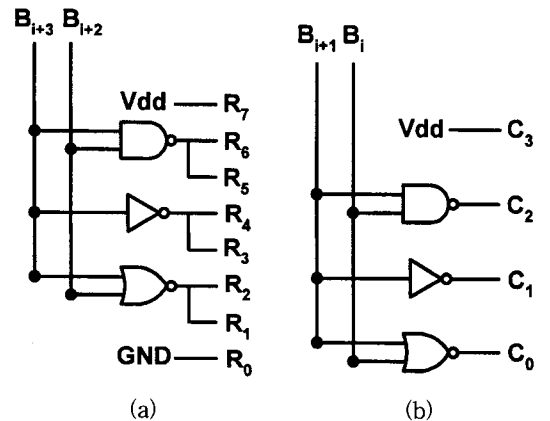


그림 3. (a) 행 디코더와 (b) 열 디코더의 회로도
Fig. 3. Circuit diagram of (a) a row decoder and (b) a column decoder

열 디코더와 행 디코더를 통해 디코딩된 값은 매트릭스 스위칭 디코더의 입력으로 들어간다. 매트릭스 디코더의 출력은 각각의 차동쌍 구조를 가진 스위치 전류원을 구동시킨다. 전류원의 빠른 변환속도를 가지

기 위해 매트릭스의 고속동작이 요구된다. 그림 4(a)는 매트릭스 스위칭 디코더의 회로를 나타낸다. 출력 전압 $V_{o,i,j}$ 는 식(4)로 표시되며, R_{2i} 가 논리 '1'일 때 R_{2i+1} , C_j 값에 관계없이 출력은 논리 '0'이 된다.

표 1. 입력 BCD 코드에 대응하는 행 디코더와 열 디코더의 출력 온도계코드표
Table 1. Output thermometer code of row decoder and column decoder associated with the input BCD code.

입력 BCD		행 디코더의 출력 코드						입력 BCD		열 디코더의 출력 코드					
B_{v3}	B_{v2}	R_7	R_6, R_5	R_4, R_3	R_2, R_1	R_0	B_{v1}	B_i	C_3	C_2	C_1	C_0			
0	0	1	1	1	1	0	0	0	1	1	1	0			
0	1	1	1	1	0	0	0	1	1	1	0	0			
1	0	1	1	0	0	0	1	0	1	0	0	0			
1	1	1	0	0	0	0	1	1	0	0	0	0			

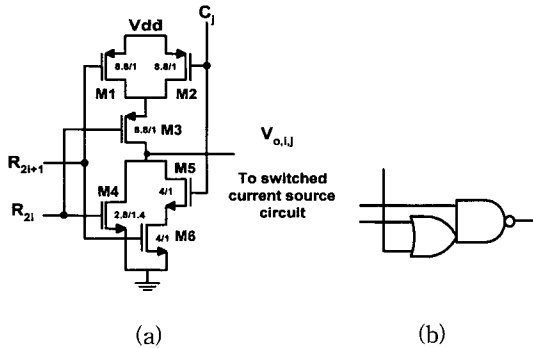


그림 4. (a) 매트릭스 스위칭 디코더 회로와 (b) 기존의 로컬 디코더 회로도

Fig. 4. Circuit diagram of (a) a matrix switching decoder and (b) a conventional local decoder

$$V_{o,i,j} = \overline{R_{2i}} (\overline{R_{2i+1}} + \overline{C_j}) = \overline{R_{2i+1}} + \overline{R_{2i}} \overline{C_j} \quad (4)$$

한편 R_{2i} 가 논리 '0'이고 R_{2i+1} 이 논리 '0'일 때는 C_j 에 관계없이 출력은 논리 '1'이 되지만, R_{2i+1} 이 논리 '1'일 때는 C_j 에 값에 의해서 논리 값이 결정된다. 이 매트릭스 스위칭 디코더는 그림 4(b)와 같이 기존 OR-NAND 게이트로 구성된 스위칭 논리회로^[4]에서 생기는 글리치(glitch) 잡음을 제거하고 빠른 정착 시간을 얻기 위하여 각각의 매트릭스 스위칭 디코더가 동시에 동작해야 한다. 따라서 다음과 같은 조건을 만족해야 한다. 첫째, 각각의 입력단 R_{2i} , R_{2i+1} , C_j 에서

게이트 입력 커패시터 용량이 같아야 한다.

$$C_{ox}(W_1L_1 + W_6L_6) = C_{ox}(W_3L_3 + W_4L_4) = C_{ox}(W_2L_2 + W_5L_5) \quad (5)$$

여기서 W_i , L_i 는 각각 MOSFET M_i 의 채널 폭 및 길이이며, C_{ox} 는 단위 면적당 게이트 커패시터 용량이다.

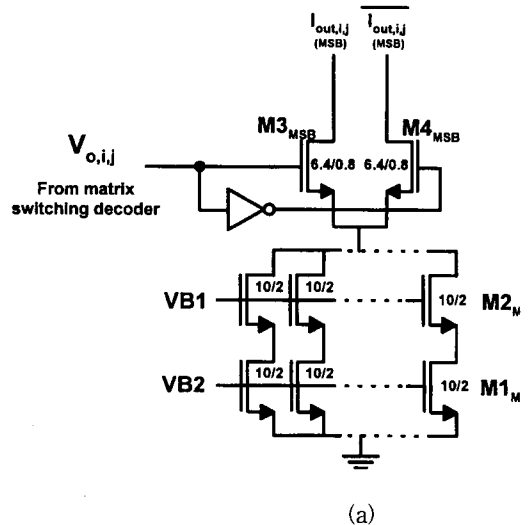
둘째, 상승시간(T_r)과 M4를 통해서 스위칭되는 하강시간(T_{f1})은 같아야 한다($T_r = T_{f1}$). 이것을 수식으로 표현하면 식(6)과 같다.

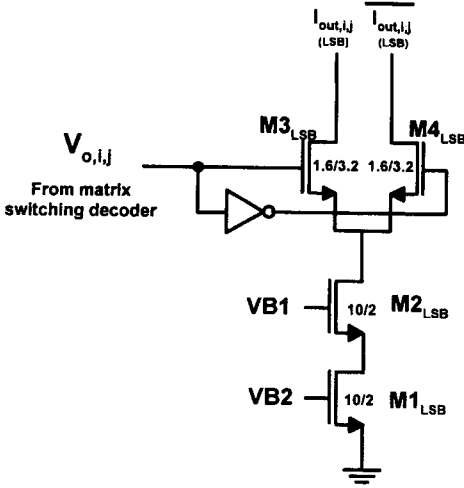
$$A_p \frac{C_L}{K_p \left(\frac{1}{\left(\frac{W}{L}\right)_1} + \frac{1}{\left(\frac{W}{L}\right)_3} \right)} = A_n \frac{C_L}{K_n \left(\frac{W}{L}\right)_4} \quad (6)$$

여기서 C_L 은 부하커패시터이고, A_p 와 A_n 은 각각 PMOS, NMOS 공정변수에 의해 제어되는 상수값이며, K_p 와 K_n 는 각각 PMOS, NMOS의 상호 콘덕턴스 값이다. 또한, 하강시간(T_{f1})은 M5, M6을 통해서 스위칭되는 하강시간(T_{f2})과 같아야 한다.

$$A_n \frac{C_L}{K_n \left(\frac{W}{L}\right)_4} = A_n \frac{C_L}{K_n \left(\frac{1}{\left(\frac{W}{L}\right)_5} + \frac{1}{\left(\frac{W}{L}\right)_6} \right)} \quad (7)$$

여섯개의 MOS 트랜지스터(M1-M6)의 소자종횡비 ($S_i = \frac{W_i}{L_i}$)는 $S_1=S_2=S_3$ 과 $S_5=S_6$ 가정아래에서 식(5), 식(6), 식(7)에 의해서 결정되고, 그림 4(a)에 표시하였다.





(b)

그림 5. (a) 상위비트 스위치 전류원 회로와 (b) 하위 비트 스위치 전류원 회로

Fig. 5. Circuit schematic of (a) MSB switched current source circuit and (b) LSB switched current source circuit

매트릭스 스위칭 디코더의 출력값들은 그림 5에서 스위치를 수반한 각 전류원들을 동작시킨다. 설계된 D/A 변환기는 2단 전류원 매트릭스 구조를 가지므로 그림 5(a)의 상위비트 스위치 전류원과 그림 5(b)의 하위비트 스위치 전류원 두부분으로 나누어진다. 상위비트 전류원의 전류크기는 하위비트 전류원의 전류크기보다 16배가 크며, 트랜지스터 $M1_{MSB}$, $M2_{MSB}$ 의 소자중형비에 $M1_{LSB}$, $M2_{LSB}$ 의 소자중형비에 16배함으로써 구현할 수 있다. 또한 전체 D/A 변환기의 전류의 양은 바이어스 전압 $VB1$, $VB2$ 에 의해 조절된다. 두 전류원의 $M3_{MSB}$, $M4_{MSB}$ 와 $M3_{LSB}$, $M4_{LSB}$ 는 차동쌍으로 구성되어 매트릭스 스위칭 디코더에서 발생하는 신호를 차동신호로 입력시켜 전류방향을 제어한다. 빠른 스위칭 시간과 전류원들간의 과도기 응답 시간을 동일하게 하기위해서 다음과 같은 조건을 만족해야 한다. 첫째, 상위 전류원과 하위 전류원 스위치 부분의 입력 커패시터가 같아야 한다.

$$C_{OX}(W_{3MSB}L_{3MSB}) = C_{OX}(W_{3LSB}L_{3LSB}) \quad (8)$$

둘째, 상위비트 전류원 $M3_{MSB}$, $M4_{MSB}$ 에 소스와 드레인에 걸리는 포화전압(ΔV_{MSB})과 하위비트 전류원 $M3_{LSB}$, $M4_{LSB}$ 에 소스와 드레인에 걸리는 포화전압(ΔV_{MSB})이 같아야 한다. 이것을 수식으로 표현하

면 다음과 같다.

$$\sqrt{\frac{2I_{MSB}}{K_n(\frac{W}{L})_{3MSB}}} = \sqrt{\frac{2I_{LSB}}{K_n(\frac{W}{L})_{3LSB}}} \quad (9)$$

따라서 식(8)과 식(9)에 의해서 $M3_{MSB}$, $M4_{MSB}$, $M3_{LSB}$, $M4_{LSB}$ 의 소자중형비의 크기를 결정할 수 있다.

일반적으로 전류원에 의해서 D/A 변환기의 정확도와 해상도가 결정된다. D/A 변환기의 오차는 크게 DLN과 INL 두 가지로 볼 수 있다. DNL 오차는 전류원간의 오차에 의해서 생긴다. 이러한 오차를 최소화하기 위해서는 $M1_{MSB}$, $M2_{MSB}$, $M1_{LSB}$, $M2_{LSB}$ 의 소자 크기를 증가시키고, 레이아웃시 소자정합을 고려함으로써 오차를 최소화할 수 있다. 소자중형비가 큰 소자는 기생 커패시터 용량이 증가하기 때문에 전류원의 정착시간을 증가시킨다. 따라서 전류원의 소자정합과 빠른 정착시간을 가지도록 최적화된 소자의 중형비를 결정해야 한다. INL 오차는 전류원들의 오차 누적값과 전류원의 출력저항에 의한 전류원의 변화에 의해서 생긴다. 모든 전류원이 소자정합 되었다면, D/A 변환기의 등가 회로도도 그림 6과 같이 나타내어진다. I_L 과 r_L 은 각각 하위비트의 전류원과 출력저항을 나타내고, I_M 과 r_M 은 각각 상위비트의 전류원과 출력저항을 나타낸다. 매트릭스 스위칭 디코더에 의해서 상위비트의 전류원을 j 번째까지 도통시키고 하위비트 전류원을 k 번째까지 도통시킬 때, 출력전압은 식(10)으로 주어지고 D/A 변환기의 이상적인 출력값과 실제 출력값의 차로 나타내어지는 INL값은 식(11)으로 나타내어진다. j 와 k 값에 따라서 $INL_{j,k}$ 의 값은 변화되며, 디지털 입력 코드에의 중간값에서 최대치를 가진다.

$$V_{out} = -(jI_M + kI_L) \left(R_{LOAD} \parallel \frac{r_M}{j} \parallel \frac{r_L}{k} \right) \quad (10)$$

$$\begin{aligned} INL_{j,k} &= V_{out,ideal} - V_{out,actual} \\ &= (jI_M + kI_L) \left\{ \left(R_{LOAD} \parallel \frac{r_M}{15} \parallel \frac{r_L}{15} \right) - \left(R_{LOAD} \parallel \frac{r_M}{j} \parallel \frac{r_L}{k} \right) \right\} \end{aligned} \quad (11)$$

INL 오차를 최소화하기 위해서는 각각의 전류원의 출력 저항값이 커야 한다. 따라서 그림 5(a)와 5(b)에서 높은 출력 저항을 갖는 캐스코드 전류원 구조를 사용했다.

스위치 전류원의 전류양은 바이어스단에서 조절한다.

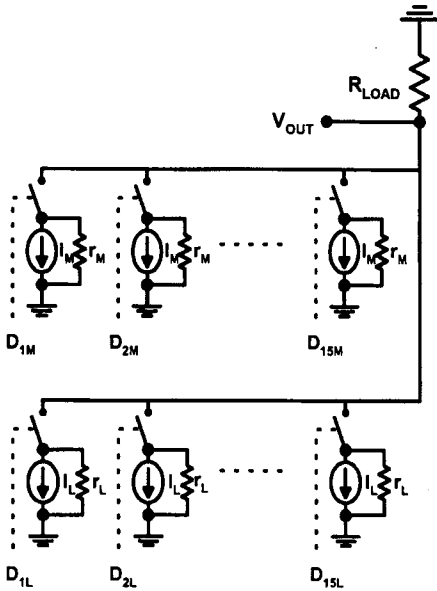


그림 6. 제안된 D/A 변환기의 등가회로도
Fig. 6. The equivalent circuit diagram of the proposed D/A converter.

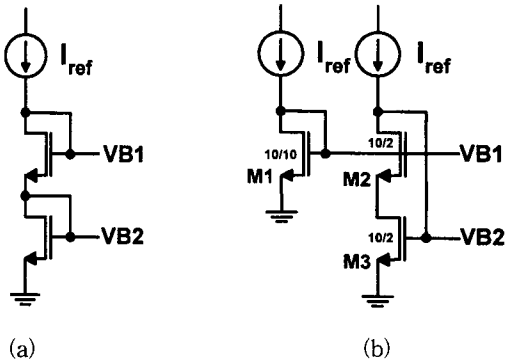


그림 7. (a) 기존의 캐스코드 바이어스 회로와 (b) 개선형 캐스코드 바이어스 회로
Fig. 7. Circuit diagram of (a) a conventional cascode bias circuit and (b) a wide swing cascode bias circuit

그림 7(a)는 일반적인 캐스코드 바이어스 회로를 보여준다. 이 바이어스 회로는 출력저항이 커서 전류변화율이 작지만, 트랜지스터 2개가 수직으로 연결되어 V_{B1} 의 값이 $2V_T + 2\Delta V$ 로 바이어스가 연결된 그림 5(a)와 그림 5(b)의 캐스코드 전류원의 최소 포화영역 출력전압이 $V_T + 2\Delta V$ 로 높은 전압을 가져 D/A 변환기의 전체회로를 저전압에서 동작시키기 어렵다. 따라서 저전압에서 동작시키기 위해 그림 7(b)의 와이드스윙 캐스코드 바이어스 회로(wide swing cascode

bias circuit)를 사용했다^[17]. 이 구조는 M1에서 V_{B1} 의 바이어스 전압을 조절하여 최소 포화 출력전압을 발생시킨다. M1의 소자종횡비는 M2, M3의 종횡비보다 k배 작게하여 식(12)과 같이 바이어스 전압 V_{B1} 을 얻을 수 있다.

$$V_{B1} = V_T + \sqrt{k} \Delta V \quad (12)$$

$$\Delta V = \sqrt{\frac{2I_{ref}}{K_n \left(\frac{W}{L}\right)_2}} \quad (13)$$

여기서 V_T 는 문턱전압이고, ΔV 는 M2와 M3의 소스와 드레인에 걸리는 포화전압으로 식(13)으로 나타내어진다. 이상적으로 k가 4일 때 V_{B1} 이 $V_T + 2\Delta V$ 가 되어 캐스코드 전류원이 모든 트랜지스터들이 포화영역의 가장자리에서 동작 최소 포화 출력전압이 $2\Delta V$ 가 되지만, 벌크효과(bulk effect) 또는 공정변수 오차에 인해서 트랜지스터들이 포화영역에서 벗어날 수 있다. 따라서 M1의 k의 값을 5로 하여 캐스코드 전류원을 안정된 포화영역에서 동작하도록 한다. 이러한 와이드스윙 캐스코드 바이어스 회로는 기존의 캐스코드 바이어스 회로보다 전류원의 포화전압 값을 약 V_T 정도 감소시켜 전체 D/A 변환기를 공급전압 3.3V로 동작시킬 수 있었다.

III. 실험결과 및 고찰

본 논문에서 설계된 2단 전류셀 매트릭스 구조의 D/A 변환기는 CMOS 0.8 μ m n-well single poly double metal 공정과 매직 레이아웃 도구를 이용하여 제작하였다. 레이아웃시 기판잡음을 최소화하기 위하여 아날로그 동작 블록과 디지털 동작 블록을 공간적으로 분리시켰고 또한 아날로그 전원전압 및 디지털 전원전압선을 칩 상에서 분리시켰다. 또한 아날로그 신호선을 교차하는 디지털 클럭 신호선 숫자의 최소화하여 커플링 잡음신호를 최소화 하였다.

그림 8은 제작된 2단 전류셀 매트릭스 구조의 8비트 D/A 변환기 칩사진을 나타낸다. 좌측이 하위 4 LSB 레이아웃부분을 나타내며, 우측이 상위 4 MSB 레이아웃부분을 나타내며, 중앙에 전류원들이 위치하고 있다. 제작된 D/A 변환기의 유효 칩면적은 0.8mm²로 작은 면적을 차지하고 있다.

설계한 2단 전류셀 매트릭스 구조의 8비트 D/A 변

환기는 전원전압 3.3V로 동작하며, 외부저항은 80Ω을 사용하였을 때 전체 전류는 10.44mA로 측정되었고 1 LSB 전류량은 41 μA이었다. D/A 변환기 내부에서 사용된 와이드 스윙 캐스코드 전류미러의 DC특성과 내부저항을 HP4145B로 측정한 곡선은 그림 9와 같다.

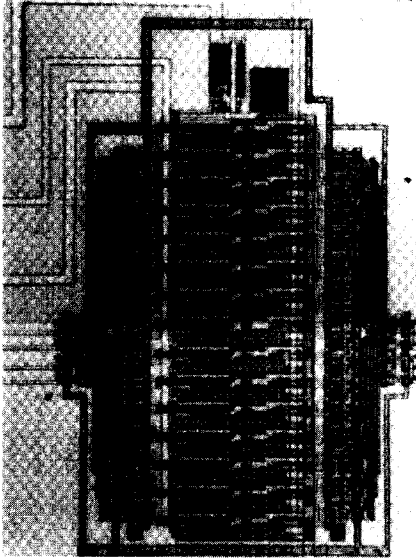


그림 8. 제작된 8비트 변환기의 칩 사진
Fig. 8. Photomicrograph of the 8 bit D/A converter.

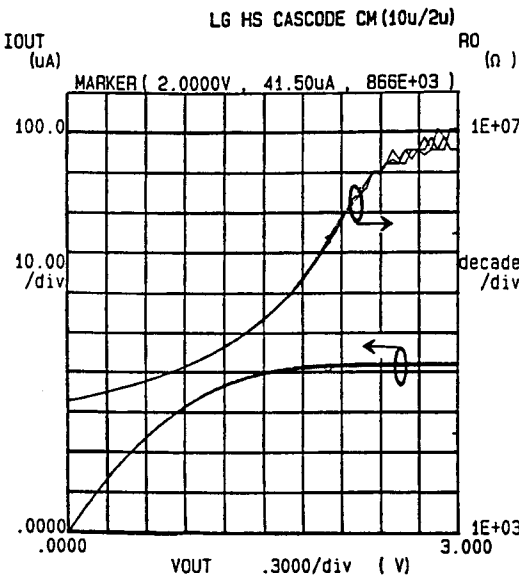


그림 9. 와이드 스윙 캐스코드 전류미러의 측정된 DC특성과 내부저항
Fig. 9. The measured DC characteristics and output resistance of the wide swing cascode current mirror.

그림 9의 좌측 수직축은 DC전류값을 나타내며, 우측 수직축은 내부저항값을 로그스케일로 나타내었다. 특히 3V 전압이 전류미러에 인가되었을 때 전류미러는 약 41.5 μA의 전류를 흘렸으며, 약 8MΩ의 내부저항을 지님을 알 수 있다. 또한 HP4145B를 이용하여 설계된 D/A 변환기의 공급전원을 5V에서 2V까지 가변시켰을 때 변환기를 통해 흐르는 전체 전류크기를 측정한 결과는 그림 10과 같다. 그림 10에서 볼 수 있듯이 설계된 변환기는 2V의 저전압까지 동작할 수 있었으며, 전원전압 3.3V에서 변환기의 전력소모는 34.5mW로 측정되었다.

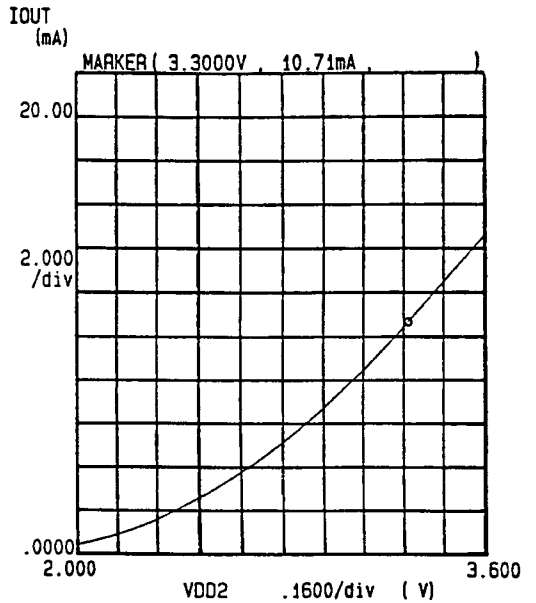


그림 10. 제작된 8비트 변환기의 공급전압 대 전체 전류 특성곡선
Fig. 10. The measured transfer curve of the total current vs. power supply voltage of the designed 8 bit D/A converter.

변환기의 정착시간을 측정하기위해 그림 11의 테스트 블록도를 이용하였다. 주파수 대역폭이 200MHz인 파형발생기에서 생성된 계단신호는 입력 버퍼로 사용된 비교기로 인가되어 신호를 쉐이핑하여 설계된 D/A 변환기의 8비트 모든 입력단자에 인가되도록 하였다. 여기서 사용된 비교기는 Analog Device사의 AD9696 모델이며, 4.5nsec의 지연시간과 1.85nsec의 상승시간, 1.35nsec의 하강시간을 가지고 있는 TTL 구조의 비교기이다. 입력된 계단신호에의해 발생된 그림 12의 비교기 출력파형은 Lecroy사의 오실로스코프

를 사용하여 파형을 측정하였다.

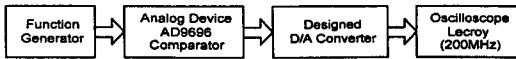


그림 11. 정착시간 측정 블록도
Fig. 11. Test block diagram for a measurement of settling time.

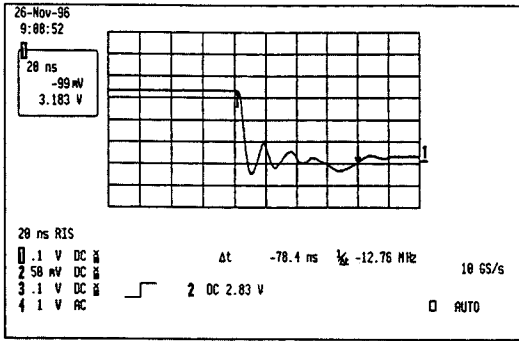


그림 12. AD9696 비교기에서 발생된 출력계단신호 파형
Fig. 12. The measured step output waveform from the AD9696 comparator.

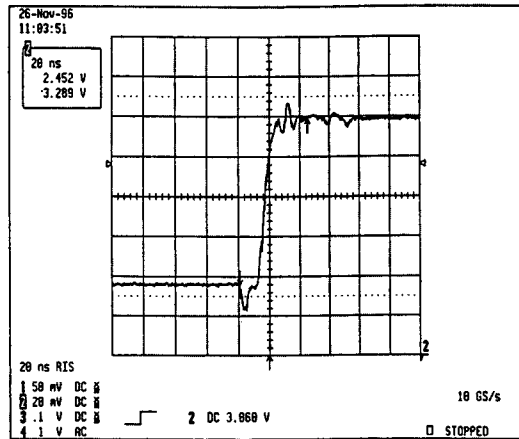


그림 13. D/A변환기의 전체 코드 천이곡선
Fig. 13. The measured total code transition curve of the D/A converter.

그림 13은 전체 코드 천이곡선을 보여준다. 그림 13에서 보는바와 같이 변환기의 출력전압범위는 0.84V이며, 상승·하강시간은 3.1nsec로 측정되었고, 변환기의 정착시간은 15nsec로 측정되었다. 따라서 변환기의 데이터 변환속도는 70MHz로 나타났다. 또한 측정된 INL, DNL특성은 각각 $\pm 0.8LSB$, $\pm 0.75LSB$ 로 나타났다. 표 2에서 설계한 2단 전류셀 매트릭스 D/A

변환기의 측정결과를 요약하였다. 기존 발표된 D/A 변환기와 본 논문에서 설계된 D/A 변환기의 성능을 표 3에서 비교하였다. 기존 D/A 변환기는 모두 5V에서 동작한데 비해 본 논문에서 제안 설계된 D/A 변환기는 공급전원 3.3V에서 동작하며 34.5mW의 저전력소모, 70MHz의 고속 동작한다는 측면에서 구분될 수 있다.

표 2. 설계한 8비트 전류셀 매트릭스 D/A 변환기의 특성 요약

Table 2. The measured characteristic of D/A converter.

해상도	8비트
INL	$\pm 0.8LSB$
DNL	$\pm 0.75LSB$
상승/하강시간	3.1nsec
정착시간	15nsec
출력전압범위	0.84V
전원전압	3.3V
전력소모	34.5mW
변환속도	70MHz
유효 칩면적	0.8mm ²
공정	0.8 μ m CMOS n-well

표 3. 고속 D/A 변환기의 특성 비교

Table 3. Comparison of the high speed D/A converter characteristics.

특성 변수 참고 문헌	해상도	정착시간	INL	DNL	클리치 에너지	전력소모	칩면적	변환속도	공급 전압	구동 방식
	[bit]	[nsec]	(LSB)	(LSB)	[psV]	[mW]	[mm ²]	[MHz]	[V]	
JSSC[4] 1986.12	8	125	0.38	0.22	100	145	3.79	80	5	전류
JSSC[6] 1991.4	10	14	± 0.5	-	60	170	3.78	70	5	전류
JSSC[8] 1991.7	8	7	± 0.5	-	50	150	0.5	130	5	전류
CICC[7] 1991	10	125	-	-	-	150	-	80	5	전류
JSSC[16] 1991.7	10	-	-	-	15	14	0.4	40	5	전류
JSSC[10] 1994.11	10	8	0.23	0.21	40	150	1.8	125	5	전류
JSSC[9] 1995.1	10	13	0.6	0.24	3.9	170	2.1	75	5	전류
JSSC[3] 1990.12	10	-	± 0.35	0.1	100	65	2.5	50	5	전압
본 논문	8	15	± 0.8	± 0.75	-	34.5	0.8	70	3.3	전류

IV. 결 론

본 논문에서는 $0.8\mu\text{m}$ CMOS공정을 이용하여 65MHz의 동작속도와 3.3V의 전원전압으로 동작하는 영상신호 처리용 2단 전류셀 매트릭스 구조를 가진 D/A 변환기를 설계하였다. 기존의 영상신호 처리를 위한 고속 D/A 변환기의 구현 방법은 크게 두 가지 방법으로 구분할 수 있다. 첫째는 전압구동 방식으로 저항 어레이를 이용하여 D/A 변환기를 구현하는 방법이다. 이 구조는 수동소자를 사용하여 선형성은 우수하지만 출력에 낮은 임피던스를 얻기위한 고속 출력전압 버퍼를 요구하므로 전력소모가 증가하고, 저항 어레이 사용으로 인한 칩면적이 증가한다는 단점이 생긴다. 두 번째는 전류구동 방식으로 단일 매트릭스 구조의 전류셀을 이용하여 D/A 변환기를 구현하는 방식이다. 이러한 구조의 D/A 변환기는 각 차동 전류셀의 동작으로 전류를 출력으로 보내어 빠른 변환속도를 가지고 있고 각 전류원의 1 LSB를 나타내므로 단조증가성이 우수하다. 그러나 해상도가 증가할수록 전류셀 수의 지수 함수적인 증가와 디코더의 복잡성으로 인하여 회로 크기의 증가와 큰 전력소모를 가지게 된다. 따라서 본 논문은 빠른 정착 시간을 가지는 전류셀 매트릭스의 장점을 이용하면서 기존의 고속 D/A 변환기의 디코더의 복잡성으로 인한 지연시간의 증가, 회로 크기와 전력소모를 최소화하기 위해 2단 매트릭스 구조를 제안하였다. 이 2단 매트릭스 구조를 사용함으로써 전류원이 차지하는 면적과 디코더 부분의 논리회로를 단순화시켜 회로의 복잡성과 칩 크기를 줄일 뿐만 아니라, 빠른 정착시간을 가지는 영상신호 처리용 저전력 고속 D/A 변환기를 구현하였다.

설계된 2단 전류셀 매트릭스 D/A 변환기는 $\pm 1/2$ LSB 정착시간이 9.95nsec로 65MHz의 변환속도를 가지므로 컴퓨터 시스템, HDTV 등의 영상신호 처리 분야에서 응용이 가능하고, 개선형 캐스캐드 바이어스 회로를 사용함으로써 3.3V의 전원전압을 이용하여 34.5mW의 낮은 전력소모를 가져 저전압과 저전력소모를 요구하는 휴대용 시스템에 적합하다. 또한 측정된 INL, DNL특성은 각각 $\pm 0.8\text{LSB}$, $\pm 0.75\text{LSB}$ 로 나타났다. 전체적인 구조를 상위 4비트와 하위 4비트로 나누는 2단 매트릭스 구조를 사용하여 전류원이 차지하는 면적과 디코더 부분의 논리회로를 단순화시켜 $0.8\mu\text{m}$ n-well single poly double metal 공정에서

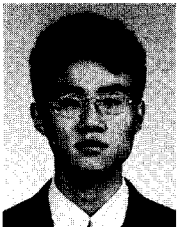
0.8mm^2 의 작은 유효 칩면적 크기를 가져 혼합 신호처리 시스템의 집적화에 기여할 것으로 기대된다.

참 고 문 헌

- [1] A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, John Wiley & Sons, pp. 753-823, 1984.
- [2] B. Razavi, *Principle of Data Conversion System Design*, IEEE Press, pp45-95, 1995.
- [3] M. Pelgrom, "A 10-b 50MHz CMOS D/A converter with $75-\Omega$ buffer," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1347-1352, Dec. 1990.
- [4] T. Miku, Y. Nakamura, M. nakamura, Y. Akasaka, and Y. Horiba, "An 80-MHz CMOS D/A converter," *IEEE J. Solid-State Circuits*, pp. 983-998, Dec. 1986.
- [5] A. Cremonesi, F. Maloberti, and G. Polito, "A 100-MHz CMOS DAC for Video-graphic systems," *IEEE J. Solid-State Circuits*, pp. 635-639, June 1989.
- [6] Y. Nakamura, T. Miki, A. Meada, H. Kondoh, and N. Yazawa, "A 10-b 70-MS/s CMOS D/A converter," *IEEE J. Solid-State Circuits*, pp. 637-642, Apr. 1991.
- [7] H. Takakura, M. Yokoyama, and A. Yamauchi, "A 10 bit 80MHz glitchless CMOS D/A converter," *1991 IEEE Custom Integrated Circuits Conf*, pp. 26. 5. 1-26. 5. 4.
- [8] J. Fournier and P. Senn, "A 130-MHz 8-b CMOS Video DAC for HDTV Application," *IEEE J. Solid-State Circuits*, pp. 1073-1077 July. 1991.
- [9] T. Wu, C. Jih, J. Chen, and C. Wu, "A low glitch 10-bit 75-MHz CMOS Video D/A converter". *IEEE J. Solid-State Circuits*, pp. 68-72 Jan. 1995.
- [10] S. Chin, and C. Wu, "A 10-b 125-MHz CMOS Digital-to-Analog Converter with Threshold-Voltage Compensated Current source," *IEEE J. Solid-State Circuits*,

- vol. 29, pp. 1374-1380, Nov. 1994.
- [11] R. V. D. Plassche, *Integrated Analog to Digital and Digital to Analog converters*, Kluwer Academic Publisher, pp. 211-271, 1994.
 - [12] R. L. Geiger, P. E. Allen and N. R. Strader, *VLSI Design Techniques for Analog and Digital Circuit*, McGraw Hill International Ed., pp. 612-641.
 - [13] G. Kelson, H. H. Stellrecht, and D. S. Perloff, "A Monolithic 10-b Digital-to-Analog Converter Using Ion Implantation," *IEEE J. Solid-State Circuits*, vol. SC-8, pp. 396-403, Dec. 1973.
 - [14] H. U. Post and K. Schoppe, "A 14Bit Monolithic NMOS D/A Converter." *IEEE J. Solid-State Circuits*, vol. SC-18, pp. 297-302, June. 1983.
 - [15] 김구, 양정욱, 김민규, 김석기, 김원찬, "오차보정기능을 갖는 10-비트 D/A 변환기," 전자공학회 논문지 제 31권 A편 제6호, pp. 98-106, 1994년 6월
 - [16] C. Bastiaansen, D. Groeneveld, H. Schouwenaars, and H. Termeer, "A 10-b 40MHz 0.8- μ m CMOS Current-Output D/A Converter," *IEEE J. Solid-State Circuits*, vol. 26, pp. 917-921, July. 1991.
 - [17] P. J. Crawley and G. W. Roberts, "Designing operational transconductance amplifiers for low voltage operation," *ISCAS 1993*, pp. 1455-1458.
 - [18] LG 반도체 "96 LG 반도체 설계 공모전 Technical Information"
 - [19] 삼성 전자 (주) "Consumer electronics를 위한 high-performance CMOS A/D converter 개발," 연구 보고서, Aug. 1994
 - [20] 전자부품 종합기술 연구소 "Video-speed high-resolution A/D converter 설계에 관한 연구," 연구보고서, Jun. 1995
 - [21] N. Weste and K. Eshraghian, *Principle of CMOS VLSI design*, Addison-Wesley Publishing Company, pp. 279-283, 1993.

저 자 소 개



金 志 炫(正會員)

1995년 2월 인하대학교 전자공학과(학사). 1997년 2월 인하대학교 전자공학과(석사). 1997년 3월 ~ 현재 LG 반도체(주) M1BU 설계 3 실 연구원. 주관심분야는 아날로그/디지털 혼합신호처리 집적회로 및 고속 메모리 회로 설계등임

리 회로 설계등임



權 容 福(正會員)

1992년 2월 서울산업대학 전자공학과 졸업. 1995년 인하대학교 산업대학원 전자공학과 졸업. 1977년 ~ 1995년 한국 산업 인력관리공단 근무. 1996년 ~ 현재 정수기능대학 전자기술학과 조교수. 주관심분야는 아날로그/디지털 혼합신호처리 집적회로 설계 및 CAD

날로그/디지털 혼합신호처리 집적회로 설계 및 CAD



尹 廣 燮(正會員)

1981년 인하대학교 전자공학과(학사). 1983년 미국 조지아 공과대학 전기공학과(공학석사). 1990년 미국 조지아 공과대학 전기공학과(공학박사). 1988년 ~ 1992년 미국 실리콘 시스템사 근무(선임연구원). 1992년 ~ 현재 인하대학교 전자공학과 부교수. 주관심분야는 혼합신호처리 집적회로설계, 설계자동화 및 소자 모델링 등임

등임