

論文98-35C-4-3

CMOS 게이트에 의해서 구동되는 배선 회로의 타이밍 특성 분석

(Analysis of Timing Characteristics of Interconnect Circuits Driven by a CMOS Gate)

趙敬淳*, 卞榮基*

(Kyeongsoon Cho and Young-Ki Byun)

요 약

반도체 제조 공정의 선폭이 미세화 되고 동작 주파수가 증가함에 따라 ASIC을 구성하는 게이트와 배선에 의한 지연 시간을 분석하는 작업은 더욱 높은 정확도를 필요로 하고 있다. 본 논문에서는 CMOS 게이트의 구동 특성을 선형 저항 R_{dr} 과 경사 함수 형태의 독립 전압원 V_{dr} 로 구성되는 구동 특성 모델로 표현하고, R_{dr} 과 V_{dr} 을 게이트의 구동 특성을 나타내는 타이밍 자료와 배선 회로의 저항 차단 효과를 반영하기 위한 유효 커패시턴스 C_{eff} 의 함수로 나타내었다. 이 식들과 AWE 알고리즘을 반복적으로 적용함으로써 R_{dr} 과 V_{dr} 을 C_{eff} 와 동시에 계산하며, 이 과정에서 결정된 C_{eff} 는 게이트에 의한 지연 시간을, R_{dr} 과 V_{dr} 은 배선 회로에 의한 지연 시간을 구하는데 사용한다. 이 개념은 C 언어를 통하여 ASIC 타이밍 특성 분석 프로그램으로 구현되었으며, 4개의 실제 회로에 적용한 결과, 게이트 및 배선 회로에 의한 지연 시간을 SPICE와 비교하여 5% 오차 내에서 수십 내지 수백 배의 속도로 계산할 수 있었다.

Abstract

As silicon geometry shrinks into deep submicron and the operating speed increases, higher accuracy is required in the analysis of the propagation delays of the gates and interconnects in an ASIC. In this paper, the driving characteristics of a CMOS gate is represented by a gate driver model, consisting of a linear resistor R_{dr} and an independent ramp voltage source V_{dr} . We derived R_{dr} and V_{dr} as the functions of the timing data representing gate driving capability and an effective capacitance C_{eff} reflecting resistance shielding effect by interconnect circuits. Through iterative applications of these equations and AWE algorithm, R_{dr} , V_{dr} and C_{eff} are computed simultaneously. Then, the gate delay is decided by C_{eff} and the interconnect circuit delay is determined by R_{dr} and V_{dr} . This process has been implemented as an ASIC timing analysis program written in C language and four real circuits were analyzed. In all cases, we found less than 5% of errors for both of gate and interconnect circuit delays with a speedup factor ranging from a few tens to a few hundreds, compared to SPICE.

I. 서론

* 正會員, 韓國外國語大學校 電子工學科

(Department of Electronics Engineering, Hankuk University of Foreign Studies)

※ 이 논문은 정보통신부에서 시행한 대학기초연구지원사업으로 수행된 연구 결과임.

接受日: 1997年12月15日, 수정완료일: 1998年3月27日

반도체 제조 공정의 선폭이 $0.5 \mu m$ 이하로 미세화 되고 동작 주파수가 수백 Mhz 이상으로 증가함에 따라 ASIC을 설계하는 단계에서의 정확한 타이밍 특성 분석은 그 중요도가 더욱 커지고 있다. ASIC에 대한 타이밍 특성 분석은 각각의 게이트 및 배선에 의해서

발생되는 지연 시간을 바탕으로 수행되므로 이들을 정확하게 계산하여야 한다. 특히 공정의 미세화에 따른 배선 저항의 증가는 배선의 지연 시간의 비중을 상대적으로 크게 하여 이 부분에 대한 많은 연구가 진행되고 있다. 배선을 RC 트리라 가정하고 이에 대한 dominant time constant를 계산하여 배선에 의한 지연 시간을 구하는 방법^{[1][2]}이 오랫동안 사용되어 왔다. L. T. Pillage와 R. A. Rohrer에 의해서 제안된 AWE (Asymptotic Waveform Evaluation) 알고리즘^[3]을 사용하면 선형 RCL 회로로 표현할 수 있는 모든 형태의 배선에 의한 지연 시간을 효율적으로 구할 수 있을 뿐만 아니라, 계산 결과의 정확성 측면에서도 RC 트리에 근거한 기존의 방법보다 우수하다고 판명된 바 있다. ASIC 내의 배선에 의한 지연 시간을 계산하려면 배선 회로의 전기적 특성 뿐만 아니라 이를 구동하는 게이트의 구동 특성도 고려한 해석이 필요하다.

그러나 AWE는 선형 회로만을 해석할 수 있는 알고리즘이므로, 비선형 소자인 트랜지스터로 구성된 게이트의 구동 특성을 직접 다룰 수가 없다. 특히 CMOS 게이트의 구동 특성은 근본적으로 비선형성이 강하며, 배선에 분포되어 있는 저항 성분이 클 수록 비선형도가 심화된다^[4]. 따라서 CMOS 게이트에 의해서 구동되는 배선에 의한 지연 시간을 AWE 알고리즘을 적용하여 구하려면, CMOS 게이트의 비선형적 구동 특성을 정확하게 반영할 수 있는 동시에 선형 소자만으로 구성된 게이트 구동 특성 모델을 유도하는 것이 필요하다.

본 논문은 CMOS 게이트의 구동 특성에 대한 이론적 분석을 바탕으로 게이트 구동 특성 모델을 효율적으로 결정하는 방법을 제시하고 있다. CMOS 게이트의 구동 특성 자료를 이차원 테이블 형태^[5]로 저장하고 있는 타이밍 데이터 베이스와 AWE 알고리즘을 연계하여 게이트 구동 특성 모델을 결정하며, 이 모델로부터 배선에 의한 지연 시간을 계산한다. 이 때 구동하는 게이트에서 배선 회로를 바라 보았을 때의 유효 커패시턴스^[4]도 동시에 결정되므로, 구동하는 게이트에 의한 지연 시간을 별도의 계산 과정 없이 구할 수 있다. 이 방법은 C 언어 프로그램으로 구현되었으며, 이를 CMOS ASIC 제품의 분석에 적용한 결과, 게이트 및 배선에 의한 지연 시간을 SPICE 대비 5% 이내의 오차로 계산하였다.

II. 배선 회로 해석 알고리즘

AWE^[3]는 임의의 선형 RCL 회로에 대하여 정확한 응답을 구하는 대신, 일부의 극점과 레지듀를 계산하여 이들로부터 근사적인 응답을 유도해내는 선형 회로 해석 알고리즘이다. 이 때 계산되는 극점과 레지듀의 개수를 근사화 차수라고 하는데, 차수가 1인 경우는 Elmore 지연 시간에 근거한 해석 방법^{[1][2]}과 일치하게 된다. 차수를 증가 시키면 근사 응답이 정확한 응답에 수렴하게 되지만, 계산상의 효율성을 위하여 차수를 제한한다. AWE는 SPICE 대비 수 %의 오차 범위 내에서 100 배 이상 빠른 속도로 선형 회로를 해석할 수 있으므로, 대규모 배선 회로의 해석에 적용이 가능하다^[6].

AWE 알고리즘을 이용하여 선형 RCL 회로를 해석하려면 우선 회로 방정식을 수립하여야 한다. 회로 방정식은 일반성 및 단순성이 우수한 modified nodal admittance matrix^[7]를 바탕으로 세우는 것이 적합하며, 다음과 같은 행렬 방정식으로 귀결된다.

$$C \frac{d}{dt} v(t) + Gv(t) - e(t) = 0$$

여기서 $v(t)$ 는 비접지 절점의 전압, 독립 전압원의 전류, 인덕터의 전류로 구성되는 회로 변수 벡터이고, $e(t)$ 는 독립 전압원과 독립 전류원을 나타내는 벡터이며, G 와 C 는 저항, 커패시터, 인덕터, 독립 전압원의 연결 상태에 따라서 결정되는 행렬이다. 이 방정식에 대하여 라플라스 변환을 하고 $V(s)$ 를 테일러 급수로 전개하면,

$$(G + sC)V(s) = E$$

$$(G + sC)(V_0 + sV_1 + s^2V_2 + \dots) = E$$

가 된다. 이 식의 양변에서 s^i 의 계수를 비교하면,

$$GV_0 = E$$

$$GV_i = -CV_{i-1}, i = 1, 2, \dots$$

의 관계식을 얻을 수 있고, 이 선형 연립 방정식의 해를 차례로 구함으로써 time moment $V_i(m_i)$ 를 구한다. 근사화 차수, 즉 계산될 극점의 개수를 q 라 하면, $2q$ 개의 time moment가 필요하다. 이들로부터 다음과 같은 선형 연립 방정식을 수립하고,

$$\begin{bmatrix} m_0 & m_1 & \cdots & m_{q-1} \\ m_1 & m_2 & \cdots & m_q \\ \vdots & \vdots & \ddots & \vdots \\ m_{q-1} & m_q & \cdots & m_{2q-2} \end{bmatrix} \begin{bmatrix} a_q \\ a_{q-1} \\ \vdots \\ a_1 \end{bmatrix} = - \begin{bmatrix} m_q \\ m_{q+1} \\ \vdots \\ m_{2q-1} \end{bmatrix}$$

여기에서 계산된 계수로 다음 방정식을 수립한 다음, 이를 만족시키는 q 개의 근을 구하면 이들이 극점에 해당된다.

$$Q(s) = a_q s^q + a_{q-1} s^{q-1} + \cdots + a_1 s + 1 = 0$$

레지듀 (k_i)는 time moment (m_i)와 극점 (p_i)으로부터 수립되는 다음의 선형 연립 방정식을 풀어서 구할 수 있다.

$$\begin{bmatrix} p_1^{-1} & p_2^{-1} & \cdots & p_q^{-1} \\ p_1^{-2} & p_2^{-2} & \cdots & p_q^{-2} \\ \vdots & \vdots & \ddots & \vdots \\ p_1^{-q} & p_2^{-q} & \cdots & p_q^{-q} \end{bmatrix} \begin{bmatrix} k_1 \\ k_2 \\ \vdots \\ k_q \end{bmatrix} = - \begin{bmatrix} m_0 \\ m_1 \\ \vdots \\ m_{q-1} \end{bmatrix}$$

이상의 방법에 의해서 구한 극점과 레지듀는 다음 식으로 표현되는 회로의 경사 응답을 결정하는데 사용된다.

$$\sum_{j=1}^q \left(\frac{k_j}{p_j^2} e^{p_j t} - \frac{k_j}{p_j} - \frac{k_j}{p_j} t \right)$$

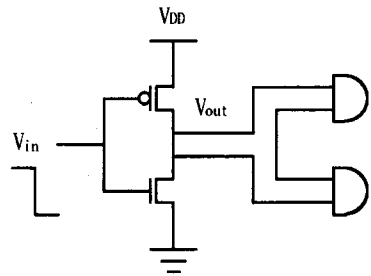
III. CMOS 게이트의 구동 특성 모델

CMOS 게이트에 의해서 구동되는 배선에 의한 지연 시간을 AWE 알고리즘을 적용하여 구하려면, CMOS 게이트의 비선형적 구동 특성을 정확하게 반영할 수 있는 동시에 선형 소자만으로 구성된 게이트 구동 특성 모델을 유도하는 것이 필요하다. 본 장에서는 CMOS 게이트의 구동 특성에 대한 이론적 분석 및 모델의 결정 방법을 제시하고 있다. 또한 구동 특성 모델의 결정에 필요한 자료를 이차원 테이블 형태¹⁾⁵⁾로 저장하고 있는 타이밍 데이터 베이스에 대해서도 설명한다.

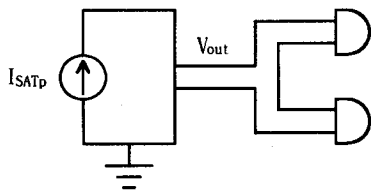
1. 구동 특성 분석

배선에 의한 지연 시간은 이를 구동하는 게이트의 구동 능력에 따라 큰 차이를 보이므로, 게이트의 구동 특성을 이론적으로 고찰하는 작업이 필요하다. 이를 위하여 그림 1 (a)와 같은 CMOS 인버터를 생각하여

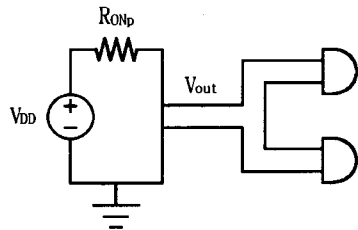
보자. 저항과 커패시턴스로 구성된 배선 회로와 후단 게이트들이 인버터의 출력에서 부하로 작용하고 있으며, 하강 계단 함수 형태의 파형이 입력에 인가되어 있다. 입력이 하강하는 순간, 부하 커패시턴스가 PMOS 트랜지스터를 통하여 충전되므로 인버터의 출력 전압 V_{out} 이 상승하기 시작한다. 상승 초기 ($0 < V_{out} < V_{Tp}$)에서는 PMOS 트랜지스터가 포화 영역에서 동작하므로, 인버터는 그림 1 (b)에 나타나 있듯이 PMOS 트랜지스터의 포화 전류 값 (I_{SATp})을 갖는 독립 전류원과 같은 동작을 한다. 이 때 V_{Tp} 는 PMOS 트랜지스터의 문턱 전압을 의미한다.



(a)



(b)



(c)

그림 1. CMOS 인버터의 구동 특성
(a) 배선 회로를 구동하는 CMOS 인버터 (b) 포화 영역 모델 ($0 < V_{out} < V_{Tp}$) (c) 선형 영역 모델 ($V_{Tp} < V_{out} < V_{DD}$)

Fig. 1. Driving characteristics of a CMOS inverter. (a) A CMOS inverter driving interconnect circuits (b) Saturation region model ($0 < V_{out} < V_{Tp}$) (c) Linear region model ($V_{Tp} < V_{out} < V_{DD}$)

V_{out} 이 증가하여 V_{Tp} 가 되면 PMOS 트랜지스터가 선형 영역에 진입하므로, 그 이후부터 ($V_{Tp} < V_{out} < V_{DD}$) 인버터는 그림 1 (c)와 같이 독립 전압원 V_{DD} 에 연결된 선형 저항 역할을 하게 된다. 이와 같이 PMOS 트랜지스터가 선형 영역에서 동작하는 동안 나타나는 인버터의 구동 특성 즉 출력 전압의 파형은 시간에 대한 지수 함수로서 비선형적이므로 더 이상 디지털 파형으로 볼 수 없다. 특히 배선 회로에 분포되어 있는 저항이 PMOS 트랜지스터의 ON 저항과 비교하여 상대적으로 증가할 수록 디지털 파형과의 편차는 더욱 커지게 된다. 이와 같이 출력 전압의 파형 후반부에서 나타나는 아날로그 파형은 게이트의 구동 특성 뿐만 아니라 배선 저항의 크기 및 분포 형태 등이 유기적으로 연계되어 결정되는 것으로서 배선에 의한 지연 시간에 지대한 영향을 준다^[4].

2. 구동 특성 모델의 결정

본 절에서는 이상에서 열거한 조건들을 모두 만족할 수 있는 CMOS 게이트 구동 특성 모델의 결정 방법을 제시하고자 한다. 그림 2에 나타나 있는 이 모델은 게이트 출력단 트랜지스터의 포화 영역 및 선형 영역 동작 특성 (그림 1 (b)와 (C))을 종합한 것으로서, 선형 저항 R_{dr} 과 경사 함수 형태의 독립 전압원 V_{dr} 로 구성된 선형 회로이므로 AWE 알고리즘의 적용이 가능하다. 구동 저항 R_{dr} 은 출력단 트랜지스터의 ON 저항으로서 출력 전압 파형 후반부에 나타나는 지수 함수 형태를 모델링하기 위한 것이며, 구동 전압원 V_{dr} 은 출력 전압의 전반부 파형을 모델링하기 위한 것이다. 이 모델은 이미 제안된 바 있는 single-resistor voltage-ramp 모델^[8]과 동일한 구조를 갖는 반면, 모델 요소들의 값을 결정하는 방법에서 차이가 난다.

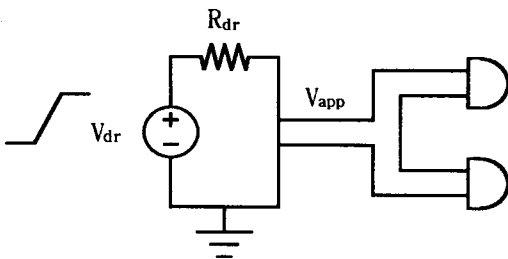


그림 2. CMOS 게이트 구동 특성 모델
Fig. 2. CMOS gate driver model.

게이트의 구동 특성은 게이트의 출력 전압 파형으로

부터 구할 수 있다. 이를 위하여 본 연구에서는 게이트의 출력에 부하 커패시턴스를 연결하고 입력에 경사 함수 형태의 전압 파형을 인가한 다음, 출력에 나타나는 전압 파형에 관한 타이밍 데이터를 이차원 테이블 형태^[5]로 저장하는 방법을 채택하였다. 즉, 여러 가지 조합의 부하 커패시턴스와 입력 전압 파형의 기울기 (상승 혹은 하강 시간) 값들에 대하여 출력 전압이 특정한 값에 도달하는데 소요되는 시간 (예를 들어서, 전원 전압의 50 % 지점)을 SPICE 시뮬레이션을 통하여 추출, 저장하였다. 게이트에 연결된 부하 커패시턴스와 인가된 전압 파형의 기울기가 타이밍 데이터 베이스에 저장되어 있는 값과 다르면, 내삽법이나 외삽법을 사용한다. 그러나 배선에는 커패시턴스 뿐만 아니라 저항 성분도 분포되어 있으며, 이 배선 저항에 의해서 저항 차단 효과가 발생한다. 즉, 게이트에서 배선을 바라 보았을 때, 구동할 커패시턴스 값이 배선 저항에 의해서 감소한다. 이와 같은 현상을 이차원 테이블 모델에 반영하기 위한 가장 단순한 방법은 배선 저항을 또 하나의 변수로 하여 삼차원 테이블 모델로 확장하는 것이지만, 이는 테이블을 구축하기 위한 SPICE 시뮬레이션의 회수나 컴퓨터 메모리 용량 등을 고려할 때 현실적이지 못하다. 또한 다양한 배선의 형태에 의한 영향을 정형화된 테이블 모델에 포함시키는 것은 불가능하다. 이에 대한 해결책으로 본 연구에서는 이차원 테이블 모델을 변형하지 않는 대신 유효 커패시턴스 개념^[4]을 추가하였다. 즉, 부하 커패시턴스가 저항 차단 효과 만큼 감소한 것을 유효 커패시턴스로 하였으며, 이 값을 이차원 테이블의 변수로 사용하였다.

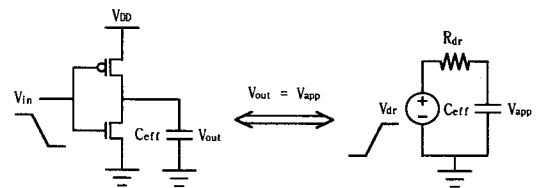


그림 3. R_{dr} 과 V_{dr} 의 유도 조건
Fig. 3. Conditions for the derivations of R_{dr} and V_{dr} .

구동 특성 모델의 구성 요소인 R_{dr} 과 V_{dr} 을 유도하는 방법은 그림 3에 나타나 있듯이, 게이트 및 구동 특성 모델의 출력에 배선 회로로부터 계산된 유효 커패시턴스 C_{eff} 를 연결하고, 게이트의 입력에 경사 함수

형태의 전압 V_{in} 을 인가한 다음, 모델 출력 전압 V_{app} 의 파형이 게이트 출력 전압 V_{out} 의 파형과 일치하도록 하는 것이다. 근사화된 모델의 출력 파형이 원래의 파형과 완전히 일치할 수는 없으므로, 본 연구에서는 출력 파형이 전원 전압의 20%와 50%가 되는 두 지점에서만 일치하도록 하였다. 이 때 V_{app} 파형은 해석적인 식으로 표현하고, V_{out} 파형에 관한 자료는 V_{in} 의 기울기와 C_{eff} 값을 바탕으로 이차원 테이블 형태의 타이밍 데이터 베이스에서 찾아낸다.

구동 저항 R_{dr} 은 V_{out} 의 후반부 파형에 관한 타이밍 자료인 T_{50} 과 T_{90} 으로부터 결정된다. 여기서 T_{50} 과 T_{90} 은 V_{in} 이 V_{DD} 의 50%가 되는 시간을 기준으로 하여, V_{out} 이 V_{DD} 의 50%와 90%에 도달하는데 소요되는 시간을 의미한다. 게이트의 출력단 트랜지스터가 선형 영역에서 동작하는 동안, 이에 대응되는 V_{app} 파형은 시정수가 $R_{dr} C_{eff}$ 인 지수 함수이다. 이 구간이 시작되는 정확한 시점은 게이트의 내부 구조 및 주변 환경에 의해서 결정되지만, V_{out} 이 전원 전압 V_{DD} 의 50%를 넘어서면 선형 영역에서 동작하고 있는 것으로 가정할 수 있으며, 이 경우 $V_{out}(T_{50}) = V_{app}(T_{50})$ 과 $V_{out}(T_{90}) = V_{app}(T_{90})$ 의 두 관계식으로부터 다음과 같이 R_{dr} 이 유도된 바 있다^[9].

$$R_{dr} = (T_{90} - T_{50}) / (C_{eff} * \ln 5)$$

같은 방법으로 게이트 출력이 하강할 때의 R_{dr} 을 유도하면 다음과 같다.

$$R_{dr} = (T_{10} - T_{50}) / (C_{eff} * \ln 5)$$

여기서 T_{10} 은 V_{in} 이 V_{DD} 의 50%가 되는 순간부터 V_{out} 이 V_{DD} 의 10% 지점에 도달하는데 소요되는 시간이다. 이와 같이 게이트의 입력 전압 파형의 기울기와 배선 회로에 대응되는 유효 커패시턴스를 기본 자료로 하여 이차원 테이블 형태의 타이밍 데이터 베이스로부터 T_{90} 과 T_{50} (혹은 T_{10} 과 T_{50})을 찾아낸 다음, 위의 식들을 이용하여 구동 저항 R_{dr} 을 정한다.

구동 저항 R_{dr} 이 V_{out} 의 후반부 파형 자료로부터 결정되는 반면, 구동 전압원 V_{dr} 은 V_{out} 의 전반부 파형 자료에서 구할 수 있는데, 본 논문에서 제시하는 방법은 다음과 같다. 우선 그림 4와 같이 V_{dr} 을 정의하자. 즉, V_{dr} 은 V_{in} 이 V_{DD} 의 50%가 되는 지점을 기준 시간으로 하여 T_0 만큼 평행 이동된 기울기가 T 인 경사 함수이다. 이 그림에서 T_{20} 과 T_{50} 은 각각 V_{out} 이

V_{DD} 의 20%와 50%가 되는 지점이다. V_{out} 이 V_{DD} 의 20%가 되는 지점은 게이트 출력단 트랜지스터가 포화 영역을 벗어나기 시작하는 순간을 나타내며, 50%가 되는 지점은 선형 영역에서 동작하고 있는 상태를 의미한다. 그림 3과 같이 구동 특성 모델에 C_{eff} 가 연결된 회로에 그림 4의 V_{dr} 을 인가한 상태에서 V_{app} 를 식으로 유도한 다음, T_{20} 과 T_{50} 의 두 지점에서의 값들을 원래 게이트의 출력 전압 값인 $0.2 V_{DD}$, $0.5 V_{DD}$ 와 일치시킴으로써 다음과 같은 두 개의 비선형 연립 방정식을 수립할 수 있다.

$$0.5 V_{DD} = ((T_{50} - T_0) - R_{dr} C_{eff} (1 - \exp(-(T_{50} - T_0) / R_{dr} C_{eff}))) * (V_{DD} / T)$$

$$0.2 V_{DD} = ((T_{20} - T_0) - R_{dr} C_{eff} (1 - \exp(-(T_{20} - T_0) / R_{dr} C_{eff}))) * (V_{DD} / T)$$

이 방정식들의 해인 T_0 와 T 는 Newton-Raphson iteration 방법으로 구할 수 있으며, 이 것이 바로 V_{dr} 의 정의가 된다. 반대로 게이트의 출력 전압이 하강하는 경우의 식들은 다음과 같다.

$$0.5 V_{DD} = ((T_{50} - T_0) - R_{dr} C_{eff} (1 - \exp(-(T_{50} - T_0) / R_{dr} C_{eff}))) * (-V_{DD} / T) + V_{DD}$$

$$0.8 V_{DD} = ((T_{80} - T_0) - R_{dr} C_{eff} (1 - \exp(-(T_{80} - T_0) / R_{dr} C_{eff}))) * (-V_{DD} / T) + V_{DD}$$

이와 같이 V_{dr} 도 게이트의 입력 전압 파형의 기울기와 배선 회로에 대한 유효 커패시턴스를 기본 자료로 하여 이차원 테이블 형태의 타이밍 데이터 베이스로부터 T_{20} 과 T_{50} (게이트의 출력이 하강하는 경우는 T_{80} 과 T_{50})이며 T_{80} 은 V_{out} 이 V_{DD} 의 80%가 되는 지점(임)을 추출하고, 이들을 위의 식들에 대입하여 풀어냄으로써 구할 수 있다.

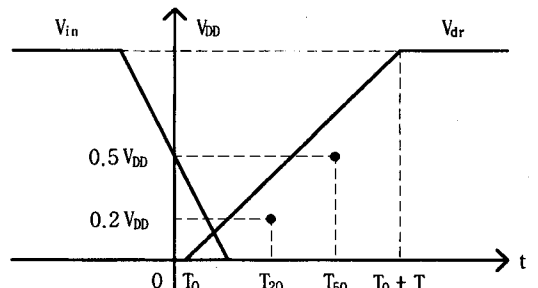


그림 4. V_{dr} 의 정의 : $V_{out}(T_{20}) = V_{app}(T_{20})$, $V_{out}(T_{50}) = V_{app}(T_{50})$

Fig. 4. Definition of V_{dr} : $V_{out}(T_{20}) = V_{app}(T_{20})$, $V_{out}(T_{50}) = V_{app}(T_{50})$.

이상에서 기술한 바와 같이 구동 저항 R_{dr} 과 구동 전압원 V_{dr} 을 결정하기 위해서는 배선 회로에 대응되

는 유효 커패시턴스 값을 알아야 한다. 이를 위하여 배선 회로를 하나의 저항과 두 개의 커패시턴스로 구성되는 형태의 등가 회로로 변환한 다음^[10], 게이트에 흐르는 평균 전류가 등가 회로를 부하로 갖는 경우와 하나의 유효 커패시턴스를 부하로 갖는 경우에서 같아야 한다는 조건으로부터 유효 커패시턴스를 결정하는 방법^[4]이 제안된 바 있다. 그러나 이 방법은 등가 회로 및 유효 커패시턴스 유도 과정에서 여러 가지 가정 및 근사화를 거치므로 정확도가 감소하게 된다. 본 논문에서는 배선 회로를 π 등가 회로로 변환하는 과정을 거치지 않고, AWE 알고리즘의 반복적 적용을 통하여 상호 의존적인 변수인 C_{eff} , R_{dr} , V_{dr} 을 동시에 계산하는 접근 방식을 취하였다.

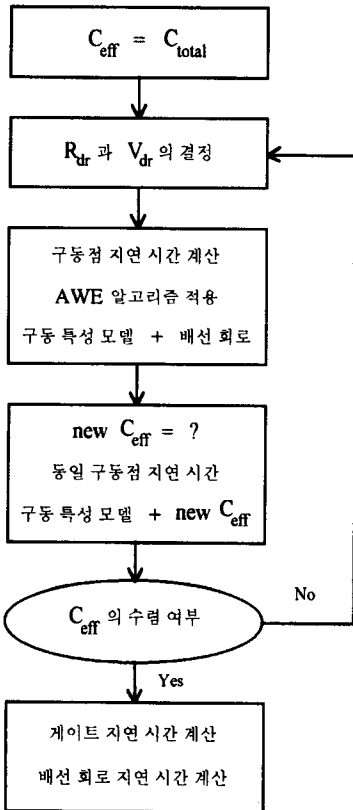


그림 5. 유효 커패시턴스와 구동 특성 모델의 결정
Fig. 5. Determination of effective capacitance and gate driver model.

그림 5는 전체 과정을 순서도로 나타내고 있다. 우선 C_{eff} 를 전체 부하 커패시턴스의 합인 C_{total} 로 초기화한다. 저항 차단 효과가 없다면 이 값이 바로 최종 유효 커패시턴스가 되므로, C_{eff} 가 가질 수 있는 최대

값에 해당한다. 이 값으로부터 앞에서 유도한 식들을 이용하여 R_{dr} 과 V_{dr} 을 계산함으로써 구동 특성 모델을 결정한다. 이 모델에 배선 회로를 연결하여 V_{dr} 부터 구동점 (모델과 배선 회로가 연결된 지점) 까지의 지연 시간 T_d 를 AWE 알고리즘을 적용하여 계산한다. 다음에는 동일한 값의 R_{dr} 과 V_{dr} 로 구성된 모델에 배선 회로 대신 C_{eff} 만을 부하로 연결한 회로에서 V_{dr} 부터 구동점 (모델과 C_{eff} 가 연결된 지점) 까지의 지연 시간이 앞에서 계산한 T_d 와 일치하는 조건을 만족하는 C_{eff} 값을 구한다. 이 값과 이전의 C_{eff} 값의 차이가 미리 정해 놓은 오차 범위 내에 들어오지 않으면 새로 결정된 C_{eff} 값으로부터 R_{dr} 과 V_{dr} 을 다시 계산함으로써 이상의 과정을 반복한다. 최종적으로 결정된 C_{eff} 값을 사용하여 게이트에 의한 지연 시간을 이차원 테이블 형태의 타이밍 데이터 베이스에서 찾아내고, 이에 대응되는 R_{dr} 및 V_{dr} 로 구성되는 구동 특성 모델과 연결된 배선 회로에 AWE 알고리즘을 적용함으로써 배선 회로에 의한 지연 시간을 구한다.

4. 타이밍 데이터 베이스

앞 절에서 살펴본 바와 같이, 구동 특성 모델의 구성 요소인 R_{dr} 과 V_{dr} 은 이차원 테이블 형태의 타이밍 데이터 베이스에서 추출된 타이밍 자료들로부터 결정되므로, 이 자료들이 모델의 정확도를 정하게 된다. 그림 6은 삼성전자주사의 0.8 m CMOS Gate Array에 포함되어 있는 Clock Driver 게이트인 CK4에 대한 타이밍 자료들을 실제 배율로 보여주고 있다. 이 자료들은 SPICE 시뮬레이션을 통하여 추출한 값들이다. CK4의 입력에는 600 ps의 기울기를 갖는 경사 함수 형태의 파형을 인가하였으며, 출력에는 3.5 pf의 부하 커패시턴스를 연결하였다. 이 그림에서 알 수 있듯이 T_{50} 을 분기점으로 하여 출력 전압 파형의 전반부와 후반부가 상당히 다른 기울기를 보이고 있다. 출력이 상승하는 경우, 파형의 전반부와 후반부의 기울기는 64.4 %의 차이를 보였으며 ($T_{20} = 436.9$ ps, $T_{50} = 662.8$ ps, $T_{90} = 1158.0$ ps), 출력이 하강하는 경우는 16.7 %의 차이가 있었다 ($T_{80} = 717.5$ ps, $T_{50} = 953.5$ ps, $T_{10} = 1320.8$ ps). 이와 같은 경향은 CK4 뿐만 아니라 모든 CMOS 게이트에서 공통적으로 발견할 수 있다. 이 실험을 통하여 알 수 있는 사실은 CMOS 게이트의 출력 전압 파형을 단순한 경사 함수 형태로 근사화 할 수 없다는 점이다. 따라서 구

동 특성 모델의 정확도를 높이려면 출력 전압 파형의 형태에 대한 아무런 가정 없이 SPICE 시뮬레이션 결과로부터 T_{10} , T_{20} , T_{50} , T_{80} , T_{90} 등의 타이밍 자료를 직접 추출하여 각각 타이밍 데이터 베이스에 저장하여야 한다.

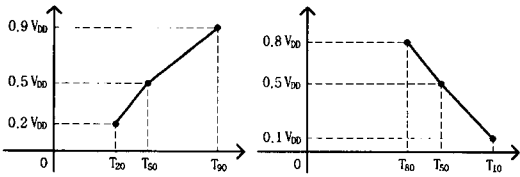


그림 6. CK4의 출력 전압 파형에 관한 타이밍 자료
Fig. 6. Timing data for the output voltage waveform of CK4.

IV. 실험 결과

본 논문에서 제안한 게이트 및 배선에 의한 지연 시간 계산 방법은 C 언어를 통하여 ASIC 타이밍 특성 분석 프로그램 (INT)으로 구현되었다^[11]. INT의 정확도를 확인하기 위하여, 삼성전자(주)사에서 제작한 ASIC 제품의 배치 및 배선 설계 도면으로부터 4 가지 종류의 배선 회로를 추출하고, 이 프로그램을 사용하여 분석하였다. 배선 회로들과 여러 개의 fanout 게이트들은 III.4 절에서 설명한 Clock Driver 게이트 CK4에 의해서 구동 되고 있다. SPICE 시뮬레이션을 통하여 CK4에 대한 T_{10} , T_{20} , T_{50} , T_{80} , T_{90} 등의 타이밍 자료를 추출하여 이차원 테이블 형태로 저장, 사용하였다. 표 1에 나타나 있는 바와 같이, 배선 회로들은 수 만 내지 수 십만 개의 저항과 커패시턴스로 구성된 대규모 회로일 뿐만 아니라, 부동 커패시턴스, 접지 저항 등을 포함하는 복잡한 구조를 가지고 있다.

표 1. 실험에 사용한 배선 회로
Table 1. Benchmark interconnect circuits.

	R의 수	C의 수	Fanout의 수
배선 회로 1	11885	210163	55
배선 회로 2	4012	75025	18
배선 회로 3	13836	21666	79
배선 회로 4	12370	20249	50

표 2는 CK4의 입력에 600 ps의 기울기를 갖는 경사 함수 형태의 파형을 인가하고, 게이트 및 배선에 의한 지연 시간을 구하여 SPICE 시뮬레이션 결과와 비교한 것이다. 이 표에 나타나 있듯이, CK4의 출력

이 상승하거나 하강하는 경우 모두 SPICE 대비 5% 이내의 오차를 유지하고 있다. 여기서 배선 지연 시간 항목은 배선 회로가 구동하는 각각의 fanout 게이트에 대한 지연 시간 오차의 평균값이다. 예를 들어서 배선 회로 1의 경우, 55 개의 fanout 게이트를 구동하고 있으므로, INT가 계산한 55 개의 배선 지연 시간 각각에 대하여 SPICE 시뮬레이션 결과와의 상대 오차를 구한 다음, 이들에 대한 평균 값을 구하였다.

표 2. SPICE 시뮬레이션과의 정확도 비교
Table 2. Accuracy comparison with SPICE simulations.

	게이트 지연 시간		배선 지연 시간	
	상승	하강	상승	하강
배선 회로 1	1.81 %	5.87 %	2.88 %	2.70 %
배선 회로 2	0.03 %	3.98 %	1.28 %	2.80 %
배선 회로 3	0.53 %	1.74 %	1.79 %	2.40 %
배선 회로 4	1.51 %	3.02 %	1.67 %	4.03 %

표 3은 SPICE와 INT가 CK4의 출력이 상승하는 경우와 하강하는 경우 각각에 대해서 게이트 및 모든 배선 지연 시간을 계산하는데 소요된 CPU time을 비교한 것이다. 이 실험은 SPARC20 workstation 상에서 수행되었다. INT는 SPICE와 비교하여 수십 내지 수백 배의 성능 개선 효과를 보였으며, 배선 회로의 규모가 클수록 그 효과가 증가한다는 것을 관찰할 수 있었다. 4가지 배선 회로 중에서 가장 많은 저항과 커패시턴스를 포함하고 있는 배선 회로 1에 대한 성능 개선 효과가 가장 크다는 사실이 이를 입증한다. 이는 INT가 소모하는 CPU time이 SPICE에 비하여 배선 회로 크기의 영향을 적게 받는다는 것을 의미한다.

표 3. SPICE 시뮬레이션과의 계산 시간 비교
Table 3. CPU time comparison with SPICE simulations.

	CPU time [second]		계산 시간 비율 (SPICE / INT)
	SPICE	INT	
배선 회로 1	7273.0	26.7	272
배선 회로 2	836.3	7.3	115
배선 회로 3	641.2	31.2	21
배선 회로 4	561.2	25.1	22

V. 결론

본 논문에서는 반도체 제조 공정의 미세화와 동작

주파수의 증가로 인하여 더욱 높은 수준의 정확도를 요구하고 있는 ASIC 타이밍 특성 분석을 위하여 게이트 및 배선에 의한 지연 시간을 정확하고 효율적으로 계산하는 방법을 제시하고 있다. CMOS 게이트의 구동 특성에 대한 이론적 분석을 바탕으로 구동 특성 모델의 구조를 정하고, 이 모델을 구성하는 구동 저항 R_{dr} 과 구동 전압원 V_{dr} 을 게이트의 구동 특성을 나타내는 타이밍 자료와 배선 회로에 대응되는 유효 커패시턴스 C_{eff} 의 함수로 유도하였다. 이 식들과 AWE 알고리즘을 반복적으로 적용함으로써 R_{dr} 과 V_{dr} 을 C_{eff} 와 동시에 계산하는 접근 방식을 제안하였다. 이 과정으로부터 계산된 C_{eff} 는 게이트에 의한 지연 시간을, R_{dr} 과 V_{dr} 은 배선 회로에 의한 지연 시간을 구하는데 사용된다. 이 개념은 C 언어를 통하여 ASIC 타이밍 특성 분석 프로그램으로 구현되었으며, 삼성전자(株)사에서 제작한 ASIC 제품에 적용한 결과, 게이트 및 배선 회로에 의한 지연 시간을 SPICE와 비교하여 5% 오차 내에서 수십 내지 수백 배의 속도로 계산할 수 있었다.

본 연구를 통하여 분석된 배선 회로의 타이밍 특성은 시간 영역 및 주파수 영역에서의 정보를 모두 포함하는 것이므로, 이를 바탕으로 등가의 전기적 특성을 갖는 압축된 회로를 합성하는 연구에 사용될 수 있다. 현재 본 논문에서 제안하고 있는 방식은 배선 회로를 구동하는 게이트가 하나인 경우에 국한되어 있으므로, 클락 네트와 같이 여러 개의 게이트에 의해서 동시에 구동되는 배선 회로를 해석하기 위한 방안이 연구되어야 한다. 향후 ASIC의 주파수가 GHz 이상으로 증가하는 경우에 대비하여, 혹은 PCB, MCM 등에 적용하기 위하여 전송 선로를 포함하는 배선 회로 해석으로 확장시킬 수 있는 방안에 대한 연구도 필요하다.

참 고 문 헌

- [1] W. C. Elmore, "The Transient Response of Damped Linear Networks with Particular Regard to Wideband Amplifiers," *Journal of Applied Physics*, vol. 19, no. 1, pp. 55-63, 1948.
- [2] J. Rubinstein, P. Penfield Jr. and M. A. Horowitz, "Signal Delay in RC Tree Networks," *IEEE Trans. on Computer-Aided Design*, vol. 2, no. 3, pp. 202-211, Jul. 1983.
- [3] L. T. Pillage and R. A. Rohrer, "Asymptotic Waveform Evaluation for Timing Analysis," *IEEE Trans. on Computer-Aided Design*, vol. 9, no. 4, pp. 352-366, Apr. 1990.
- [4] J. Qian, S. Pullela and L. T. Pillage, "Modeling the Effective Capacitance for the RC Interconnect of CMOS Gates," *IEEE Trans. on Computer-Aided Design*, vol. 13, no. 12, pp. 1526-1535, Dec. 1994.
- [5] E. Y. Chung, B. H. Joo, Y. K. Lee, K. H. Kim and S. H. Lee, "Advanced Delay Analysis Method for Submicron ASIC Technology," *Proc. of IEEE ASIC Seminar*, pp. 471-474, 1992.
- [6] 조경순, 김낙현, 송오영, 김진, 김현준, "ASIC 배선 지연 시간의 효율적 계산," *대한전자공학회 CAD 및 VLSI 설계연구회 학술발표회*, pp. 43-47, May 1996.
- [7] C. W. Ho, A. E. Ruehli and P. A. Brennan, "The Modified Nodal Approach to Network Analysis," *IEEE Trans. on Circuits and Systems*, vol. 22, pp. 504-509, Jun. 1975.
- [8] F. Dartu, N. Menezes, J. Qian and L. T. Pillage, "A Gate-Delay Model for High-Speed CMOS Circuits," *Proc. of 31st ACM/IEEE Design Automation Conference*, pp. 576-580, Jun. 1994.
- [9] N. Menezes, S. Pullela and L. T. Pillage, "Simultaneous Gate and Interconnect Sizing for Circuit-Level Delay Optimization," *Proc. of 32nd ACM/IEEE Design Automation Conference*, pp. 690-695, Jun. 1995.
- [10] P. R. OBrien and T. L. Savarino, "Modeling the Driving-Point Characteristic of Resistive Interconnect for Accurate Delay Estimation," *Proc. of IEEE International Conference on Computer-Aided Design*, pp. 512-515, 1989.
- [11] 조경순, 변영기, "배선 회로 해석을 위한 CMOS 게이트의 구동 특성 모델," *대한전자공*

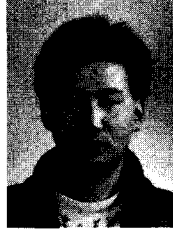
저 자 소 개



趙 敬 淳(正會員)

1982년 2월 서울대학교 전자공학과 학사. 1984년 2월 서울대학교 전자공학과 석사. 1988년 12월 미국 Carnegie Mellon University 전기 및 컴퓨터 공학과 박사. 1988년 11월 ~ 1994년 8월 삼성전자(주) 반도체부문

ASIC 선임, 수석 연구원. 1994년 8월 ~ 1996년 8월 한국외국어대학교 전자공학과 조교수. 1996년 9월 ~ 현재 한국외국어대학교 전자공학과 부교수. 주관심분야는 CAD 및 VLSI 설계



卞 榮 基(正會員)

1968년 11월 16일생. 1997년 2월 한국외국어대학교 제어계측공학과 학사. 1997년 3월 ~ 현재 한국외국어대학교 전자제어공학과 석사과정. 주관심분야는 CAD 및 VLSI 설계