

트랜스어드미턴스 증폭기를 이용한 사다리형 8차 일립틱 저역-통과 여파기

(A ladder type 8th-order elliptic low-pass filter using
transadmittance amplifiers)

金鍾珽*, 朴志晩*, 鄭元燮*

(Jong-Pil Kim, Ji-Mann Park, and Won-Sup Chung)

요 약

3.13 kHz의 차단 주파수를 가지는 8차 일립틱 저역-통과 여파기를 설계했다. 여파기 설계는 최소의 커패시터를 갖는 LC 사다리 회로망에 적용된 1/s 임피던스 변환법에 기초를 두고 있다. 임피던스 변환된 회로망은 저항기들과 높은 Q를 가지는 FDNR(frequency-dependent negative resistor)들로 실현된다. FDNR은 두 개의 트랜스어드미턴스 증폭기로 실현된다. SPICE 시뮬레이션을 한 결과, 여파기가 ± 5 V의 전원 전압에서 0.18 dB의 통과 대역 리플, 100 dB 이상의 저지-대역 감쇄량, 그리고 8.5 ppm/°C의 차단 주파수 온도 계수를 가진다는 것을 확인했다.

Abstract

An 8th-order elliptic low-pass filter with cutoff frequency of 3.13 kHz is presented. The design procedure is based on the 1/s impedance transformation which is applied to a minimum capacitor LC ladder network. The transformed network is implemented with resistors and high Q frequency-dependent negative resistors(FDNR's). The high Q FDNR is realized with two transadmittance amplifiers. Detailed SPICE simulations show that the filter has pass-band ripple of 0.18 dB, stop-band attenuation over 100 dB, cutoff frequency of 3.13 kHz, and cutoff frequency temperature coefficient of 8.5 ppm/°C at supply voltage of ± 5 V.

I. 서 론

여파기는 어떤 원하는 주파수 대역의 신호들만을 통과시키는 회로로서, 통신 및 계장 시스템에 필수 불가결한 빌딩 블록이다. 여파기는 기능과 성능에 따라 여

러 유형과 종류로 분류된다. 그 중에서 특히, 고성능의 저역-통과 여파기는 무선 전화기의 오디오(AF) 단, 디지털 휴대폰의 중간 주파(IF) 단, 그리고 PCM 전화 시스템에 사용되는 등 폭넓은 응용 분야를 가지고 있다. PCM 전화 시스템에 사용되는 채널 बैं크 여파기(channel bank filter)와 무선 전화기에 사용되는 저역-통과 여파기는 다음과 같은 사양들, 즉 3 kHz의 차단 주파수와 -85 dB/octave의 감쇄 특성, 그리고 80 dB 이상의 저지-대역 감쇄량을 가져야 한다. 또한, 디지털 휴대폰에 사용되는 저역-통과 여파기는 630 kHz의 차단 주파수와 48 dB 이상의 저지-대역 감쇄량을 가져야 한다. 이 사양들을 만족시키는 여파기 합

* 正會員, 淸州大學校 半導體工學科

(Department of Semiconductor Engineering, Chongju University)

※ 본연구는 '97년도 한국과학재단의 핵심전문연구 과제(과제번호: KOSEF 971-0915-091-1)에 의하여 수행되었음

接受日字: 1998年4月14日, 수정완료일: 1998年7月29日

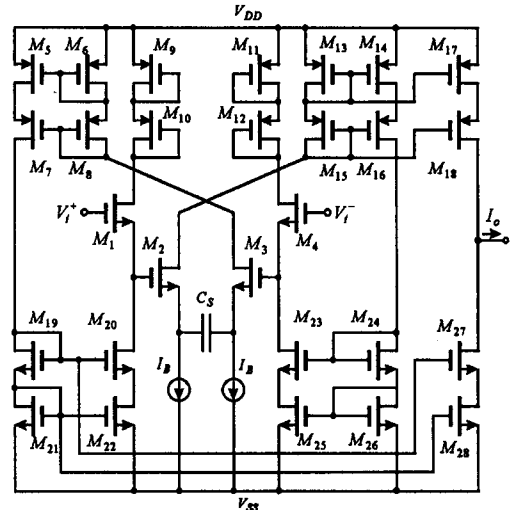
수와 회로로서 가장 널리 사용되는 것은, 8차 이상의 일립틱(elliptic) 함수와 LC 사다리 회로망이다. 사다리 회로망은 낮은 소자 감도(component sensitivity)를 보인다는 장점을 가지고 있다^[1, 2].

LC 사다리 회로망을 능동-RC 회로로 실현하는 방법은 리프로그(leapfrog) 시뮬레이션 방식^[2-4]과 소자(component) 시뮬레이션 방식으로 대별된다. 이들 중에서, 회로 설계 이론이 더 간단한 것은 소자 시뮬레이션에 기초한 것이다. 소자 시뮬레이션 법은 다시 두 가지로 구분된다. 즉, 첫 번째 방법은 사다리 회로망에 포함되는 인덕터(L)를 저항기(R), 커패시터(C), 그리고 증폭기로 시뮬레이션하여 대체하는 것이고^[5-7], 두 번째 방법은 사다리 회로망에 포함되는 R, L, 그리고 C의 임피던스 즉 R, sL, 그리고 1/sC을 각각 1/s로 임피던스 변환한 후, 그 결과의 회로를 커패시터, 저항기, 그리고 FDNR로 실현하는 것이다^[8]. 후자의 방법은 주로 최소의 커패시터를 갖는 LC 사다리 회로망(minimum capacitor LC ladder network)에 적용되며, 최소의 인덕터를 갖는 LC 사다리 회로망(minimum inductor LC ladder network)에는 경제적이지 못하기 때문에 사용되지 않는다. 최소의 커패시터를 갖는 LC 사다리 회로망에 임피던스 변환법을 적용하여 여파기를 실현함에 있어, 핵심이 되는 부분은 능동 소자인 FDNR을 어떻게 구성하느냐 하는 것이다.

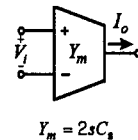
FDNR은 통상적으로 두 개의 연산 증폭기와 두 개의 커패시터 그리고 세 개의 저항기로 구성된다^[1, 2, 12, 13]. PCM 전화 시스템의 채널 बैं크 여파기로서 5차 일립틱 저역-통과 여파기가 사용되고 있으며, 이 여파기 실현에 연산 증폭기-RC FDNR이 사용되고 있다. 또한, CD 플레이어(player) 등의 디지털 여파기 뒀단에도 연산 증폭기-RC FDNR을 이용한 저역-통과 여파기가 사용되고 있다. 이들 여파기에 이용되고 있는 FDNR은 소자를 많이 필요로 하여 집적화하기가 어려우며, 고주파 특성이 좋지 않다는 단점을 가진다^[2, 9]. 이와 같은 문제점들을 해결하기 위해, 본 논문에서는 연산 증폭기보다 고주파 특성이 우수한 트랜스어드미턴스 증폭기(transadmittance amplifier : TAA)를 이용하여 FDNR을 새롭게 설계한다. 설계된 FDNR을 이용하여 사다리형 8차 일립틱 저역-통과 여파기를 실현한 후 컴퓨터 시뮬레이션을 통해 설계 이론을 검증하고자 한다.

II. 트랜스어드미턴스 증폭기

본 논문에서 실현할 사다리형 8차 일립틱 저역-통과 여파기에 사용하기 위해 설계한 TAA의 회로도와의 기호를 그림 1(a)와 (b)에 각각 나타냈다^[10].



(a)



(b)

그림 1. (a) 트랜스어드미턴스 증폭기와 (b) 기호
Fig. 1. (a) Transadmittance amplifier and (b) its symbol.

회로에서, $M_1 \sim M_4$ 트랜지스터들과 소스 디제너레이션(degeneration) 커패시터 C_s 는 차동-입력단을 형성한다. 입력단 트랜지스터 M_1 과 M_4 의 드레인에 각각 연결된 M_9 와 M_{10} , 그리고 M_{11} 과 M_{12} 는 M_1 과 M_4 의 드레인-소스간에 걸리는 전압을 줄여줌으로써 채널-길이 변조(channel-length modulation) 효과를 줄여주기 위한 다이오드-결선 트랜지스터들이다. $M_5 \sim M_8$ 과 $M_{13} \sim M_{16}$, 그리고 M_{13} , M_{15} , M_{17} , M_{18} 은 각각 PMOS 캐스코드 전류 미러를 형성하고, $M_{19} \sim M_{22}$, $M_{23} \sim M_{26}$, 그리고 M_{19} , M_{21} , M_{27} , M_{28} 은 각각 NMOS 캐스코드 전류 미러를 형성한다. I_B 는 모든 트랜지스터들을 바이어스시키기 위한 직류 전류

이다. 편의를 위해, 모든 트랜지스터들이 정합(match)되어 있다고 가정하면, M_2 의 드레인 전류 I_{d2} 는 PMOS 전류 미러 $M_{13} \sim M_{16}$ 과 NMOS 전류 미러 $M_{23} \sim M_{26}$ 에 의해 복제되어 M_4 의 소스에 나타난다. 따라서 $I_{d4} = I_{d2}$ 가 된다. 또한, M_3 의 드레인 전류 I_{d3} 는 PMOS 전류 미러 $M_5 \sim M_8$ 과 NMOS 전류 미러 $M_{19} \sim M_{22}$ 에 의해 복제되어 M_1 의 소스에 나타난다. 따라서 $I_{d1} = I_{d3}$ 가 된다. 입력 전압 전원들 V_i^+ 와 V_i^- , 네 개의 입력단 트랜지스터 $M_1 \sim M_4$, 그리고 소스 디제너레이션 커패시터 C_s 로 형성되는 루프에 키르히호프의 전압 법칙을 적용하면

$$\begin{aligned}
 V_i &= V_i^+ - V_i^- \\
 &= \left(V_i + \sqrt{\frac{I_{d2}}{K}} \right) + \left(V_i + \sqrt{\frac{I_{d2}}{K}} \right) + \frac{1}{sC_s} \frac{(I_{d2} - I_{d1})}{2} \\
 &\quad - \left(V_i + \sqrt{\frac{I_{d3}}{K}} \right) - \left(V_i + \sqrt{\frac{I_{d3}}{K}} \right)
 \end{aligned} \tag{1}$$

를 얻는다. 여기서 V_i 는 트랜지스터의 문턱 전압이고, K 는 다음 식으로 주어지는 트랜스컨덕턴스 파라미터이다.

$$K = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right) \tag{2}$$

여기서 μ_n 은 전자 이동도, C_{ox} 는 산화층의 단위 면적당 커패시턴스, W 는 채널 폭, 그리고 L 은 채널 길이이다. (1) 식을 정리하면

$$I_{d2} - I_{d1} = 2sC_s V_i \tag{3}$$

를 얻는다. I_{d2} 와 I_{d1} 의 차는 출력단의 전류 미러들에 의해 취해져 출력 전류 I_o 를 형성한다. 따라서 이 TAA의 입-출력 관계식은 다음과 같이 표현된다.

$$I_o = I_{d2} - I_{d1} = 2sC_s V_i \tag{4}$$

(4) 식으로부터, 증폭기의 트랜스어드미턴스가

$$Y_m = 2sC_s \tag{5}$$

라는 것을 알 수 있다. (5) 식은 TAA의 트랜스어드미턴스가 단지 차동-입력단의 소스 디제너레이션 커패시터에 의해서만 결정되고, 트랜지스터의 파라미터들에는 영향을 받지 않는다는 것을 말해준다. 특히, 이 식에는 트랜지스터의 온도 파라미터들을 포함하고 있지

않음에 주목할 필요가 있다. 이 증폭기의 입력 선형 범위는

$$V_i < \frac{I_B}{sC_s} \tag{6}$$

이다.

III. 트랜스어드미턴스 증폭기를 이용한 FDNR

II장에서 설계한 TAA를 이용하여 구성된 FDNR과 그 기호를 그림 2(a)와 (b)에 각각 나타냈다. 회로는 두 개의 TAA와 하나의 저항기로 구성된다. 회로에서 Y_{m1} 으로 표시된 TAA₁은 저항기 R_F 와 함께 반전 미분기를 형성하고, Y_{m2} 로 표시된 TAA₂는 입력 전압을 출력 전류로 변환시키는 전압-전류 변환기 역할을 한다. 이 FDNR 회로는 다음과 같이 동작한다. 즉, 입력 전압 V_i 가 반전 미분기에 의해 반전 미분되므로, 미분기의 출력 전압 V_D 는 다음과 같이 표현된다.

$$V_D = -Y_{m1} R_F V_i \tag{7}$$

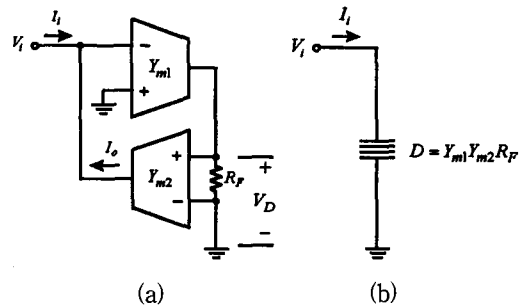


그림 2. (a) FDNR과 (b) 기호
Fig. 2. (a) FDNR and (b) its symbol.

여기서 Y_{m1} 은 TAA₁의 트랜스어드미턴스이다. V_D 전압은 TAA₂에 의해 전류로 변환된다. 즉, TAA₂의 출력 전류 I_o 는

$$I_o = Y_{m2} V_D \tag{8}$$

가 된다. 여기서 Y_{m2} 는 TAA₂의 트랜스어드미턴스이다. TAA₁의 입력 임피던스가 거의 무한대이고 I_o 의 방향이 FDNR의 입력 전류 I_i 의 방향과 반대이므로, FDNR의 입력 전류 I_i 와 입력 전압 V_i 사이에는 다

음의 관계식이 성립한다.

$$I_i = Y_{m1}Y_{m2}R_F V_i \quad (9)$$

따라서 이 회로의 입력 어드미턴스 Y_{in} 은

$$Y_{in} = \frac{I_i}{V_i} = Y_{m1}Y_{m2}R_F \quad (10)$$

이다. 두 TAA가 정합되었다면, 즉, $Y_{m1} = Y_{m2} = Y_m = 2sC_s$ 라면, FDNR의 입력 어드미턴스는

$$Y_{in} = (2sC_s)^2 R_F \quad (11)$$

로 표현될 것이다. 이 식을 임피던스로 나타내면

$$Z_{in} = \frac{1}{(2sC_s)^2 R_F} = \frac{1}{s^2 D} \quad (12)$$

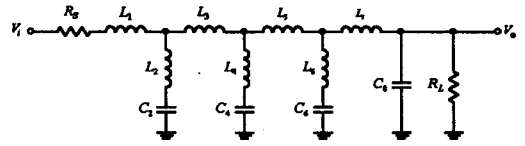
로 쓸 수 있다. 여기서 $D = 4C_s^2 R_F$ 이다. 이 FDNR을 여파기에 응용하기 위해 D 값을 결정할 때는, TAA의 소스 디제너레이션 커패시터 C_s 를 일정한 값으로 선정하고 FDNR내의 R_F 값을 적절한 값으로 조정하는 것이 편리할 것이다.

IV. 사다리형 8차 일립틱 저역-통과 여파기

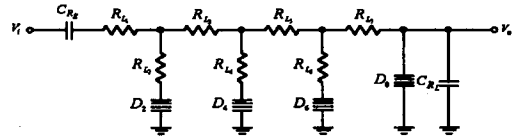
1. 여파기 형태와 1/s 임피던스 변환

본 논문에서 설계할 여파기는 8차 일립틱 저역-통과 여파기로서, 3 kHz의 리플 대역폭과 0.5 dB 이하의 통과 대역 리플, 100 dB 이상의 저지-대역 감쇄량, 그리고 1.8 이하의 선택도(ω_s/ω_p : 여기서 ω_p 는 리플 대역폭을 의미하고, ω_s 는 최소 저지-대역 주파수를 의미한다)를 갖도록 요구된다. 이 사양을 실현하기 위한 여파기 형태로서 최소의 커패시터를 갖는 LC 사다리 회로망을 선정했으며, 이를 수동 소자로 구성한 형태를 그림 3(a)에 나타냈다. FDNR을 사용할 수 있도록, 그림 3(a)의 회로에 있는 모든 소자들의 임피던스를 s 로 나누어 1/s 임피던스 변환시키면, 그림 3(b)에 나타낸 것과 같이, 저항기는 커패시터로 인덕터는 저항기로 그리고 커패시터는 D 로 표시된 FDNR로 각각 바뀔 것이다. 그림 3(b)의 회로에서 D 로 표시된 FDNR을 III장에서 설계한 그림 2(a)의 회로로 바꾸면 그림 3(c)와 같이 된다. 이 회로에서, R_A 와 R_B 는 FDNR의 하단에 위치한 TAA의 출력

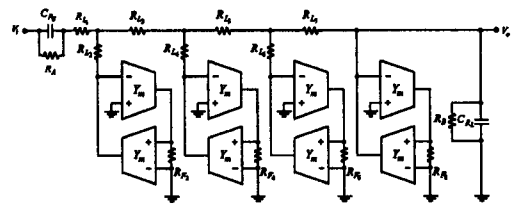
에서 나오는 직류 오프셋 전류를 흘려 주기 위한 저항기들이다.



(a)



(b)



(c)

그림 3. 사다리형 8차 일립틱 저역-통과 여파기: (a) LC 수동 여파기; (b) 1/s 임피던스 변환된 여파기; (c) FDNR을 이용하여 구성한 여파기

Fig. 3. A ladder type 8th order elliptic low-pass filter: (a) LC passive filter; (b) 1/s transformed filter; (c) active filter implemented with FDNR's.

2. 여파기의 소자값 선정과 주파수 스케일링

앞에서 언급한 여파기 사양들에 충족하도록 소자값들을 정하기 위해 여파기 설계표를 이용했다^[11, 12]. 설계표를 이용한 LC 사다리 여파기의 소자값들과 정확한 설계 사양들을 표 1과 표 2에 각각 나타냈다. 또한, 임피던스 변환된 그림 3(b)의 회로에 대한 소자값들을 표 3에 나타냈다.

표 1. 설계표로부터 얻은 LC 사다리 여파기의 소자값

Table 1. Element values of the LC ladder filter obtained from the filter table.

L_1	L_2	L_3	L_4	L_5	L_6	L_7
1.138	0.0726	1.720	0.2088	1.555	0.1387	1.413
R_S	C_2	C_4	C_6	C_8	R_L	
1	1.432	1.503	1.632	1.208	1	

표 2. 여파기 설계 사양

Table 2. Filter design specification.

여파기 형태	a minimum capacitor LC ladder network
리플 대역폭	3 kHz
통과-대역 리플	0.177 dB
통과-대역 감쇄량	6.02 dB
저지-대역 감쇄량	100.3 dB
선택도 (ω_p/ω_s)	1.75

표 3. 1/s 임피던스 변환 후의 소자값

Table 3. Element values after 1/s impedance transformation.

R_{L_1}	R_{L_2}	R_{L_3}	R_{L_4}	R_{L_5}	R_{L_6}	R_{L_7}
1.138	0.0726	1.720	0.2088	1.555	0.1387	1.413
C_{R_s}	D_2	D_4	D_6	D_8	C_{R_L}	
1	1.432	1.503	1.682	1.208	1	

여기서, 임피던스 변환하기 전과 후의 소자값들이 변함이 없다는 점에 주목할 필요가 있다. 표 1과 표 3에 나타난 소자값들은 여파기가 1 rad/s의 리플 대역폭을 갖도록 선정된 값들이다. 따라서 여파기가 3 kHz의 리플 대역폭을 갖게 하기 위해서는 주파수 스케일링이 필요하다. 주파수 스케일링하는 절차는 다음과 같다^[11, 12].

(1) 1/s 임피던스 변환된 회로 [그림 3(b)]에서, 입력 및 출력단의 커패시터(C_{R_s} , C_{R_L})의 값을 적절한 값(C_{R_s}' , C_{R_L}')으로 정한다. 여기서, 프라임(')이 표시된 소자는 주파수 스케일링된 소자를 의미하며 이후로도 계속 적용된다.

(2) 임피던스-스케일링 인수 Z 를 다음과 같이 구한다.

$$Z = \frac{C_{R_s}}{2\pi f_c C_{R_s}'} \quad (13)$$

여기서, f_c 는 여파기의 리플 대역폭을 의미한다.

(3) 임피던스 변환 전후의 회로내에 있는 모든 인덕터(L), 커패시터(C), 저항기(R)에 대해서 다음 식을 적용한다.

$$L_n' = \frac{L_n \times Z}{2\pi f_c}, \quad (n = 2, 4, 6, 8) \quad (14a)$$

$$C_n' = \frac{C_n}{2\pi f_c \times Z}, \quad (n = 2, 4, 6, 8) \quad (14b)$$

$$R' = R \times Z \quad (14c)$$

(4) FDNR내의 소자 R_{F_n} '의 값은 모든 TAA내의 커패시터 C_s 를 동일하게 선정된 후 다음 식을 이용하여 구한다.

$$\frac{1}{sC_n'} = \frac{1}{s^2 D_n'} \Big|_{s=2\pi f_c}, \quad (n = 2, 4, 6, 8) \quad (15)$$

여기서, $D_n' = 4C_s^2 R_{F_n}'$ 이다.

TAA의 소스 디제너레이션 커패시터 C_s 의 값을 1 nF으로 선정하고 C_{R_s}' 과 C_{R_L}' 의 값을 1 nF으로 정한 후, 위의 스케일링 절차에 의해 구한 그림 3(a)와 (c)의 회로에 대한 소자 값들을 표 4에 나타냈다. R_A 와 R_B 의 값을 다음 식을 이용하여 구한다^[2].

$$\frac{R_B}{R_A + R_{L_1}' + R_{L_3}' + R_{L_5}' + R_{L_7}' + R_B} = 0.5 \quad (16)$$

여기서, R_A 를 10 M Ω 으로 선정하면 R_B 는 10.309 M Ω 이라는 것을 알 수 있다.

표 4. 주파수 스케일링 후의 소자값

Table 4. Element values after frequency scaling.

단위 : 인덕터[H], 저항[k Ω], 커패시터[nF]

	L_1'	L_2'	L_3'	L_4'	L_5'	L_6'	L_7'
그림 3(a)	3.203	0.204	4.841	0.588	4.376	0.390	3.977
	R_S'	C_2'	C_4'	C_6'	C_8'	R_L'	
	53.05	1.432	1.503	1.682	1.208	53.05	
그림 3(c)	R_{L_1}'	R_{L_2}'	R_{L_3}'	R_{L_4}'	R_{L_5}'	R_{L_6}'	R_{L_7}'
	60.37	3.852	91.25	11.08	82.50	7.358	74.96
	C_{R_s}'	R_{F_2}'	R_{F_4}'	R_{F_6}'	R_{F_8}'	C_{R_L}'	
	1	18.99	19.93	22.31	16.02	1	

V. FDNR의 2차 효과와 Q의 영향

FDNR을 비롯한 GIC(generalized impedance converter) 소자들을 이용한 능동 여파기 설계에서, GIC 소자들의 Q는 여파기 특성에 많은 영향을 주기 때문에 여파기 설계시 주의해야할 요소이다. 이들 소자의 유한 Q가 여파기 특성에 미치는 영향은 다음과

같다. 첫째, 통과 대역의 가장자리 즉 차단 영역 근처에서 응답의 형태가 완만해지며, 통과 대역내의 리플이 감소하거나 완전히 사라질 수 있다. 이는 GIC 소자의 유한 Q에 의해 야기되는 가장 심각한 문제라고 할 수 있다. 둘째, 저지-대역에서의 손실은 유지되는데 반해, 통과-대역에서의 삽입 손실(insertion loss)은 증가한다. 따라서 통과-대역과 저지-대역 사이의 상대적인 감쇄량이 줄어든다. 이들의 영향을 줄이기 위한 방법으로는 여파기의 차수를 증가시키거나 선택도를 더욱 예리하게 하는 방법, 또는 진폭 등화기를 사용하는 방법 등이 있다^[12]. 하지만 이들 방법은 회로가 복잡해지거나 별도의 회로가 추가되는 단점이 있다. 따라서 이들의 영향을 최소화하기 위한 가장 좋은 방법은, GIC 소자 자체를 실현할 여파기의 차단 주파수 부근에서 높은 Q를 갖도록 설계하는 것이다.

II장에서는 TAA의 이상적인 동작 특성을 설명했고, III장에서는 이상적인 TAA로 구성된 FDNR을 설명했다. 그러나 실제로는 트랜지스터의 기생 성분들 때문에 TAA 및 FDNR이 비이상적인 동작 특성을 나타낸다. FDNR의 성능에 영향을 미치는 TAA의 기생 성분들은 다음의 두 가지, 즉 유한 입력 임피던스와 출력 임피던스 그리고 주파수에 비선형적으로 관계하는 트랜스어드미턴스이다. 이 성분들을 포함시킨 TAA의 2차 매크로모델(macromodel)을 그림 4에 나타냈다^[13]. 여기서 C_i 와 G_i 는 각각 TAA 입력단에 나타나는 커패시터 성분과 컨덕턴스 성분을 가리키며, C_o 와 G_o 는 TAA 출력단에 나타나는 커패시터 성분과 컨덕턴스 성분을 가리킨다. 또한, $Y_m = Y_{m0} \left(\frac{s + \omega_c}{\omega_c} \right)$ 로 나타내어지는데, 여기서 $Y_{m0} = 2sC_s$ 로 주파수에 비례하는 이상적인 트랜스어드미턴스이고, ω_c 는 Y_m 이 Y_{m0} 보다 3 dB 증가할 때의 주파수를 나타낸다.

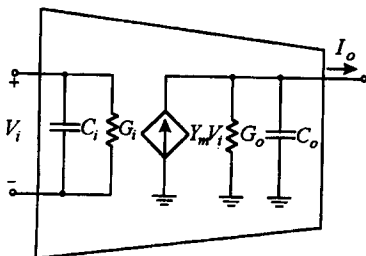


그림 4. TAA의 2차 매크로모델
Fig. 4. Second-order macromodel for the TAA.

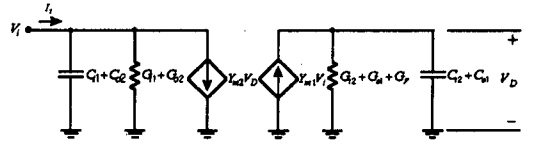


그림 5. TAA의 2차 매크로모델을 사용하여 나타낸 FDNR
Fig. 5. FDNR represented by using the second-order TAA macromodel.

TAA의 2차 매크로모델을 사용하여 나타낸 FDNR 회로를 그림 5에 도시했다. 여기서, $G_F = 1/R_F$ 이다. TAA₁과 TAA₂가 정합되었다고 가정하면, 즉 $Y_{m1} = Y_{m2} = Y_m$, $C_{n1} = C_{n2} = C_i$, $G_{n1} = G_{n2} = G_i$, $C_{o1} = C_{o2} = C_o$, 그리고 $G_{o1} = G_{o2} = G_o$ 라고 하면, 이 회로의 입력 어드미턴스는 다음과 같이 구해진다.

$$Y_{in} = s(C_i + C_o) + G_i + G_o + Y_{m0}^2 \left(\frac{s + \omega_c}{\omega_c} \right)^2 \frac{1}{G_i + G_o + G_F + s(C_i + C_o)}$$

$$= s(C_i + C_o) + G_i + G_o + \frac{1}{\frac{G_i + G_o + G_F}{Y_{m0}^2 \left(\frac{s + \omega_c}{\omega_c} \right)^2} + \frac{s(C_i + C_o)}{Y_{m0}^2 \left(\frac{s + \omega_c}{\omega_c} \right)^2}}$$
(17)

(17) 식은 다음과 같이 다시 쓸 수 있다.

$$Y_{in} = s(C_i + C_o) + G_i + G_o + \frac{1}{\frac{1}{s^2 D(s)} + \frac{1}{s C_p}}$$
(18)

여기서, $D(s)$ 와 C_p 는 각각

$$D(s) = \frac{Y_{m0}^2 \left(\frac{s + \omega_c}{\omega_c} \right)^2}{s^2 (G_i + G_o + G_F)}$$
(19)

$$C_p = \frac{Y_{m0}^2 \left(\frac{s + \omega_c}{\omega_c} \right)^2}{s^2 (C_i + C_o)}$$
(20)

이다. (18) 식을 그림 6에 등가 회로 형태로 나타내었다. (19)와 (20) 식으로부터 $D(s)$ 와 C_p 가 주파수의 증가에 따라 증가한다는 것을 볼 수 있다.

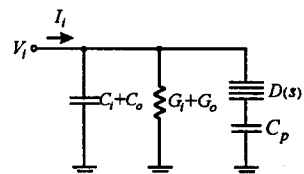


그림 6. TAA의 2차 매크로모델을 사용하여 얻은 FDNR의 등가 회로
Fig. 6. Equivalent circuit of the FDNR obtained by using the second-order TAA macromodel.

지금까지 논의한 2차 효과를 이용하면 FDNR의 Q 를 다음과 같이 구할 수 있다. 즉, FDNR의 Q 는 다음 식으로 정의된다^[2].

$$Q_{FDNR} \cong \frac{\text{입력 어드미턴스의 실수 부분}}{\text{입력 어드미턴스의 허수 부분}} \quad (21)$$

그림 6의 FDNR 등가 회로에서, TAA의 입력단 커패시턴스 C_i 와 출력단 커패시턴스 C_o 그리고 입력단 컨덕턴스 G_i 와 출력단 컨덕턴스 G_o 를 무시할 수 있을 정도로 작다고 가정하면, FDNR의 입력 어드미턴스 Y_{in} 을 다음과 같이 쓸 수 있다.

$$Y_{in} \cong \frac{1}{\frac{1}{s^2 D(s)} + \frac{1}{s C_p}} \quad (22)$$

이제, (21) 식의 정의로부터 Q_{FDNR} 을 구하면 다음과 같다.

$$Q_{FDNR} \cong \frac{C_p}{\omega D(\omega)} \quad (23)$$

(23) 식과 (19) 및 (20) 식을 결합시키면

$$Q_{FDNR} \cong \frac{G_i + G_o + G_F}{\omega(C_i + C_o)} \quad (24)$$

를 얻는다. 이 식으로부터 TAA의 입력단과 출력단의 기생 커패시턴스를 작게 하고, FDNR내의 R_F 값을 가능한 한 작게 선정함으로써 높은 Q 의 FDNR을 실현할 수 있다는 것을 알 수 있다. 본 논문에서는 FDNR을 구성하기 위해 사용한 TAA의 입력단 트랜지스터들의 채널 면적을 변화시킴으로써 여파기 응용에 필요한 최적의 FDNR을 설계했다. FDNR 설계에 대해서는 VI장의 '시뮬레이션 결과 및 고찰'에서 자세히 다룬다.

VI. 시뮬레이션 결과 및 고찰

그림 1의 TAA를 표 5에 보인 1.2 μm n-well CMOS 트랜지스터 공정 파라미터를 사용하여 시뮬레이션했다. $M_1 \sim M_4$ 트랜지스터들의 채널 폭과 길이는 각각 10 μm 와 3 μm 이었고, 나머지 트랜지스터들의 채널 폭과 길이는 각각 100 μm 와 10 μm 이었다. 소스 디제너레이션 커패시터 C_s 는 1 nF를 사용했다. 바이어스 전류 I_B 는 25 μA 이었고, 공급기 전압은

$V_{DD} = -V_{SS} = 5\text{ V}$ 이었다. 그림 7은 TAA의 입력에 1 kHz의 사인파를 인가하고, 그것의 진폭을 0.1 V에서부터 2.6 V까지 0.1 V 간격으로 증가시키면서 출력 전류를 측정된 것을 그래프로 도시한 것이다. 실험 결과가 이상적인 값과 거의 일치한다는 것을 알 수 있다.

표 5. MOS 트랜지스터의 SPICE 모델 파라미터

Table 5. SPICE model parameters for the MOS transistors.

SPICE MODEL PARAMETER			
NMOS	LEVEL=2	UO=521.3	VTO=917E-3
	TPG=1.0	TOX=22.5E-9	NSUB=5.7E16
	UEXP=85.6E-3	VMAX=49.5E3	RSH=349.7
	LD=202.8E-9	DELTA=5.28	PB=0.8
	WD=222.7E-9	CJ=462.1E-6	MJ=421.2E-3
	MJSW=169.0E-3	CGSO=310E-12	CGDO=310E-12
	CGBO=340E-12	FC=500.0E-3	XQC=1.0
PMOS	LEVEL=2	UO=167.5	VTO=-915E-3
	TPG=-1.0	TOX=22.5E-9	NSUB=3.7E16
	UEXP=99.3E-3	VMAX=28.6E3	RSH=418.2
	LD=70.9E-9	DELTA=2.15	PB=0.8
	WD=408.2E-9	CJ=394.8E-6	MJ=454.3E-3
	MJSW=210.8E-3	CGSO=108E-12	CGDO=108E-12
	CGBO=625E-12	FC=500.0E-3	XQC=1.0

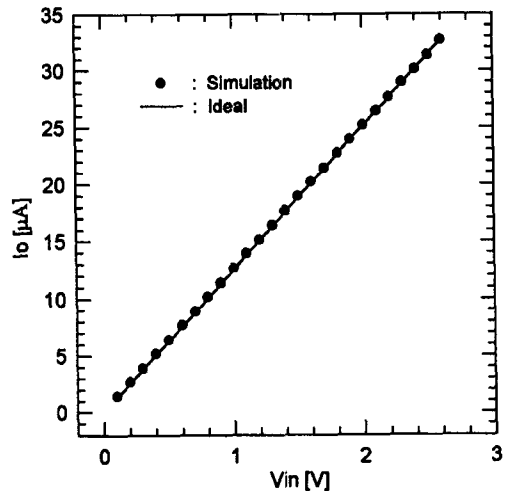


그림 7. TAA의 입-출력 전달 특성
Fig. 7. Transfer characteristics of the TAA.

FDNR의 주파수 특성은 그림 8에 보인 직렬 공진 회로를 이용하여 측정했다. 이 공진 회로는 $f_0 = 1/2\pi\sqrt{R_L D(s)}$ 에서 공진되며, 이 때 출력이 0이 된다. 공진 회로에 사용된 저항기 R_F 는 10 k Ω 이

있고, 직렬 커패시터 C_R 은 500 pF이었다. R_L 값을 10 Ω 에서 300 M Ω 까지 변화시키면서 공진 주파수를 측정 한 후, $D(s) = 1/[(2\pi f_0)^2 R_L]$ 의 식에 대입하여 $D(s)$ 값을 계산했다. 주파수의 변화에 대한 $D(s)$ 값의 변화를 그림 9에 나타냈다. 이 그림은, (19) 식에서 예상했던 바와 같이, $D(s)$ 값이 약 40 kHz까지는 거의 일정하다가 그 이상의 주파수에서는 주파수가 증가함에 따라 급속하게 증가한다는 것을 보여준다. 그림 8의 직렬 공진 회로를 사용하여, FDNR에 직렬로 나타나는 기생 커패시턴스 성분 C_p 값 역시 측정했다. 측정 방법은 다음과 같다. 즉, 공진 회로가 공진될 때의 이득을 측정 한 후 계산에 의해 C_p 값을 구했다. 그 결과를 그림 10에 나타냈다. 이 그림 역시 주파수가 증가함에 따라 C_p 값이 증가한다는 것을 보여준다.

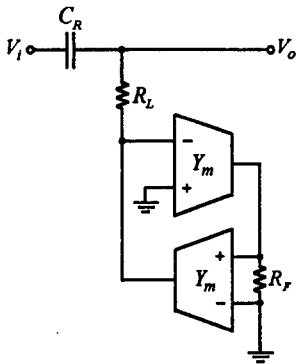


그림 8. FDNR을 사용한 직렬-공진 회로
Fig. 8. Series-resonant circuit using the FDNR's.

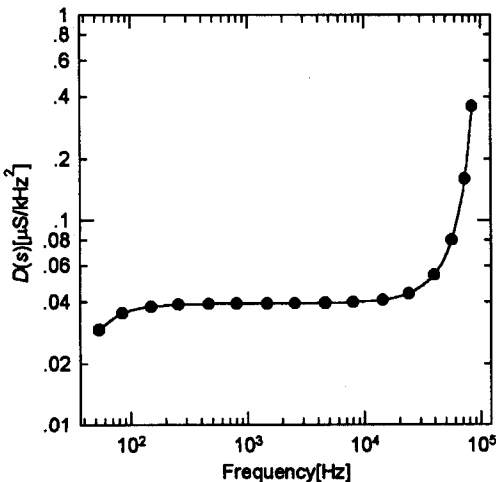


그림 9. FDNR의 $D(s)$ 대 주파수 특성
Fig. 9. $D(s)$ versus frequency characteristics of the FDNR.

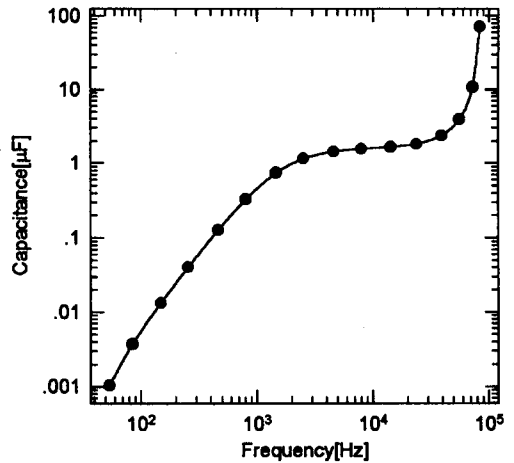


그림 10. FDNR의 기생 커패시턴스 대 주파수 특성
Fig. 10. Parasitic capacitance versus frequency characteristics of the FDNR.

TAA의 입력단에 나타나는 기생 커패시턴스가 FDNR의 Q 에 어떤 영향을 주는지를 알아보기 위해, TAA의 입력단 트랜지스터들 $M_1 \sim M_4$ 만 채널 면적을 변화시키고 나머지 트랜지스터들은 그대로 둔 상태에서 FDNR의 Q 를 측정했다. 그 결과를 그림 11에 나타냈다. 그림에서, (a)의 그래프는 TAA의 입력단 트랜지스터들의 채널 폭과 길이가 10 μm 와 3 μm 일 때의 Q 의 주파수 특성을 나타내고, (b)의 그래프는 각각 채널 폭과 길이가 300 μm 와 30 μm 일 때의 특성을 나타낸다. 그림으로부터, 입력단 트랜지스터의 채널 폭과 길이가 각각 10 μm 와 3 μm 일 때 Q 가 높다는 것을 알 수 있다.

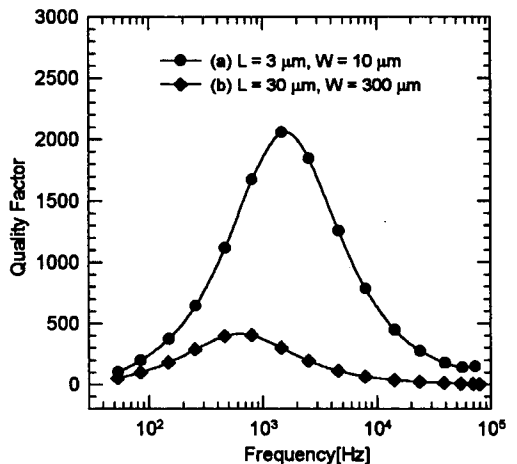


그림 11. FDNR의 Q 특성
Fig. 11. Q characteristics of the FDNR.

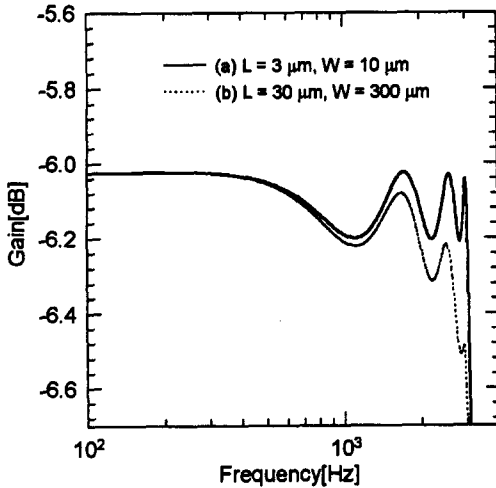


그림 12. FDNR의 Q 변화에 따른 그림 3(c)의 저역-통과 여파기의 리플 특성
 Fig. 12. Ripple characteristics of the low-pass filter shown in Fig. 3(c) according to the Q variation of the FDNR.

표 6. 여파기 성능의 요약
 Table 6. Summary of filter performance.

여파기 형태	사다리형 8차 일립틱 저역-통과 여파기
차단-주파수	3.13 kHz
리플 대역폭	3.03 kHz
통과-대역 리플	< 0.177 dB
통과-대역 감쇄량	< 6.02 dB
저지-대역 감쇄량	> 100 dB
공급 전압	± 5 V
소모 전력	14 mW
통과-대역 온도 드리프트	80 μdB/50°C
차단-주파수 온도계수	8.5 ppm/°C
PSRR+	> 50 dB
PSRR-	> 34 dB

그림 12는 그림 11에 예시한 Q 값을 갖는 두 가지의 FDNR과 표 4의 소자값들로 그림 3(c)의 여파기를 시뮬레이션했을 때 얻어지는 여파기의 입-출력 전달 특성의 리플 부분을 확대하여 나타낸 것이다. 이 그림으로부터, FDNR의 Q가 여파기의 차단 주파수 부근에서 높은 값을 가질 때 여파기의 특성이 좋다는 것을 알 수 있다. 그림 13은, 그림 11에서 (a)의 경우를 선택했을 때, 즉 TAA의 입력단 트랜지스터들의 채널 폭과 길이를 각각 10 μm와 3 μm로 했을 때의

여파기 전달 특성을 나타낸 것이다. 이 여파기의 성능은 표 6에 나타났다. 이 표로부터, 표 2에 나타낸 설계 사양과 시뮬레이션 결과가 잘 일치한다는 것을 알 수 있다. 특히 여파기의 차단-주파수 온도 계수가 8.5 ppm/°C로서 온도 특성이 매우 우수함을 알 수 있다.

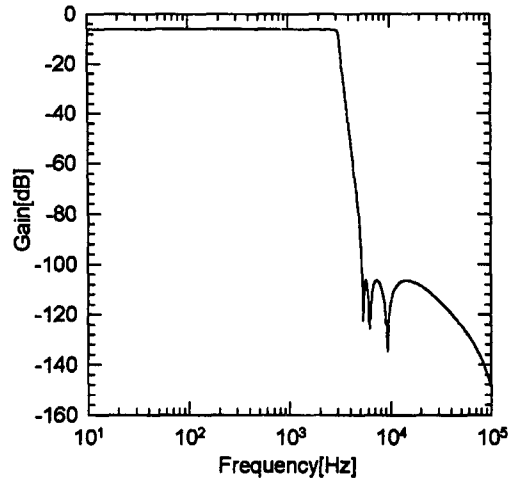


그림 13. 그림 3(c)에 보인 저역-통과 여파기의 입-출력 전달 특성
 Fig. 13. Transfer characteristics of the low-pass filter shown in Fig. 3(c).

VII. 결 론

TAA를 이용하여 FDNR을 설계했고, 설계된 FDNR을 이용하여 사다리형 8차 일립틱 저역-통과 여파기를 실현했다. 실현된 여파기는 Q가 높은 FDNR을 사용했기 때문에 거의 이상적인 특성에 가까운 입-출력 전달 특성을 보인다. 또한, 이 여파기는 양호한 온도 특성과 작은 통과-대역 리플, 그리고 100 dB 이상의 저지-대역 감쇄량을 가지며 소자값이 변해도 여파기 특성이 거의 변하지 않는다는 장점을 가진다. 또한, 회로가 간단하여 집적화하기에 유리하다. 따라서 본 논문에서 실현한 사다리형 8차 일립틱 저역-통과 여파기는 소형화가 요구되는 무선 전화기의 오디오(AF)단, 디지털 휴대폰의 중간 주파(IF)단, PCM 전화 시스템, 그리고 각종 음향기기 등에 널리 사용될 수 있을 것이다.

참 고 문 헌

[1] M. Valkenburg, "Analog Filter Design,"

- Holt-Saunders International Editions, ch. 14, 1982.
- [2] A. S. Sedra and P. O. Brackett, "Filter Theory and Design: Active and Passive," Matrix Publishers, Portland, Ore., ch. 11, 1978.
- [3] 박 찬홍, 김범섭, "CDMA 무선 휴대폰 시스템을 위한 3.0 V CMOS 연속 시간 저대역 필터의 설계," *Telecommunication Review*, vol. 6, no. 1, pp. 2-7, 1996
- [4] 방 준호 외 4인, "개선된 연속시간 전류모드 CMOS 적분기를 이용한 3.3 V 능동 저역 필터 구현," 대한전자공학회 논문지, 제33권, B편, 제4호, pp. 52-62, 1996
- [5] F. Krummenacher and N. Joehl, "A 4-MHz CMOS continuous-time filter with on-chip automatic tuning," *IEEE J. Solid-State Circuits*, vol. SC-23, pp. 750-758, 1988.
- [6] A. Wyszynski, et al., "Design of a 2.7-GHz linear OTA and a 250-MHz elliptic filter in bipolar transistor-array technology," *IEEE Trans. Circuits and Systems*, vol. CAS-40, pp. 19-31, 1993.
- [7] 송 원철 외 6인, "디지털 휴대폰용 IF IC의 설계," *Telecommunication Review*, vol. 6, no. 1, pp. 8-14, 1996
- [8] L. T. Bruton, "Network transfer functions using the concept of frequency-dependent negative resistance," *IEEE Trans. Circuit Theory*, vol. CT-16, pp. 406-408, 1969.
- [9] *National Operational Amplifiers Databook*, National Semiconductor Corp., Santa Clara, CA, 1995.
- [10] W.-S. Chung and H.-W. Cha, Bipolar linear transconductor, *Electronics Letters*, vol. 26, pp. 619-620, May 1990.
- [11] A. B. Williams, "Electronic Filter Design Handbook," ch. 12, McGraw-Hill, 1981.
- [12] L. P. Huelsman, "Active and Passive Analog Filter Design," appendix, McGraw-Hill, 1993.
- [13] A. Rodriguez-Vazquez, et al., On the design of voltage-controlled sinusoidal oscillators using OTA's, *IEEE Transactions on Circuits and Systems*, vol. 37, no. 2, pp. 198-211, Feb. 1990.

저 자 소 개



金鍾珽(正會員)

1967년 3월 9일생. 1996년 2월 청주대학교 반도체공학과(공학사). 1998년 2월 청주대학교 전자공학과(공학석사). 주관심분야는 Bipolar 및 CMOS 아날로그 집적회로 설계, 아날로그 필터 설계, 전류-모드 신호처리 회로 설계, 센서 신호처리 회로 설계 등

리 회로 설계, 센서 신호처리 회로 설계 등

鄭元燮(正會員)

1955년 11월 3일생. 1977년 2월 한양대학교 전자통신공학과(공학사). 1979년 2월 한양대학교 전자통신공학과(공학석사). 1986년 3월 일본 靜岡(Shizuoka)대학 전자과학연구과(공학박사). 1986년 4월 ~ 현재 청주대학교 반도체공학과 교수. 주관심분야는 Bipolar 및 CMOS 아날로그 집적회로 설계, 아날로그 필터 설계, 전류-모드 신호처리 회로 설계, 센서 신호처리 회로 설계 등

朴志晚(正會員)

1967년 9월 28일생. 1989년 2월 청주대학교 반도체공학과(공학사). 1993년 2월 청주대학교 전자공학과(공학석사). 1997년 2월 청주대학교 전자공학과(공학박사). 주관심분야는 Bipolar 및 CMOS 아날로그 집적회로 설계, 아날로그 필터 설계, 센서 신호처리 회로 설계 등