

半導體의 최근동향

1. 머리말

최근 일렉트로닉스산업의 기술혁신에 수반하여 퍼스컴(PC)으로 대표되는 전자기기 등을 고성능화되고 또한 인터넷 등 세계적 규모의 통신수단의 보급은 사회/일상생활양식에 혁신을 가져오기 시작하였다.

이를 지탱하고 있는 것은 1970년대초에 출현한 마이크로프로세서(MPU)이며 그 성능을 1,000배 이상까지 확대되고, 계산성능의 향상에 의하여 요구되는 메모리의 용량은 5,000배 이상에 이르고 있다. 이와 같은 극적인 성능/코스트비의 개선은 DRAM 시장을 급격히 확대시키고 있다. 이들의 개선은 주로 LSI의 미세화와 다층화에 의한 고집적기술의 진전에 의한 것이다.

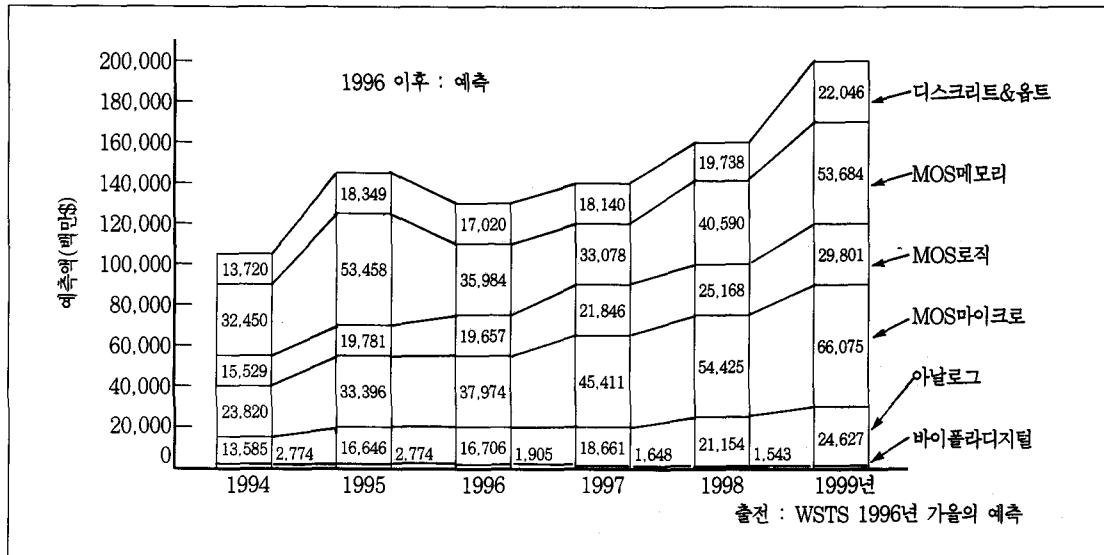
본고에서는 최신의 반도체메모리의 동향과 그것을 지원하는 고집적화기술의 동향, 나아가 코스트저감의 秘方인 실리콘웨이퍼의 大口徑化동향에 대하여 기술한다.

2. 半導體메모리의 동향

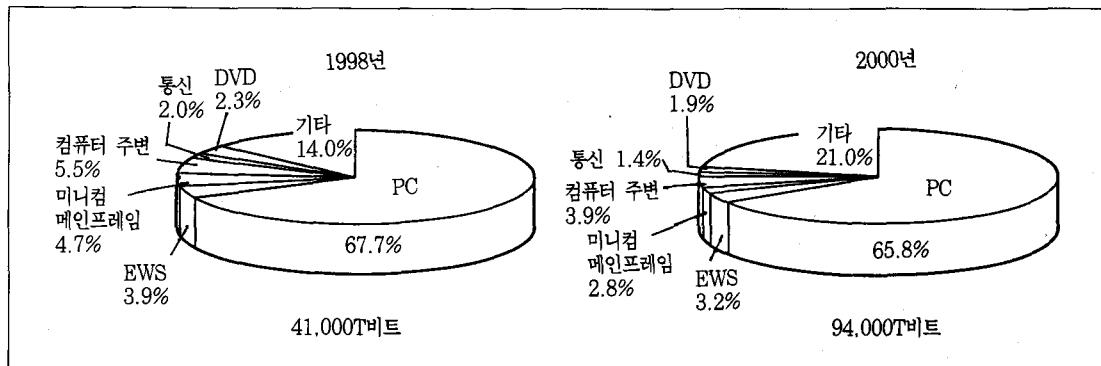
그림 1에 세계적 통계기관인 WSTS에 의한 반도체

시장예측을 실적과 함께 나타낸다. 그래프에서 보이는 바와 같이 MPU와 더불어 메모리가 큰 부분을 차지하고 있다. 그 가운데에서도 다이나믹 랜덤 액세스메모리(DRAM)는 프로그램이나 데이터를 저축하는 메인메모리로서 또 표시장치의 화상메모리로서 중요한 역할을 담당하고 있다. 예를 들면 통상의 엔지니어링 워크스테이션(EWS)에서 코스트의 절반은 DRAM에 쓰여지고 있다. PC 등에 대하여도 마찬가지다. 1995년에 Windows95의 출현에 의한 PC의 出荷數 증대에 이끌리어 DRAM의 출하도 급격한 피크를 나타내었는데, 그후의 조정기간에 있어서도 DRAM이 메모리시장의 대부분을 점유하는 상황은 변함이 없다. 양적인 확대를 기대하기 어려운 상황에서 DRAM은 MPU와의 속도갭을 메우기 위하여 급속히 고도화가 진전되고 있으며, 미세화만이 아니라 EDO방식이나 싱크로어스방식 등 회로방식을 고안한 적극적인 고주파동작을 목표로 개발이 진전되고 있다.

그림 2는 三菱電機의 조사에 기초한 응용분야별 DRAM의 비트수요예측이다. 1988년부터 2000년까지는 DRAM 전수요의 65% 이상이 PC에 사용될 것으로



〈그림 1〉 WSTS에 의한 반도체시장 예측



〈그림 2〉 응용분야별 DRAM의 수요예측

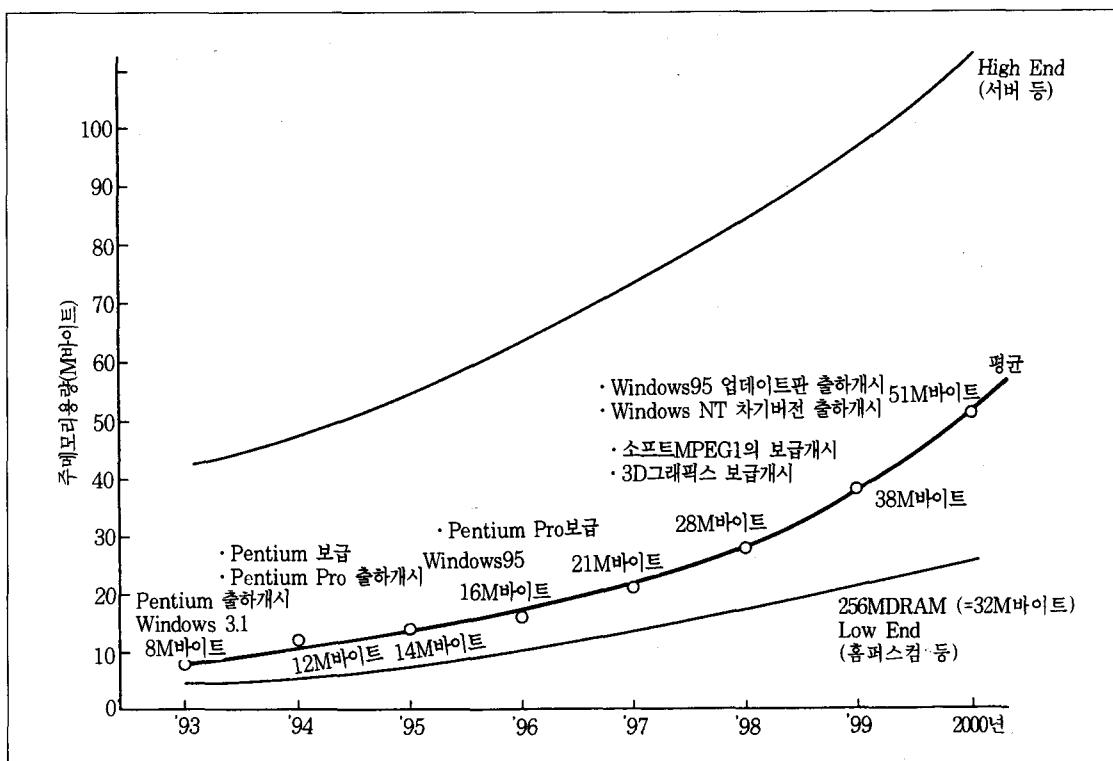
예측된다. 따라서 PC에서 쓰여지는 메모리의 사양이나 탑재용량의 동향파악이 메모리 자신의 개발동향에 민감하게 피드백된다.

그림 3은 PC에 사용되는 주메모리용량의 연차적 추이예측이다. 새로운 MPU나 OS의 등장을 전제로 예측한 2000년의 메모리용량은 평균 51M바이트이다. 이 때 비교적 메모리용량이 적은 하위의 PC에서의 메모리 용량은 25M바이트로 견적되며, 256M비트 DRAM(=32M바이트) 1개로 주메모리를 구성할 수

있게 된다.

상위의 메인프레임과 EWS, 서버, 중위의 PC 등에서는 고성능화/확장성 등의 관점에서 종래대로의 표준 DRAM이나 싱크로어스 DRAM 등이 계속 사용될 것으로 생각된다. 한편 하위의 PC시스템, 휴대정보기기, 세트톱박스 등에서는 DRAM과 ASIC, MPU 등의 로직의 1칩化(混載)가 진전되어 새로운 시장을 개척할 것으로 기대된다.

이에 대응하여 동사에서는 상기한 바와 같은 메모리



〈그림 3〉 퍼스컴에서의 주메모리용량의 동향

와 로직을 混載한 디바이스를 “eRAM”이라고 하여 반도체사업의 새로운 기둥으로 삼고 있다.

3. 로직混載 메모리 디바이스 (eRAM)의 출현

eRAM의 탑재대상이 되는 시스템기기의 동향을 그림 4에 표시한다. 현재는 16M비트 DRAM에 100K게이트의 로직을 탑재한 동사의 M32R/D와 같은 디바이스에서 출발하고 있으나, 장래에는 그래픽스나 음성기능을 강화한 멀티미디어성을 충실히 하기 위한 메모리의 대용량화 및 로직의 多게이트화가 진전될 것이다.

표 1에 혼재로 메리트를 발휘할 수 있는 분야의 예를 표시한다. 탑재메모리용량은 용도에 따라 아래는 數M비트 이하에서 위로는 10M비트 이상까지로 범위는 넓

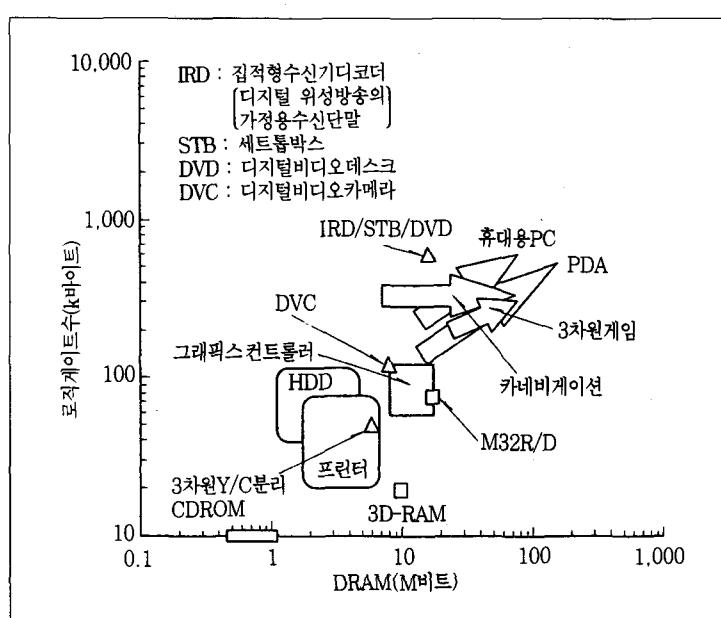
다. eRAM의 혼재수요는 그림 5에 표시하는 것과 같이 2000년에 약 1조 5000억엔으로 예측되고 있다(동사 예측).

eRAM을 만드는 경우에 문제가 되는 것은 DRAM과 로직의 어느 프로세스기술을 베이스로 하는가이다. 일반적으로 코스트의 관점에서, 혼재하는 DRAM의 용량이 10M비트를 초과하는 경우에는 DRAM프로세스를 사용할 필요가 있는데, 이 경우 로직의 게이트밀도를 높게 할 수 없고 또 트랜지스터성능도 DRAM만큼 낮다는 문제가 있다. 그래서 고성능의 eRAM을 위한 DRAM프로세스를 베이스로 로직混載에 적합한混載프로세스가 필요하게 된다.

앞으로 동사에서는 최첨단 메모리디바이스를 신속히 eRAM에 전개할 계획으로 현재 64M비트 DRAM 프로세스를 베이스로 고성능로직을 혼재할 수 있는 프로

〈표 1〉 eRAM으로 메리트를 발휘할 수 있는 분야/응용 시스템

Type1	최고구성 메모리가 없다. 또는 시스템메모리의 대용량화가 되지 않는 분야 • 디지털통신의 버퍼메모리(예를들면, ATM, Ethernet)…수M비트 이하 • CDROM, HDD………기껏해야 2M비트 • 3차원Y/C분리………4M비트 • FAX, 프린터, 디지털카메라……… 10M비트 이하 •動畫처리용 버퍼메모리………16M비트
Type2	시스템성능의 요구로 부품이 증가하여 시스템코스트가 커진 분야 • DRAM과 로직간에 캐시메모리를 두고 있는 분야 • 병렬로 설치하여 처리성능을 높이고 있는 시스템(예를 들면 그래픽스)
Type3	고성능화로 일부ASIC를 필요로 하지 않는 분야 예를들면 DRAM혼재MPU로 디지털카메라의 JPEG도 처리한다.
Type4	Low Power화나 소형화가 대단히 중요하여 부가가치를 인정 받을 수 있는 분야 예를들면 전자구동 포터블시스템



〈그림 4〉 eRAM의 대상이 되는 시스템 기기의 동향

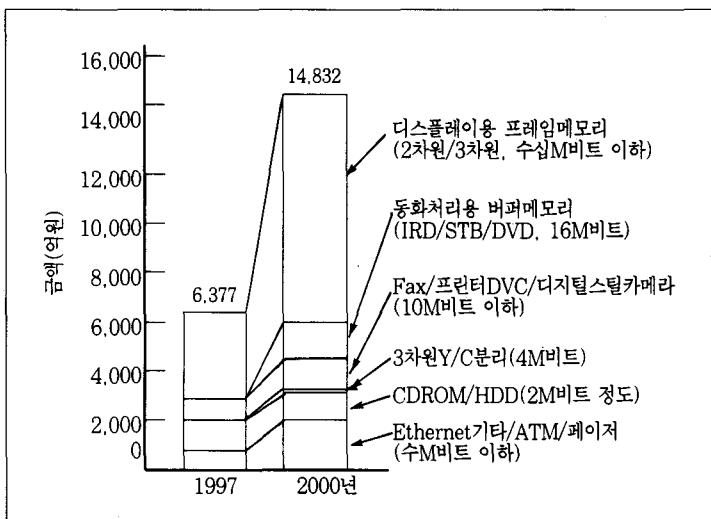
세스를 개발중에 있다. 앞에서도 기술한 DRAM과 로직의 프로세스의 차이에서 특정의 DRAM과 로직의 조합에서는 그림6에 표시하는 것과 같이 코스트상으로 혼재프로세스가 베스트인 영역이 존재한다.

4. 高集積化技術(微細化·多層化)의 동향

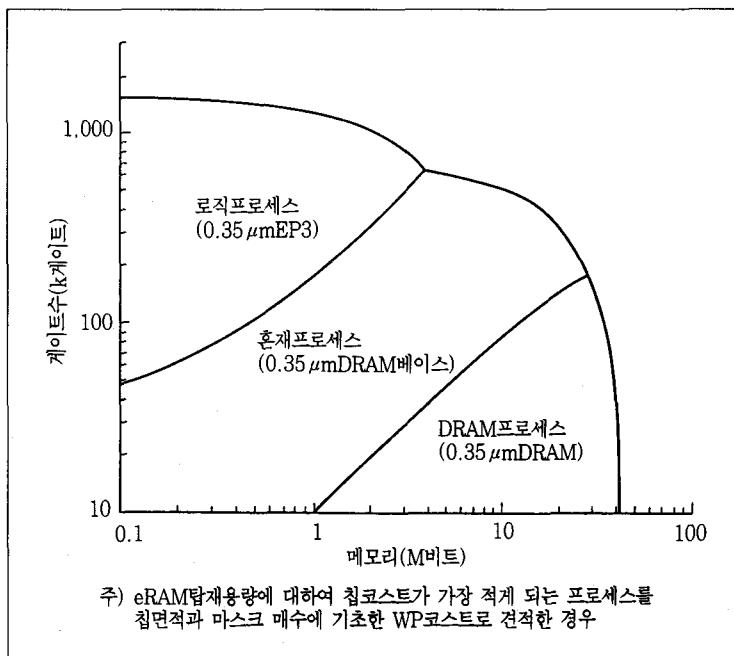
그림 7에 DRAM에서의 미세화의 추이를 표시한다. 世代마다 미세화가 진전되어 리소그래피기술도 변천하고 있다. 그림 8에 미세화를 위한 주요기술인 리소그래피기술의 트렌드를 표시한다.

리소그래피기술에 있어서의 패턴의 解像度는 거기에 사용되는 光源의 파장에 의존하며 해상도를 높이기 위하여 短波長化의 노력이 계속되어 왔다. 종래의 초고압 수은램프로부터의 輝線(g線) : $\lambda = 436\text{nm}$, i線: $\lambda = 365\text{nm}$ 에 더하여 최근에는 KrF엑시머레이저 ($\lambda = 248\text{nm}$)를 광원으로 하는 액시머리그래피技術이 실용화되어 $0.25\mu\text{m}$ 레벨의 디자인률의 디바이스가 생산되려고 하고 있다.

디바이스의 미세화의 요구는 멈출줄을 모르며 그림7에서 알 수 있듯이 256M비트 DRAM은 $0.2\mu\text{m}$ 이하, 1G비트에서는 $0.15\mu\text{m}$ 근방으로, 光 파장보다 훨씬 미세한 패턴形式이 필요하게 된다. 그 때문에 단파장화



〈그림 5〉 eRAM의 잠재수요



〈그림 6〉 eRAM의 프로세스기술 선택

만이 아니라 하프턴位相시프트마스크, 레벤슨位相시프트마스크, 變形照明 등의 새로운 解像度향상기술의 도입이 꼭 필요하게 된다.

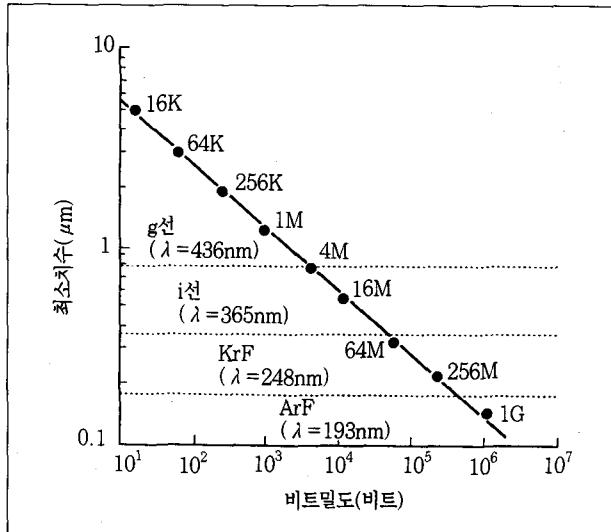
또 포스트光리소그라피로서 電子線이나 X線을 사용한 리소그라피기술의 개발도 활발히 추진되고 있다 동사에서도 SR光을 사용하여 $0.15\mu m$ 를 1G비트 DRAM의 試驗에 성공하고 또한 실용화를 위한 개발을 추진하고 있다.

디바이스의 미세화에 대응하기 위해서는 해상력의 향상뿐만 아니라 치수 精度도 합친 精度의 향상도 필요한데, 어느 리소그라피기술이라도 넘어야 할 기술적 장벽이 더울 높아지고 있다. 앞으로는 지금까지 이상으로 리소그라피기술을 둘러싼 프로세스기술, 디바이스기술, 나아가서는 설계기술의 협력하에 각각의 리소그라피기술에 적합한 디바이스구조, 제조기술을 구축해 갈 필요가 있다.

다음에 다층화기술에 대하여 기술한다. 고집적화를 기하기 위해서는 미세화와 함께 배선의 다층화가 필요하다. 일반적으로 MPU로 대표되는 로직디바이스에서는 고성능·고밀도의 다층배선을 필요로 하고 있으며 고집적화됨에 따라 다층배선의 성능이 디바이스의 성능을 좌우하는 사태가 발생하고 있다. 한편 DRAM에서는 로직디바이스만큼은 다층배선에 대한 요구는 엄격하지 않는 것이 통상적이지만 eRAM에서는 역시 로직 정도의 고성능의 다층배선이 요구된다. 그림 9에 다층배선기술의 트렌드를 나타낸다.

현재의 다층배선에서는 Al합금으로 구성된 배선, SiO_2 를 사용한 층간절연막, 배선층간의 접속용 메탈플러그를 갖춘 구조가 널리 사용되고 있다. 다층배선의 밀도 향상은 배선 피치의 축소와 배선층수의 증가에 의해 실현되어 왔으나 스케일링에 따른 여러 가지

문제가 顯在化되고 있다. 예를 들면 전기특성면에서는 배선부에서의 RC지연의 증가가 심해지고 있으며 디바이스 고속화의 저해요인으로 되고 있다. 이것을 방지하



〈그림 7〉 DRAM의 미세화 추이

기 위해서는 보다 유전율이 낮은 층간절연막(불소첨가 SiO_2 , 저유전율燒結 글래스 SOG 등)이나 저저항의 Cu배선의 적용이 유효하며 실용화를 위한 검토가 추진되고 있다. 이들은 배선간의 크로스토크노이즈나 배선의 전류밀도증가 등의 전기특성상의 다른 문제에 대해서도 유효하기 때문에 주목받고 있다.

다층배선형성의 프로세스적인 면에서는 미세한 배선

피치를 실현하기 위한 기술이 검토되고 있다. 예를 들면 층간절연막을 화학적기계연마(CMP)로 평균화하는 수법이 다층배선형성에 도입되고 있는데, 이것들은 칩레벨에서의平坦化를 실현할 수 있기 때문에 배선의 고밀도화를 가능하게 하고 있다.平坦化法은 종래에는 디머싱이라고 하는埋込配線形成프로세스에 의한 것과 비교검토될 것으로 예상된다. 또 미세한高아스펙트접속孔에의 메탈플러그形成기술도 금후의 큰 과제이며 재료, 형성법의 양면서 여러 가지 수법이 검토되고 있다.

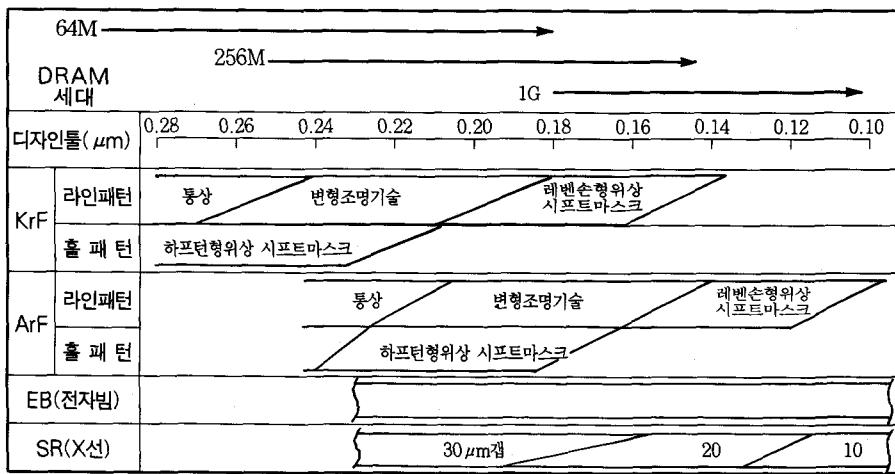
이상과 같이 다층배선의 고성능화·고밀도화를 실현하기 위하여 여러 가지 종류의 기술이 검토되고 있는데, 앞으로는 기술선택기준으로서 코스트와 생산收率의 밸런스가 취해진 다층배선기술을 선정해가는 것이 앞으로 더욱 중요하게 될 것으로 생각된다.

5. 웨이퍼大口徑화의 동향

그림 10에 DRAM비트單價의 추이를 표시한다. 비트단가는 年率 20% 이상의 베이스로 착실하게 떨어지고 있다. 디바이스메이커는 이를 뒤따라 가기 위해 그림7에 표시한 것처럼 미세화를 추진하여 약 3년에 1世代의 대용량화를 실현하고 연평균 25~30%의 비트코스트 저감을 확보하여 왔다. 또한 웨이퍼의 大口徑화도 생산

성향상 효과가 크며 미세화와對를 이루는 형태로 코스트저감의秘方으로 추진되어 왔다. 그림 11에 웨이퍼大口徑화의 트렌드를 표시한다.

현재의 DRAM 주력제품인 16M비트 DRAM의 생산에는 거의 200mm웨이퍼의 사용이 예정되어 있다. 1997년부터 본격화하는 64M비트 DRAM의 생산에 대해서도 200mm 웨이퍼의 사용이 예정되어 있는데 시장가격의 형편에 따라



〈그림 8〉 리소그래피 기술의 트렌드

DRAM		64M	256M	1G	4G
디자인률(μm)	0.34 0.32 0.30 0.28 0.26 0.24 0.22 0.20 0.18 0.16 0.14 0.12 0.10 0.08				
배선 DRAM 총수 로직(하이엔드)	2 4~5	2~3 5	3 5~6	3 6	
콘택트 DRAM 에스페르비 로직	4.5:1 2.5:1	5.5:1 3:1	6.3:1 3.5:1	7.5:1 4.2:1	
배선	배선 재료	Al합금	Cu		
막형성방법	스퍼터	CVD			
방식	드라이에칭	디모신			
홀	배리어메탈	스퍼터 TiN/Ti 지향형스퍼터 TiN/Ti	이온화스퍼터 TiN/Ti TiN/Ti(CVD)		
플러그재료	블랭킷W(CVD)	AI플러그(스퍼터)	AI,Cu (CVD)		
총 증 가 절 연 막	절연막재료	SiO ₂ +SOG	불소첨가 SiO ₂	Low-ε 폴리머	
막형성방법	폴라즈마CVD	고밀도폴라즈마CVD	도포법		
평탄화 법	SOG/수소백	CMP	금속막CMP		

〈그림 9〉 다층배전기술의 트렌드

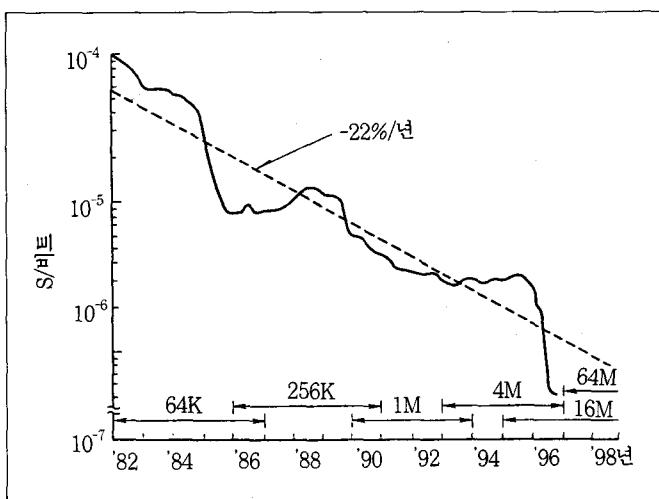
서는 '99년 이후 300mm웨이퍼의 검토가 필요하게 될지도 모른다. 256M비트 DRAM, 또는 1G비트 DRAM에 대하여는 분명히 비트코스트의 관점에서 300mm웨이퍼의 사용이 반드시 필요하다.

작경 300mm의 실리콘웨이퍼의 개발과 이 대구경웨이퍼에 LSI를 만들어 넣는 프로세스장치와 프로세스기술의 개발에 임하여, 일본국내에서는 '94년에 라운드테이블로서의 "대구경실리콘웨이퍼5團體連絡會"가 발족하였다. 이 연락회에는 실리콘웨이퍼메이커, 프로세스장치메이커, 반도체디바이스메이커가 참가하고 있으며, 300mm웨이퍼대용장치, 실리콘웨이퍼 개발의 시나리오로서 로드맵을 작성하였다. 이 5단체연락회는 '96년에 "300mm반도체기술연락회(약칭J300)"에로 발전하였으며 300mm에 관한 개발투자를 억제하기 위하여 실리콘웨이퍼, 장치, 治工具類표준화 등의

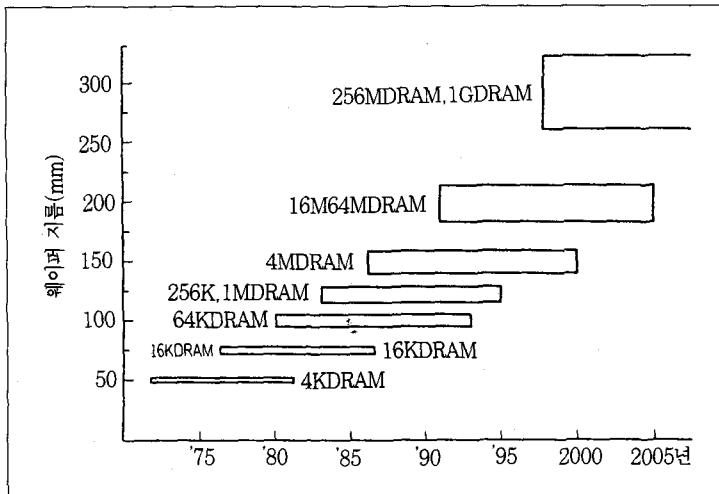
활동을 하고 있다. 또 미국에서도 歐美韓台의 디바이스메이커에 의한 300mm웨이퍼에 관한 전소시업 I300I의 움직임이 활발해지고 있다. 이것은 국제공동프로젝

트이며 일본의 J300의 활동과의 교류도 꾀하여지고 있으며 전세계적인 활동으로 되어 있다.

또한 일본에서는 300mm웨이퍼대용장치 평가를 디바이스메이커 공동으로 행하기 위하여 주요 반도체디바이스메이커 10個社에 의하여 (株)半導體尖端テク놀로지즈(SELETE)가 설립되었다. '96년 10월에는 SELETE社에 클린룸이 완성되고 즉시 300mm웨이퍼대용장치의 도입이 개시되었고 '97년에는 장치평가활동이 본격화된다. 업계가 공동으로 대구경화기술개발에 임함으로써 개발이 크게 가속될 것으로 기대되고 있다. 또 공동화로 개발코스트와 리스크의 분산도 가능하게 된다. 동사도 21세기의 반도체공장을 효율좋게 일으키기 위한 一助로 생각하여 이를 업계공동 프로젝트에 적극적으로 참가하여 추진하고 있다.



〈그림 10〉 DRAM비트 단가 추이



<그림 11> 웨이퍼 大口經化的 트렌드

6. 맷음말

최근의 반도체기술에 대하여 DRAM을 중심으로 그 동향을 기술하였다. 이와 병행하여 시스템LSI로서 각광을 받기 시작한 eRAM에 대하여 소개하였다. 最尖端프로세스관련의 드래스틱한 변환점이 되는 실리콘웨이퍼經의 300mm化 동향에 대하여도 언급하였으며 앞으로의 고성능화·고집적화의 계속적인 발전을 지탱하는 미세화와 다층화 등의 프로세스 기술의 장래동향에 관해서도 언급하였다.

이 원고는 일본 三菱電機技報를 번역, 전재한 것입니다. 본고의 저작권은 三菱電機(株)에 있고 번역책임은 대한전기협회에 있습니다.

전기기업체 제품 총망라

카탈로그를 전시하고 있습니다

3백여 업체 7백종, 3천부 … 관련단체로는 처음시도

대한전기기업체는 지난 4월 10일 전기산업진흥촉진대회 기념 부대행사로 열린 「전기기기 카탈로그 전시회」의 참여업체 카탈로그를 당 협회 자료실에 그대로 비치, 선보이고 있습니다.

LG산전, 아남산업 등 3백여 업체에서 출품한 7백여종 3천부의 다양한 카탈로그를 상설 전시해 제조업체와 소비자의 정보교류를 통해 제품홍보와 자료수집을 직접 연결함으로써 협회의 업체간 가교 역할을 하고 있습니다. 관련업체나 소비자들의 많은 호응을 기대합니다.

■ 문의전화 : 협회 홍보실 (T 274-1663)

— 전시 품목 —

- ▶ 전원용 전기기기 : 발전기, 변압기, 변성기, 수배전반, 차단기, GIS, 계측 및 계전기, 애자류, 콘덴서, 전선 및 케이블 등
- ▶ 산업용 전기기기 : 송배전기, 전동기, 용접기, 전동공구, 전기로, 전압조정기, 변환기, 제어기기, 전력용 반도체 등
- ▶ 전력제어 시스템 : 전력관리제어 시스템, 전력수송제어 시스템, 배전자동화 시스템
- ▶ 조명기구 : 전구류, 안정기류, 등기구류 등