

# 에지값 決定圖에 의한 多值論理函數構成에 관한 研究

## A Study on the Construction of Multiple-Valued Logic Functions by Edge-Valued Decision Diagram

韓 聖 一\*, 崔 在 碩\*, 朴 春 明\*\*, 金 興 壽\*

(Sung-Il Han, Jai-Sock Choi, Chun-Myoung Park and Heung-Soo Kim)

### 요 약

본 논문에서는 최근의 디지털논리시스템의 함수구성시에 도입되고 있는 그래프이론에 바탕을 둔 결정도로부터 새로운 형태의 데이터구조 형태인 에지값 결정도를 추출하는 알고리즘의 한가지 방법을 제안하였다. 그리고 이를 기초로 임의의 m치 n변수의 축약된 함수구성을 도출하는 방법에 대해 논의하였다. 제안한 다치논리함수구성방법은 도식적이며 규칙적이고 정규성을 내포하고 있다.

### Abstract

This paper presented a method of extracting algorithm for Edge Multiple-Valued Decision Diagrams(EMVDD), a new data structure, from Binary Decision Diagram(BDD) which is resently used in constructing the digital logic systems based on the graph theory. And we discussed the function minimization method of the n-variables multiple-valued functions. The proposed method has the visible, schematical and regular properties. Key words : BDD, EVBDD, Literal Function, RM expansion, EMVDD

### I. 서 론

현재 사용되고 있는 디지털논리시스템 및 이를 근간으로 하는 컴퓨터 하드웨어 분야는 2치논리(2진논리)에 기초를 두고 집적회로기술의 비약적인 발전으로 회로의 형태가 VLSI, ULSI화 되어 단일 칩상에 방대한 양의 회로를 집적할 수 있게 되었다. 이렇게 회로가 대형

화 될수록 상호결선은 더욱 복잡해지고, 연산속도의 제한성, 정보전송량의 방대함에 따른 정보전송시간지연 및 외부 단자수의 증가로 인한 칩면적의 효율성 저하 및 단자수의 제한 등의 문제점들이 대두되기 시작하였다.<sup>[1-4]</sup> 그 해결방안의 하나로 한개의 단자 수와 결선으로 2치는 리보다 더 많은 양의 정보를 처리할 수 있는 다치논리이론에 대한 연구가 1970년대 초부터 활발히 진행중이며 이중 일부는 점차 실용화 되고 있는 현실이다.<sup>[1-7]</sup>

특히 최근에는 그래프이론<sup>[8,9]</sup>에 바탕을 두고 디지털논리시스템을 해석하려는 연구가 시도되고 있다.

S.B.Aker<sup>[10]</sup>는 최초로 방향성 비순환 그래프(Directed Acyclic Graph: DAG) 형태의 데이터구조인 결정도(Decision Diagram: DD)의 개념을 정립하였으며

\* 仁荷大學校 電子工學科

(Dept. of Electronic Eng., In-Ha Univ.)

\*\* 忠州産業大學校 컴퓨터工學科

(Dept. of Computer Eng., Chung-Ju National Univ.)

接受日:1997年8月2日, 修正完了日:1997年10月13日

R.E.Bryant[11]는 S.B.Aker가 제안한 개념으로부터 최초로 2치결정도(Binary Decision Diagram: BDD)를 사용하여 부울함수구성의 추출 및 축약에 적용하였다. 또한, D.M.Miller<sup>[12]</sup>는 S.B.Aker가 제안한 개념을 확장하여 다치논리결정도(Multiple-Valued Logic Decision Diagram: MDD)의 개념을 정립하였으며 이로부터 다치논리함수구성의 추출 및 축약에 적용하였다. 앞에서 언급한 연구들은 각각 그래프에 바탕을 둔 2치논리시스템 및 다치논리시스템의 연구의 효시가 되고 있으며 그 후 다수의 연구들이 발표되고 있다.<sup>[13-16]</sup>

한편, S.B.K.Vrudhula<sup>등</sup>[17,18]은 기존의 BDD가 부울함수식만을 표현하는 단점을 보완하여 새로운 확장체인 에지값 2치결정도(Edge Valued BDD: EVBDD)를 제안하였는데, 이는 부울표현식의 벡터를 필요로 하는 대신 더 높은 레벨의 특성을 갖는 상태에서 도출될 수 있으며 계층적으로 검증할 수 있다는 장점이 있으므로 임의의 정수함수식에 대한 함축적이고 전형적(canonical)인 표현방식이다.

본 연구에서는 이러한 EVBDD의 장점을 유지하면서, 다치논리함수를 구현하는데 적합한 전류모드 CMOS를이용한 Literal함수를 통해서 EVBDD를 EMVDD로 전환하는 알고리즘을 제안하고, 이를 바탕으로 임의의 m치 n변수의 다치논리함수구성 및 함수축약에 적용하는 한가지 방법을 제안하였으며 예제를 통하여 타당성을 살펴보았다.

본 논문의 서술과정은 다음과 같다.

II 장에서는 BDD와 EVBDD에 대하여 소개하였고 III 장에서는 본 논문의 수식전개의 바탕이 되는 수학적 배경을 논의하였다. 그리고 IV 장에서는 EMVDD를 정의하고 EVBDD로부터 EMVDD를 생성하는 알고리즘을 제안하였으며 V 상에서는 EMVDD를 다변수인 경우로 확장하여 일반식을 도출하였다. VI 장에서는 예제를 통하여 제안한 알고리즘을 적용하였으며 그 결과를 기존의 연구와 비교 및 검토 하였으며, 마지막으로 VII 장에서는 결론을 맺었다.

## II. 결정도와 에지값 결정도

### 1. 결정도

결정도란 방향성 비순환 그래프(directed acyclic graph)로서 그래프 내에서 조상(parent)과 자손(child)의 개념을 사용한다.

### 1) 결정도의 구성

그래프의 맨 끝에 있는 노드를 터미널(terminal)노드라 하고 터미널노드는 논리상수로 상태를 표시한다. 제일 처음 시작하는 노드를 루트(root)노드라고 하며 그 나머지는 터미널이 아닌(nonterminal)노드로 변수로 매겨져 있다. 노드에서 나오는 각각의 브랜치(branch)는 그 노드와 브랜치에 관계되는 로직 변수값인 0 또는 1로 주어진다. 어떠한 특정한 변수들의 할당에 의한 함수의 값은 루트노드로부터 시작해서 마지막의 터미널노드에 도착해서 구할 수 있다. 터미널노드의 값은 함수 값과 동일하다.

### 2) 결정도의 일반적 성질

결정도는 논리함수의 표현에 있어서 매우 가시적이며 이를 통한 축소 및 간략화에 매우 용이하다. BDD상에서의 노드는 실제 설계 상에서 하나의 게이트에 해당하므로 결정도상에서 노드 숫자를 줄이는 문제는 대단히 중요하다.

일반적으로 n개의 변수로 구성된 논리함수를 표현하는 BDD는  $2^{n+1}-1$ 개의 노드와  $2^n$ 개의 터미널노드를 갖는다. 따라서 이에 대한 축소과정과 변수의 순서가 매우 중요한 요소이다.

다음의 예제1의 함수 진리치표로부터 BDD를 추출하고 이로부터 축약된 BDD (Reduced Ordered BDD : ROBDD)를 도출하는 과정을 보여준다.

예제 1)<sup>[15]</sup> 함수  $f(a,b,c) = ab + bc + ca$

표 1. 함수의 진리치표

Table 1. The truth table for the function.

a	b	c	$ab+bc+ca$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

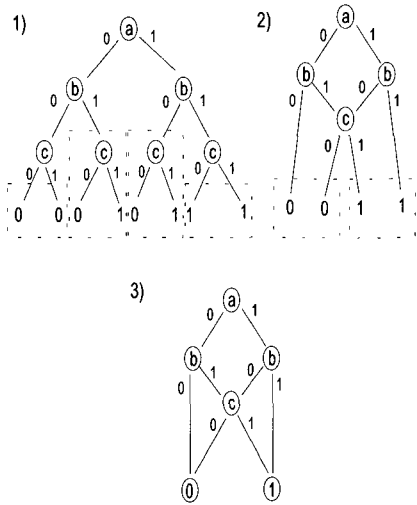


그림 1. 함수에 대한 BDD와 축소BDD  
Fig. 1. BDD and ROBDD.

2. 에지값 2치 결정도(EVBDD)

EVBDD는 BDD의 확장으로 산술연산함수의 효과적인 처리를 수행한다. 변수의 브랜치를 에지화한다는 것은 2치결정도에 비해서 2치결정도가 부울연산 표현식의 벡터들을 필요로 하는 반면에 에지변수화 결정도는 좀 더 높은 레벨의 특성을 갖는 상태에서 유도될 수 있고 계층적 검증이 가능하다는 장점을 갖는다.

1) 부울 표현식을 산술연산함수로의 전환

정수 상에서 0과 1이 부울대수의 참(true)과 거짓(false)을 각각 나타냄을 이용하여 부울연산을 산술연산으로 바꾸는 기본 수식은 다음 식들과 같다.

$$x \wedge y = xy, \quad x \oplus y = x + y - 2xy$$

$$x \vee y = x + y - xy, \quad x' = 1 - x$$

따라서 부울함수는 정수함수의 특별한 경우로 볼 수 있고 BDD는 EVBDD의 특별한 경우로 볼 수 있다.

2) EVBDD의 변수확장

EVBDD의 노드에는 각각 변수가 할당되어 변수 값에 따라서 브랜치가 결정된다. 변수는 모두  $\{0, 1\}^n$ 의 값을

가지며 만일 함수 중의 변수가 2치값을 갖지 않고 정수의 값으로 입력된다면 해당 변수를 2치 벡터로 표현해야 한다.

예를 들어, 함수  $f(x, y, z) = 3x + 2y - 9z$  이  $x \in \{0,1,2,3,4,5\}$ 와  $y, z \in \{0,1\}$ 에서 정의되어 있다면 그림 2-a의 x노드는  $x = 4x_2 + 2x_1 + x_0$  와 같이 전환하여 다시 표현되어야 한다. 이때 노드 x에 3치를 적용하면  $x = 2x_1 + x_0$ 로 전환되어 3개의 비트로 표현된 식이 2개의 3치 디지털로 표현이 가능하며 이는 노드수의 감소를 의미한다.

만일 세변수 모두에 정수입력이 정의되어 있다면 더 많은 노드수의 감소를 기대할 수 있다. 여기서 그림2-c는 x변수에 대한 에지변수화 3치 결정도(Edge Ternary-Valued DD : ETVDD)이다.

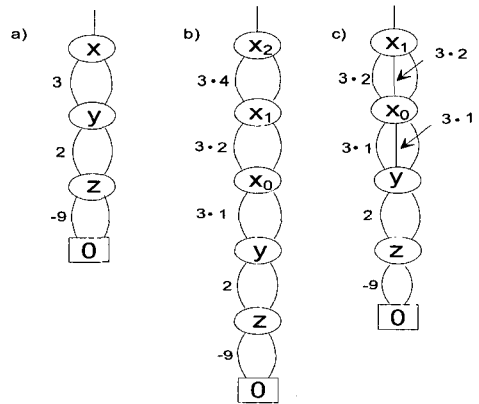


그림 2. a) 함수  $f(x,y,z)=3x+2y-9z$ 에 대한 EVBDD  
b) x변수의 정수입력에 대한 변환 EVBDD  
c) x변수의 정수입력에 대한 변환 ETVDD

Fig. 2. a) EVBDD for the given function

- b) EVBDD for x integer input variable
- c) ETVDD for x integer input variable

III. 수학적 배경<sup>[19-21]</sup>

1. Literal 함수

BDD상의 2치를 다치로 확장하기 위한 기본개념이 되는 literal 함수를 다음과 같이 정의한다.

( 정의 1 )

$X_i$ 를 집합  $P_i = \{0, 1, 2, \dots, (p-1)\}$  중의 임의의 값을 취하는 다치변수라 한다. 임의의 부분집합  $S_i \subseteq P_i$ 에 대하여,  $X_i^{S_i}$ 를 다음 식(1)의 내용을 표현하는 literal이라 한다.

$$X_i^{S_i} = \begin{cases} 1 & \text{if } X_i \in S_i \\ 0 & \text{if otherwise} \end{cases} \quad (1)$$

위의 정의에 따라 예를 들어  $P = \{0,1,2,3\}$ 일 때  $X^{1,2}$ 는  $X = 1$  또는 2 일 때 1 이고  $X = 0$  또는 3 일 때 0 이다. 따라서  $X^{1,2}$ 는 EXOR함수,  $xy' \vee x'y = x \oplus y$ 를 나타낸다.

가령 3치 입력을 2치로 출력하는 literal 표현은 식(1)에 의해  $P = \{0,1,2\}$ 일 때  $X^{2,1}$ 이고 이는 입력이  $\{0,1,2\}$ 일 때 출력은  $\{0,1\}$ 로 되는 함수이고 이를 회로실현하면 다음의 그림3.(a)와 같고 임출력에 대한 회로 시뮬레이션 결과는 그림3.(b)와 같다.

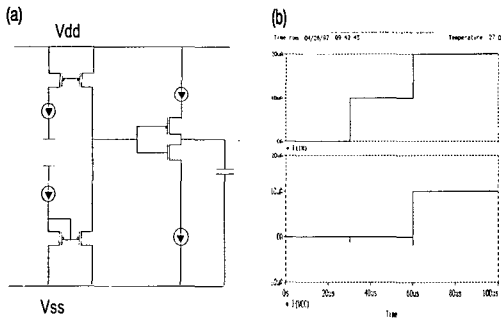


그림 3. Literal함수의 CMOS회로도와 임출력파형  
Fig. 3. CMOS circuit and input-output simulation for the ternary input-binary output literal function.

2. Reed-Muller expansion

보다 일반적인 경우인  $m$ 치  $n$ 변수로 확장하는 방법은 부울연산식을 모듈연산에 의해서 확장시킨 Reed-Muller expansion으로 도출할 수 있으며 이로부터 다치 다변수 예지값 결정도의 일반식을 유도한다.

부울연산 내의 논리합과 논리곱은 모듈연산에 있어서

의 모듈2합과 모듈2곱으로 대체될 수 있음을 이용하여 논리곱과 논리적으로 구성되어 있는 부울연산식의 일반식을 모듈합과 모듈적으로 재배열한 것을 Reed-Muller expansion이라 하고 그 일반식은 다음식과 같다.

$$F(x_n, \dots, x_1) = \sum_{i=0}^{2^n-1} C_i x_n^{e_{i,n}} x_{n-1}^{e_{i,n-1}} \dots x_1^{e_{i,1}} \quad \text{over GF} \quad (2)$$

여기서,  $e_{i,j}$ 는 0 또는 1 이고  $C_0$ 는 상수항이다. 계수 선택은

$$T_1 = \begin{pmatrix} 1 & 0 \\ 1 & 1 \end{pmatrix}, \quad T_n = \begin{pmatrix} T_{n-1} & 0 \\ T_{n-1} & T_{n-1} \end{pmatrix}$$

로써 선택할 수 있다.

IV. 예지값 다치논리 결정도의 정의

1. EMVDD의 정의

( 정의 2 )

EMVDD는  $\langle c, f \rangle$ 의 쌍으로 구성되며  $c$ 는 상수 값이며  $f$ 는 다음 2가지 경우의 노드를 갖는 방향성 비순환 그래프이다.

- 2-1) 0에 의해서 표현되는 하나의 터미널 노드 0가 존재한다.
- 2-2) 터미널이 아닌 노드  $v$ 는  $\langle \text{variable}(v), \text{child}_1(v), \text{child}_{M1}(v), \dots, \text{child}_{Mm-2}(v), \text{child}_r(v), \text{value} \rangle$ 의  $m+2$  개의 쌍으로 구성되며  $\text{variable}(v)$ 는 다치 변수이다.

( 정의 3 )

예지값  $m$ 치 결정도  $\langle c, f \rangle$ 는 산술 연산 함수  $c + \&$ 를 나타내며  $\&$ 는  $f$ 에 의해서 나타내지는 함수이다. 0는 상수함수 0를 나타내며  $\langle x, \ell, M_1, \dots, M_{m-2}, r, v \rangle$ 는 산술연산함수

$$x(\ell+v) + (x-1)M_1 + \dots + (x-(m-2))M_{m-2} + (x-(m-1))r$$

이다. 각각의 노드에는 식(1)의 literal함수를 적용하여 변수입력이  $M$ 인 경우만을 예지화 시킨다.

2. 3변수 EMVDD의 일반식

일반적인 산술연산함수를 우선, m치 3변수인 경우의 일반식으로 구해보면 다음과 같다.

3변수 산술연산함수의 일반식은 식(2)와 같고 이를 EVBDD로 전환하기위한 식은 식(3)과 같다.

$$f(x, y, z) = ax + by + cz + dxy + eyz + fzx + gxyz + h \quad (2)$$

$$f = h + x\{a+y\{[b+d]+(c+e+f+g)z\} + (1-y)\{[f+c]z\}\} + (1-x)\{y\{[b+(c+e)z]+(1-y)cz\}\} \quad (3)$$

여기서 a, b, c, d, e, f, g, h 는 함수의 계수이고, b+d = A, c+e = B, f+c = C, f+g = D로 치환하여 각각 3치 및 4치 에지값 결정도인 ETVDD 및 ETVDD로 전환하기위한 식은 식(4) 및 (5)와 같다. 이러한 과정을 확장하여 일반식을 유도하면 식(6)과 같다.

$$f = h + x\{a+y\{A+(B+D)z\}+(y-1)\{Cz\}+(y-2)\{Cz\}\} + (x-1)\{y\{[b+Bz]+(y-1)\{Cz\}+(y-2)\{Cz\}\} + (x-2)\{y\{[b+Bz]+(y-1)\{Cz\}+(y-2)\{Cz\}\}\} \quad (4)$$

$$f = h + x\{a+y\{A+(B+D)z\}+(y-1)\{Cz\}+(y-2)\{Cz\}+(y-3)\{Cz\}\} + (x-1)\{y\{[b+Bz]+(y-1)\{Cz\}+(y-2)\{Cz\}+(y-3)\{Cz\}\} + (x-2)\{y\{[b+Bz]+(y-1)\{Cz\}+(y-2)\{Cz\}+(y-3)\{Cz\}\} + (x-3)\{y\{[b+Bz]+(y-1)\{Cz\}+(y-2)\{Cz\}+(y-3)\{Cz\}\}\} \quad (5)$$

$$f(x, y, z) = h + x \left\{ a + y \left[ A + (B + D)z \right] + \sum_{j=1}^{m-1} (y-j)Cz \right\} + \sum_{i=1}^{m-1} \sum_{j=1}^{m-1} (x-i) \{ y [ b + Bz ] + (y-j)cz \} \quad (6)$$

3. EVBDD에서 EMVDD를 생성하는 알고리즘

단계1: 터미널 노드가 아닌 노드에서는 EMVDD의 산술연산함수를 나타내는 m개의 쌍 < x, l, M<sub>1</sub>, ....., M<sub>m-2</sub>, r, v >를 만족하는 노드로 만들기

위해서 중간(middle) 브랜치를 삽입한다.

단계2: 중간 브랜치를 삽입한 후 각각의 노드의 산술 연산 함수는  $x(l + v) + (x-1)M_1 + \dots + [x - (m-2)]M_{m-2} + [x - (m-1)]r$  로 전환 된다.

단계3: 각각의 노드에 스레쉬홀드 검출기(threshold detector)인 literal 함수를 적용하면 다음식 (A)가 된다. 예를 들어 3치인 경우 m=2이므로 변수 x의 입력이 2이면 예지화되어 브랜치가 가중치를 갖고 그외에 0, 1이면 비예지화되어 브랜치가 가중치를 갖지 않는다.

$$x = \begin{cases} 1 & \text{if } x = m \\ 0 & \text{otherwise} \end{cases} \quad (A)$$

위 단계2)의 논리식에 의해서 입력 변수의 값이 m치 일 때만 예지화되어 논리 1의 값을 갖게되고 나머지 브랜치는 논리 0인 비예지화 브랜치로 된다.

V. 에지값 결정도의 다치 다변수로의 확장

III장 2절에서의 n변수 함수식인 전개식에서 각항의 계수의 개수는 다음과 같다.

$$F(x_1, \dots, x_n) \rightarrow$$

- ${}_n C_0$  : 상수항 계수의 개수
- ${}_n C_1$  : 1차항 계수의 개수
- ${}_n C_2$  : 2차항 계수의 개수
- $\vdots$
- ${}_n C_{n-1}$  : n-1차항 계수의 개수
- ${}_n C_n$  : n차항 계수의 개수

여기서,  ${}_n C_0 + \dots + {}_n C_n = \sum_{i=0}^n {}_n C_i = 2^n - 1$

따라서, 일반식은 아래와 같이 표현할 수 있다.

$$F(x_1, \dots, x_n) = C_0 + \sum_{i=1}^{n-1} C_i x_1^{e_{i,1}} x_2^{e_{i,2}} \dots x_n^{e_{i,n}} \quad (7)$$

이제 위 식(7)에 리터럴 함수(A)를 적용하여 주어진 변수의 순서에 따라 예지화하는 과정은 다음과 같다.

- $f_{X1}$  :  $x_1$ 의 변수 예지화
- $f_{X2}$  :  $x_2$ 의 변수 예지화
- ⋮
- $f_{Xn}$  :  $x_n$ 의 변수 예지화

위 과정으로부터 각각의 예지화 노드를 추출하기 위해 먼저 변수  $x_1$ 에 대해 예지화하는 과정은 다음과 같다. 우선 2치인 경우의 예지화는 식(8)과 같고 m치로 확장하면 다음 식(9)와 같다.

$$f_{X1} = C_0 + x_1 \cdot (C_1 + \sum_{j=2}^{2^n-1} C_j x_2^{e_{j,2}} x_3^{e_{j,3}} \dots x_n^{e_{j,n}} + \sum_{j=2}^{2^n-1} C_j x_2^{e_{j,2}} x_3^{e_{j,3}} \dots x_n^{e_{j,n}}) + (1-x_1) \cdot (\sum_{j=2}^{2^n-1} C_j x_2^{e_{j,2}} x_3^{e_{j,3}} \dots x_n^{e_{j,n}}) \quad (8)$$

$$f_{X1} = C_0 + x_1 \cdot (C_1 + \sum_{j=2}^{2^n-1} C_j x_2^{e_{j,2}} x_3^{e_{j,3}} \dots x_n^{e_{j,n}} + \sum_{j=2}^{2^n-1} C_j x_2^{e_{j,2}} x_3^{e_{j,3}} \dots x_n^{e_{j,n}}) + (x_1-1) \cdot (\sum_{j=2}^{2^n-1} C_j x_2^{e_{j,2}} x_3^{e_{j,3}} \dots x_n^{e_{j,n}}) \quad \vdots \quad \vdots + (x_1-(m-1)) \cdot (\sum_{j=2}^{2^n-1} C_j x_2^{e_{j,2}} x_3^{e_{j,3}} \dots x_n^{e_{j,n}}) = C_0 + x_1 \cdot (C_1 + \sum_{j=2}^{2^n-1} C_j x_2^{e_{j,2}} x_3^{e_{j,3}} \dots x_n^{e_{j,n}} + \sum_{j=2}^{2^n-1} C_j x_2^{e_{j,2}} x_3^{e_{j,3}} \dots x_n^{e_{j,n}}) \quad \vdots \quad \vdots + \sum_{k=1}^{m-1} (x_1-k) \cdot (\sum_{j=2}^{2^n-1} C_j x_2^{e_{j,2}} x_3^{e_{j,3}} \dots x_n^{e_{j,n}}) \quad (9)$$

여기서, 상수항을 고려하기 위해서  $f_{X0} = f_0 = C_0$  라고 놓으면 주어진 n변수 일반식은 다음 식(10)과 같다.

$$F(x_n, \dots, x_1) = \sum_{i=0}^n f_{X_i} \quad (10)$$

여기서,

$$f_{X0} = f_0 = C_0$$

$$f_{X1} = \sum_{i=1}^{2^n-1} C_i x_1^{e_{i,1}} x_2^{e_{i,2}} \dots x_n^{e_{i,n}}$$

$$f_{X2} = \sum_{i=2}^{2^n-1} C_i x_2^{e_{i,2}} x_3^{e_{i,3}} \dots x_n^{e_{i,n}}$$

$$\vdots$$

$$f_{X_{n-1}} = \sum_{i=n-1}^{2^n-1} C_i x_{n-1}^{e_{i,n-1}} x_n^{e_{i,n}}$$

$$f_{X_n} = \sum_{i=n}^{2^n-1} C_i x_n^{e_{i,n}} \text{ 이다.}$$

위 내용에서 상수항인  $f_{X0}$ 를 제외한 각각의 변수에 대하여 m치로 예지화 시키면 다음 항이 앞의 항에서 반복하여 나오는 형태가 되므로 이를 정리하면 다음 식(11)과 같다.

$$f_{X1} = x_1(C_1 + f_{X2} + f_{X2}') + \sum_{k=1}^{m-1} (x_1 - k) f_{X2}'$$

$$f_{X2} = x_2(C_2 + f_{X3} + f_{X3}') + \sum_{k=1}^{m-1} (x_2 - k) f_{X3}'$$

$$\vdots$$

$$f_{X_{n-1}} = x_{n-1}(C_{n-1} + f_{Xn} + f_{Xn}') + \sum_{k=1}^{m-1} (x_{n-1} - k) f_{Xn}' \quad (11)$$

따라서 m치 n변수 예지변수화 일반식은 다음과 같이 표현할 수 있다.

$$F(x_1, \dots, x_n) = f_{X_i}$$

$$= x_i(C_i + f_{X_{i+1}} + f_{X_{i+1}}') + \sum_{k=1}^{m-1} (x_i - k) f_{X_{i+1}}'$$

$$(i = 1, 2, \dots, n)$$

여기서  $f_{X0} = f_0 = C_0$ 이고  $f_{X_i}'$ 는 비예지화 브랜치가 갖는 함수식이다.

또한, 위의 일반식을 EMVDD로 그리면 그림4와 같다.

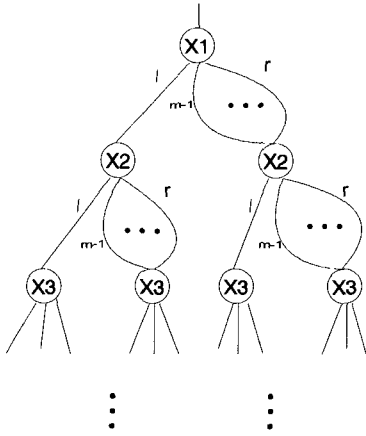


그림 4. m차 n변수의 일반식에 대한 EMVDD  
Fig. 4. General structure of an EMVDD.

VI. 적용예 및 비교검토

다음 예제2를 통해 위 알고리즘을 적용하여 각각 EVBDD와 ETVDD를 표현하는 식을 구하고, 이의 결과를 비교, 검토하면 다음 표2와 같고 이를 BDD, EVBDD 및 ETVDD로 도식하면 다음 그림5와 같다.

예제 2) 함수  $f(x, y, z) = -2 + 5y + yz + 3xy + 4xyz - 2xz + z$  의 ETVDD를 구성하면 다음과 같다. 우선 함수 f를 EVBDD로 표현하면 다음 식(12)와 같다.

$$\begin{aligned}
 f &= -2 + y(5 + 3x + 2xz + 2z) + (1-y)(-2xz + z) \\
 &= -2 + y[5+x(3+4z) + (1-x)(2z)] \\
 &\quad + (1-y)[x(-z) + (1-x)(z)] \\
 &= -2 + y\{5+x[3+z(4)] + [1-x][z(2)]\} \\
 &\quad + (1-y)\{x[z(-1)] + [1-x][z(1)]\} \quad (12)
 \end{aligned}$$

여기에 IV장의 3절의 literal 함수 (A)를 적용시켜 ETVDD로 표현하면 다음 식(13)과 같다.

$$\begin{aligned}
 f &= -2 + y\{5+x[3+z(4)] + [x-1][z(2)] + [x-2][z(2)]\} \\
 &\quad + (y-1)\{x[z(-1)] + [x-1][z(1)] + [x-2][z(1)]\} \\
 &\quad + (y-2)\{x[z(-1)] + [x-1][z(1)] + [x-2][z(1)]\} \quad (13)
 \end{aligned}$$

그림 5의 a),b)와 c)를 살펴보면 모두 DD의 성질을 가지고 있으므로 가지적이고 각각의 변수에 대하여 같은 성질을 보이므로 규칙적이고 변수에 리터럴함수를 적용하는 과정을 모듈화하여 정규성을 갖는다. 만일 표2의 내용을 II-2-2)에서의 예의 그림2를 참조하면 세변수 x, y, z 모두에서 1개씩의 노드수가 감소되는 것을 알 수 있다.

표 2. 예제2의 함수에 대한 결정도별 노드수 비교  
Table 2. The comparison table for each DDs.

	BDD	EVBDD	정수입력 EVBDD	정수입력 ETVDD
노드 수	$2^{n+1}-1$	$2^n$	$n \cdot (2^n - 1)$	$(n-1) \cdot (2^n - 1)$

(단, 변수의 순서는 동일하다고 가정, n : 변수의 개수)

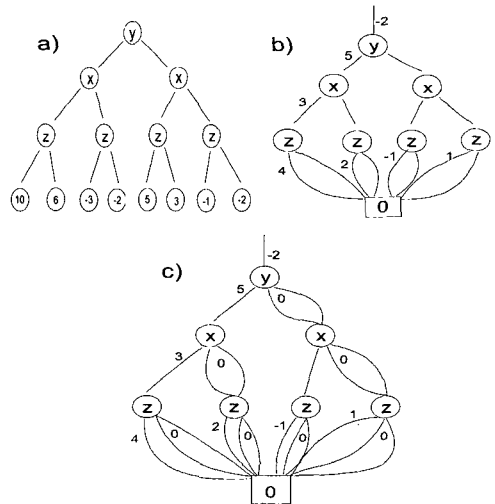


그림 5. a) 예제의 함수에 대한 BDD<sup>[18]</sup>  
b) 예제의 함수에 대한 EVBDD<sup>[18]</sup>  
c) 예제의 함수에 대한 ETVDD  
Fig. 5. a) BDD for the function<sup>[18]</sup>  
b) EVBDD for the function<sup>[18]</sup>  
c) ETVDD for the function

VII. 결론

본 논문에서는 최근에 디지털논리시스템의 함수구성

시에 도입되고 있는 그래프이론에 바탕을 둔 BDD와 이의 새로운 데이터구조 형태인 EVBDD로부터 임의의  $m$  차  $n$ 변수의 함수를 다룰 수 있는 EMVDD를 도출하는 한 가지 방법에 대하여 논의하였으며, 예제를 통하여 타당성을 살펴보았다.

제한한 EMVDD를 사용하여 노드수를 줄일 수 있으며, 이는 함수의 축약과 회로의 간략화를 수행 할 수 있음을 의미하며 처리속도의 감소를 기대할 수 있다. 또한 알고리즘의 규칙성을 고려하여 모듈구성을 통한 정규성에 대한 가능성에 관하여 논하였다.

향후 연구과제로는 제한한 EMVDD를 다치논리의 기호화된 시뮬레이션, 조합논리시스템 및 순차논리시스템 등의 분야에 효과적으로 적용하는 부분의 연구가 요구된다.

### 참 고 문 헌

- [1] M. Kameyama, "Toward the Age of the Beyond-Binary Electronics and System," ISMVL 90, pp.162-166, North Carolina U.S.A., May, 1990.
- [2] K. C. Smith and P. G. Gulak, "Prospects for multiple-valued intergrated circuits," Special issue on Multiple-Valued intergrated circuits IEICE TRANS. ELECTRON., vol.E76-C, no.3, pp.372-382, Mar. 1993.
- [3] S. L. Hurst, "Multiple-Valued logic - its status and its future," IEEE Trans. Comput., vol.C-33, pp.1160-1179, Dec. 1984.
- [4] T. Hanyu, M. Kameyama, T. Higuchi, "Prospects of Multiple-Valued VLSI Processors," IEICE Trans. Electron, vol. E76-C, No.3, pp.383-392, March 1993.
- [5] David C. Rine, *Computer Science and Multiple-Valued Logic. Theory and Applications*, North-Holland Publishing Company, 1977.
- [6] G. Epstein, *Multiple-Valued Logic: an Introduction*, Institute of physics publishing, 1993.
- [7] D. Etiemble, "On the Performance of Multivalued intergrated Circuits: Past, Present and Future," ISMVL 92, pp.156-164, Sendai Japan, May, 1992.
- [8] R. Gould, *Graph Theory*, The Benjamin/Cummings Publishing Company, Inc, 1988.
- [9] R. J. Wilson and J. J. Watkins, *GRAPH an Introductory Approach*, John Wiley & Sons, Inc, 1990.
- [10] S. B. Aker, "Binary Decision Diagrams," IEEE Trans. Comput., vol.C-27, no.6, pp.509-516, Jun. 1978.
- [11] R. E. Bryant, "Graph-Based Algorithms for Boolean Function manipulations," IEEE Trans. Comput., vol.C-35, no.8, pp.677-691, Aug. 1986.
- [12] D. M. Miller, "Multiple-Valued Logic Design Tools," IEEE Proc. of Symposium on Multiple-Valued Logic, Sacramto, California, pp.2-11, May, 1993.
- [13] J. Gergoy and C. Meinel, "Efficient Boolean Manipulation with OBDD's can be Extended to FBDD's," IEEE Trans. Comput., pp.1197-1209, vol.43, no.10, Oct. 1994.
- [14] T. Sasao and J. T. Butler, "Planar Multiple-Valued Decision Diagrams," ISMVL 95, pp.28-35, Bloomington, May 23-25, 1995.
- [15] 朴春明, 金興壽, "決定다이아그램에 의한 다值組合論理시스템 構成에 관한 研究," 電子工學會論文誌 第32卷 B編 第6號, pp.48-55, 1995.
- [16] T. Sasao, Jon T. Butler, "A Method to Represent Multiple-Output Switching Functions by Using Multi-Valued Decision Diagrams," IEEE 26th proceedings on ISMVL, pp.248-254, 1996
- [17] Yung-Te Lai and Sarma Sastry, "Edge-Valued Binary Decision Diagrams for Multi-Level Hierarchical Verification" 29th ACM/IEEE Design Automation Conference, pp.608-613, 1992.
- [18] Yung-Te Lai, M. Pedram and S.B.K. Vrudhula, "Formal Verification Using Edge-Valued Binary Decision Diagrams," IEEE Trans. on Computers, Vol. 45, No.2, February 1996



[19] D. Green, *Modern Logic Design*, Addison-Wesley Publishing Company, 1988.

[20] M. Davio, Jean-Pierre, Deschamps and Andre Thayse, *Discrete and Switching Functions*,

*McGraw-Hill international Book company*, 1978.

[21] R. J. McEliece, *Finite Fields for Computer Science and Engineers*, Kluwer Academic Publishers, 1987.

저 자 소 개



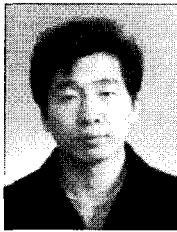
韓 聖 一(學生會員)

1995년 2월 인하대학교 전자공학과 졸업(공학사). 1995년 3월 인사대학교 대학원 전자공학과 석사학위과정 입학. 1997년 10월 현재 동대학원. 석사학위과정 재학중.



朴 春 明 (正會員)

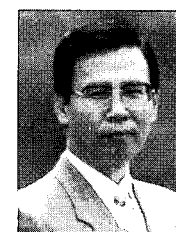
1983년 2월 인하대학교 전자공학과 졸업(공학사). 1986년 3월 인사대학교 대학원 전자공학과 졸업(공학석사). 1994년 2월 인하대학교 대학원 전자공학과 졸업(공학박사). 1990년 3월 - 1995년 8월 마산전문대학 전자계산학과 조교수.



崔 在 碩 (準會員)

1988년 2월 인하대학교 전자공학과 졸업(공학사). 1990년 3월 인하대학교 대학원. 전자공학과 졸업(공학석사). 1997년 8월 인하대학교 전자공학과 졸업(공학박사). 990년 1월 - 1995년 4월

(주)기아정보시스템개발 연구소 근무.



金 興 壽 (正會員)

1962년 2월 인하대학교 전자공학과 졸업(공학사). 1965년 2월 연세대학교 대학원 전자공학과 졸업(공학석사). 1979년 2월 인하대학교 대학원 전자공학과 졸업(공학박사). 1968년 6월 - 1979년 2월 한국항공대학 전자공학과 부교수. 1979 3 - 1997년 현재 인하대학교 전자공학과 교수. 1993년 9월 - 1994년 9월 일본 경응의숙대학교 방문교수.