

다수경로를 갖는 ATM 교환 구조에서의 셀 순서 바뀔 성능

Out-of-Sequence Performance of Multi-Path ATM Switching Fabrics

鄭 允 燦*

(Youn-Chan Jung)

요 약

대용량 스위칭 스루풋 요구를 만족시키면서 초고속 라인 속도를 처리해야하는 대용량, 초고속 ATM 스위칭 구조설계에는 다수경로 특성을 갖는 구조를 이용한다. 그러나 다수경로 특성을 갖는 스위칭 구조에서는 순서바뀔현상이 피할 수 없이 발생한다. 이 논문에서는 다수경로 스위칭 구조의 특성을 분석하여 순서 바뀔 가능성을 정량적으로 분석해볼 수 있는 분석모델을 제안한다. 그리고 이 모델을 이용하여 다수경로 스위치의 구조 파라메타들과 셀 순서바뀔현상과의 관계를 분석한다. 이 파라메타로는 다수경로의 수 (L), 입력 셀스트림의 특성, 스위치 크기(N), 및 트렁크를 구성하는 가상회선 수(V_{ch})등이며, 다수경로가 순서바뀔현상을 일으킬 때에 미치는 영향을 분석한다.

Abstract

Multipath ATM switch architectures have the potential to accommodate easily the design of high-speed and large capacity ATM switches which can handle a very large amount of switching throughputs. However, the multipath architecture inevitably encounters out-of-sequence problems. We propose a multipath switch model to analyze the out-of-sequence phenomenon. And we analyze the out-of-sequence performance dependency on the architecture parameters : the number of multipath, the trunk utilization, the switch size, and the number virtual channels/trunk. Indexing terms : ATM switch, Multipath architecture, Out-of-sequence performance, Cell sequence integrity, Analytical model.

I. 서 론

ATM 교환시스템을 구성하는 핵심인 스위칭 구조에 관한 최근의 연구는 초고속 전송용량의 간선 트래픽의 처리와 공중망(Public Network)을 대비한 다수의 간선

트래픽을 교환하여야 하는 초고속 및 대용량의 두 가지 문제를 해결할 방법 연구에 집중되어 있다. 앞서 도입된 광전송선로와는 달리 ATM 스위칭 구조 설계에는 셀의 교환과 버퍼링을 위하여 광교환, 광신호 저장 등의 기술을 아직 실용적으로 이용할 수 없다. 그러므로 초고속 셀 스위칭 처리와 셀 저장이 반도체 기술에 의한 스위칭 구조상에서 이루어질 수밖에 없다. 그러나 광교환기술이 성숙되기 전 단계에 이미 B-ISDN의 공용 통신망 시대가 열릴 것으로 예상되며, 이 단계에서 필요로 하는 처리 속도와 용량을 만

* 가톨릭대학교 컴퓨터통신학과

(Dept. of comp. & comm., Catholic Univ. of Korea)

※이 논문은 가톨릭대학교 정책연구비 및 한국과학재단 '97 핵심전문연구비(과제번호:19970918)지원에 의한 결과임.

接受日:1997年7月18日, 修正完了日:1997年10月13日

족시킬 수 있는 반도체 기술을 이용한 스위칭 구조는 현재 반도체 기술의 한계로 인하여 요구를 만족하는 적절한 구조를 설계하는 것이 쉽지 않다. 예를 들어 10년 이내에 구축하여야 할 대용량 ATM 교환기의 용량은 수용 가입자 회선 수가 동일하다고 볼 경우, 각 회선이 현재의 전송용량 보다 1000배가 큰 155Mbps의 전송용량을 요구하므로 ATM 교환기의 처리 스루풋이 1000배가 된다. 그러나 10년 이내에 이를 구현할 반도체 기술은 현재보다 10배 이내의 속도나 집적능력의 발전에 머물 것이다^[1,2]. 그래서 ATM의 스위칭 처리요구와 구현기술 한계 사이의 벽을 극복하기 위해서는 다양한 새로운 설계방법이 제시되고 있고 나름대로의 특성 있는 ATM 스위칭 구조가 제시되고 있다^[3-5].

일반적으로 ATM 스위칭구조에서는 같은 셀 슬롯 동안 여러 개의 입력 포트로부터 동일출력으로 향하는 다수 셀을 셀 큐잉으로 해결하고 있고, 이에 기인한 셀의 시간지연이 나타난다. 아울러 링크의 트래픽밀도가 높아지면 입력되는 셀 들이 많아지고 큐잉되는 셀 들도 많아져서 제한된 양의 버퍼 용량으로는 수용할 수 없는 경우에 셀 손실이 일어난다. 이에 따라, 셀지연시간이나 셀 손실은 ATM 스위칭 구조의 성능을 평가하는 기본 성능 파라메터가 된다. 그런데 초고속 스위칭 엘리먼트나 단위 스위칭 소자를 여러개 인터콘넥션시킨 대용량 구조에서는 하나의 성능 파라메타가 추가된다. 이것이 셀 순서 바뀜 성능이다^[6,7].

동일한 가상회선에 속한 셀 들이 스위치 출력으로 나올 때 스위치 입력에 주입될 때의 순서와 바뀐 현상 즉, 순서 바뀜(Out-of-Sequence) 현상이 일어날 가능성을 내포하고 있어 성능측면에서 단점으로 작용할 수밖에 없는 다수경로 특성을 갖는 스위칭 구조가 최근 많이 연구되고 있는 이유는 다음과 같은 기술적 이유 때문이다.

우선 입, 출력 라인 수가 많은 대용량 스위칭 구조에서는 한 쌍의 입, 출력사이에는 다수경로가 존재할 수 있다. 비교적 구현이 간단한 공통버스형 ATM 스위칭 구조를 채택할 경우에, 대용량 스위칭 시에 부딪히는 반도체 기술의 한계 요소로는 집적도가 좋은 CMOS 또는 BiCMOS의 회로 구현 시에 발생하는 칩의 LSI 집적도의 한계치 문제이다. 분석에 의하면 스위칭 구조의 용량에 따른 버퍼링 메모리를 만족시키기 위한 LSI의 집적요구를 보면 표 1과 같다^[1,2,8].

표 1. 공통버스형 ATM 스위칭 구조의 버퍼링 메모리를 만족시키기 위한 LSI의 집적요구

Table 1. Gates requirements of shared-bus type switch chips for buffer RAM.

스위칭 구조 크 기	버퍼용 요구 집적회로 크기	비 고
4×4	300 kGates	※ 8 Gates/bit 로 가정
8×8	600 kGates	
16×16	900 kGates	

이 집적도의 한계로 인하여 대용량 스위치 구조는 복잡한 통신 시스템 설계 개념인 모듈러 구조 개념이 적용되지 않을 수 없다. 이 때 칩의 집적도가 허용하는 한계가 대용량 스위칭 구조의 단위 스위칭소자이며, 대용량 스위칭 시스템 측면에서 보면 빌딩 블록(Building Block)으로 동작한다.

표 2에 표현된 한계 수치는 전체 시스템의 크기나 칩간의 인터콘넥션등을 고려하여 고속, 대용량 스위치 구조설계에서 제일 먼저 고려되어야 하는 반도체 기술에 따른 칩집적 능력을 나타낸다^[2].

표 2. 반도체 기술에 따른 칩집적 능력

Table 2. Technology advances in a scale of integration per chip.

기 술	기 술 적용시기(년)	최대 Gate Array 집적도
CMOS 0.8 μm	91 - 92	200 - 250 kGates
CMOS 0.5 μm	93 - 95	500 - 600 kGates
CMOS 0.3 μm	최근	1000 kGates 수준

이 표에서 표현된 한계 수치는 전체 시스템의 크기나 칩간의 인터콘넥션등을 고려하여 고속, 대용량 스위치 구조설계에서 제일 먼저 고려되어야 하는 반도체 기술에 따른 칩집적 능력을 나타낸다. 이처럼 집적 능력의 한계로 인하여 대용량 스위치의 스위칭 시스템은 칩 기본 단위 스위칭 소자를 먼저 설계하고, 이를 공간분할식으로 다단계 인터콘넥션(Multi-Stage Interconnection)시켜 대용량 스위칭 시스템으로 확대해 나간다.

다수경로를 갖는 ATM 교환 구조에서의 셀 순서 바뀔 성능

B-ISDN의 공용 서비스가 시작될 시기에는 155 Mbps 라인 속도를 갖고 용량이 1024×1024 이상의 ATM 교환 시스템이 필요해지며, 이 시스템의 총 스루풋이 약 160 Gbps 정도가 된다. 이런 정도 이상의 스위치를 설계하는 방법은 효율적인 공간분할식으로 스위칭 엘리먼트를 잘 배치하여 확장해 나갈 수밖에 없다. 그림 1은 일반적 대용량 스위칭 시스템의 설계 경향을 보여준다. 일단 최근 가용한 반도체 기술을 이용하여 단일 칩 스위칭 소자를 설계한다. 이것을 그림 1의 굵은 대각선 실선 화살표로 표시하였으며, 현재 기술로는 약 20 Gbps 스루풋 정도에서 단일 칩 소자를 설계할 수 있다. 굵은 수직 실선 화살표 방향은 20 Gbps 스루풋 스위칭 소자를 빌딩블럭으로 하고 서로 인터컨넥션시켜 대용량 시스템으로 용량 (N)을 확장해 가는 설계경로를 보여준다. 물론 반도체 기술과 소자 설계기술의 발달로 점선 화살표 방향으로 최근 200Gbps 스루풋을 갖는 단일 칩 스위칭 소자 개발이 시도되고 있다. 물론 개발방향의 정확한 경로는 요구 스위칭 용량, 반도체 및 설계기술의 한계, 경제성 등이 복합적으로 고려되어야 한다. 그러나 ATM 교환 시스템 설계 방향은 기술의 발달은 실선 화살표 경로에서 점선 화살표 경로로 이동되고 있다. 이처럼 빌딩블럭을 공간적으로 인터컨넥션시키는 그림의 수직 화살표의 설계개념에 따라 대용량 스위칭 구조를 설계해보면 좋은 성능을 얻기 위해서는 보통 특정 입력에서 특정 출력으로 갈 수 있는 스위치 내부 경로를 살펴보면 여러 개의 경로가 있는 경우가 대부분이다. 이를 다수경로 특성이라 하며, 이는 이용에 따라 상당히 장점이 많은 스위치를 설계하는 것을 가능케 해준다. 예를 들어 입력 트래픽을 분산시켜 트래픽의 치우침 현상을 방지하여 큐잉 효율을 증가시키거나, 총 경로의 전송 대역 폭을 늘려주므로 각 경로측면에서는 경로의 트래픽 이용률이 다수경로 수만큼 반비례하므로, 셀 손실이 거의 없는 스위칭 구조를 가능케 해 주기도 한다^[6]. 이러한 장점을 최대한 스위칭 구조설계에 이용할 수 있는 반면에, ATM 스위칭이 패킷교환의 속성과 회선교환의 속성이 모두 있으므로 다수경로 스위치 구조에서는 패킷교환 속성이 현상으로 나타나서 셀 순서 바뀔 현상이 발생할 수 있다. 대용량 ATM 스위치를 설계할 때 이 순서 바뀔 성능은 철저히 분석되어야 하며, 허용범위 이내로 만족한 성능을 발휘할 수 있도록 대비책이 강구되어야 한다.

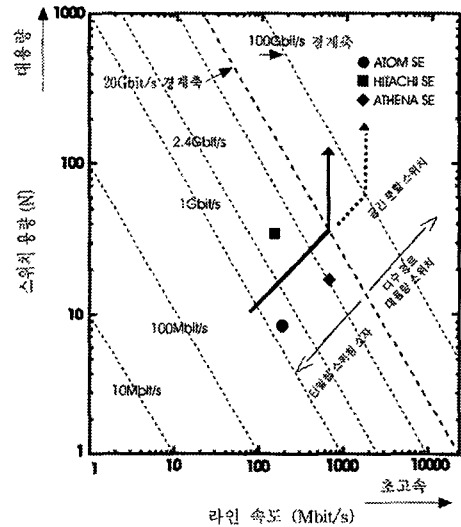


그림 1. 대용량 ATM 교환구조 개발 경향

Fig. 1. Recent design pace of a large capacity ATM switching architecture.

다음으로 순서바뀔현상이 근본적으로 일어날 수밖에 없는 또 다른 경우는 다음과 같다. 공통버스 또는 공통메모리형의 대용량 스위칭 구조의 빌딩블럭인 스위칭 소자를 설계할 때, 이 스위칭 소자가 초대형 용량의 스위칭 스루풋을 요구하는 경우이다. 스위칭 소자 내부에 다수경로가 없어서 순서바뀔현상이 근본적으로 일어나지 않으면서 최대의 스위칭 스루풋을 얻을 수 있는 비트-병렬 처리 방법은 ATM 셀의 크기인 424 Bits 까지 병렬처리 가능하다. 그림 2에서 빗금친 부분은 비트-병렬방법을 이용하여 큰 용량의 스위칭 스루풋을 처리하는 소자의 설계 가능 영역을 보여준다. 예를 들어 8개의 입, 출력 라인을 갖고 각 라인이 2.4 Gbps 라인 속도로 동작하는 19.2 Gbps 스루풋의 스위치는 버퍼메모리의 총 게이트 수와 메모리 액세스 시간 측면에서 모두 구현 가능 영역을 벗어나 있다. 그런데 이 가능치 않는 상태를 가능하게 바꾸어 주려면 그림에서처럼 수평축에서는 왼쪽으로, 수직 축에서는 아래 방향으로 끌어당겨 줄 수 있는 스위치 구조 설계 상의 기술이 필요하다. 이 구조 기술은 비트-병렬 방법과 비트-슬라이스 방법에 의해 가능해진다. Γ 비트-병렬 방법은 내부에서 셀을 처리하거나 저장할 때 Γ 개의 비트를 하나의 단위로 묶어 병렬 처리하는 것이다. B 비트-슬라이스 방법은 버퍼메모리를 B 개의 칩에 분산 내장시키면서도 B 개 각 칩의

버퍼제어는 동일한 제어를 받기 때문에 분산에 따른 복잡성이 전연 증가되지 않는 구조이다. 이 두 가지 즉, 비트-병렬 방법과 비트-슬라이스 방법에 의해 반도체 기술의 한계 속도와 칩 집적도의 한계점으로 정의되는 설계가능 영역 안으로 19.2 Gbps 스트루풋의 스위치를 끌어들이 수 있다. 그런데 반도체 기술의 발달은 메모리 액세스시간이나 단일 칩 집적능력을 꾸준히 향상시키고 있다^[1, 2]. 그림 2에서 확장된 수직 빗금친 영역은 공중 B-ISDN이 도입될 시점에서의 ATM 교환기 설계에 이용될 수 있는 기술영역을 표시한 것이다. 집적도의 향상은 복잡한 비트-슬라이스 개념을 스위칭 구조 설계에 이용할 필요가 없게 할 것으로 추정된다. 즉 병렬처리 만으로 메모리 액세스시간의 한계만 설계기술로 극복하면 된다. 즉 반도체의 원천 기술의 발달이 구조설계의 개념을 단순화시키는 경우로 마치 B-ISDN통신망에서는 N-ISDN에 비해 통신망 제어가 간단히 해결되는 것과 같은 맥락이다.

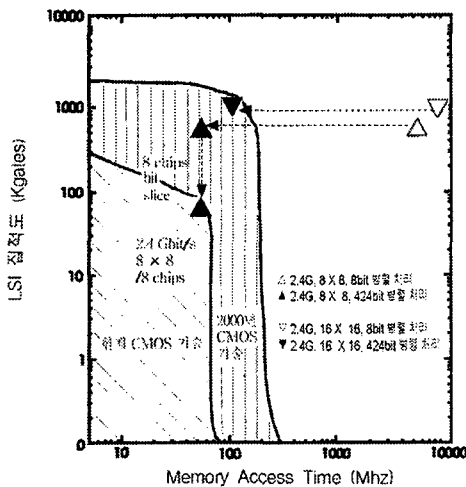


그림 2. 초고속 스위칭 소자의 칩 설계 가능 영역
Fig. 2. Technology boundary satisfying both chip integration level and memory access time.

그러나 대용량 스위칭 구조의 빌딩블록인 스위칭 소자를 설계할 때, 이 스위칭 소자가 최근 기술로 내부에서 처리할 수 있는 총 대역 폭인 20 Gbps 수준보다 더 큰 용량의 스위칭 스트루풋을 요구하는 경우이다. 이 메모리 액세스 시간 한계를 뛰어 넘으려면 셀-병렬 방법을 사용할 수 있다. 그림 3과 같이 스위치 입력 단에 셀 분배기를 두고 입력 라인의 셀 들을 주기적으로 라운드-로빈 식으로 각 스위치 면에 뿌려주는 다수경로를 이용하는 병렬처리 방법이다. 각

스위치 면이 Γ 비트의 병렬처리를 하고 있으므로 만약 L 개의 다수경로를 갖는 L 셀-병렬 구조에서는 총 병렬도가 $L \times \Gamma$ 가 되어 그림 2에서 수평축의 왼쪽으로 필요한 만큼 끌어 줄 수 있는 이득으로 작용한다. 그러나 그림 3에서 동일한 호(Call)의 셀 들이지만 셀 분배기를 거쳐 서로 다른 경로로 들어간 셀들은 서로 각각 다른 큐잉 지연이 각 스위치 면에서 일어난다^[9, 10]. 이것은 각각의 서로 다른 경로를 이루는 각 스위치 면에서의 큐잉지연은 서로 독립적인 특성이 있기 때문이다. 이로 인하여 셀 들이 다중화기를 거쳐 출력 라인으로 나올 때면 같은 호의 셀들 간에도 순서가 바뀔 수가 있다. 이것은 병렬처리로 처리 가능한 스트루풋은 높아진 반면에 성능측면에서는 손실요소가 발생한 것이다.

지금까지 한계기술을 극복하기 위한 설계과정에서 두 가지 경우 즉, i) 라인의 수가 많기 때문에 요구되는 대용량 스위칭 스트루풋 요구를 공간적으로 분산 처리하기 위한 설계방식인 다수경로 특성과 ii) 초고속 라인 속도에 기인한 대용량 스위칭 스트루풋 요구를 해결하기 위한 다수경로 특성에 의해서 순서 바뀔 현상이 발생한다는 것을 설명하였다. 이는 초고속과 대용량의 두 가지 특성을 갖는 B-ISDN에서 이용될 스위치 구조를 개발하기 위해서는 반도체 기술의 한계를 고려하면 다수경로 스위칭 구조설계 방식이 바람직하다. 그러나 이로 인하여 스위칭 구조 내부에서 순서 바뀔 가능성이 항상 존재한다. 그런데 이 성능저하 요소는 스위치 구조 내부에서 해결해야하며 상위계층의 통신망 성능에 영향을 미쳐서는 안된다. 그러기 위해서는 우선 스위칭 구조를 이루는 파라미터들과 순서바뀔 성능과의 상관관계를 밝히는 문제가 우선 해결되어야 한다.

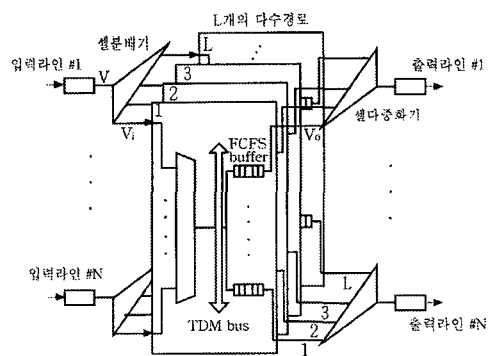


그림 3. L 개의 다수경로를 갖는 스위치 구조 모델
Fig. 3. Switch architecture model with multipath size of L .

II. 셀 순서바뀔현상의 분석 모델

앞에서 초고속, 대용량의 스위칭 구조를 설계하려면 다수경로 특성을 구조설계에 도입해야만 하고 이로 인한 반작용으로 셀 순서 바뀔 현상이 야기됨을 설명하였다. 여기서 다수경로 수 또는 병렬처리 수준을 높일수록 순서 바뀔 현상이 높아질 것이라는 것을 직관적으로 생각할 수가 있다. 다수경로의 수와 입력에 들어오는 셀 스트림의 특성간의 관계를 정량적으로 분석하기 위하여 다음과 같이 분석 모델을 설정한다.

1. 다수경로 스위칭 망 모델

입출력라인 수를 기준으로 스위칭 용량이 $N \times N$ 인 스위칭 구조에서, 2.4 Gbps 라인 속도를 갖고 그림 3과 같이 특정 입력에서 특정 출력으로 갈 수 있는 경로수가 L 개인 구조를 갖는다고 가정한다. 즉, 스위칭 스루풋을 높이기 위하여 다수경로 수가 L 인 스위치 구조를 가정한다. 이런 경우 전체 스위칭 구조의 스루풋 $N \times V$ 인데 비해 다수경로를 구성하는 스위칭면 각각은 $\frac{(N \times V)}{L}$ 의 스루풋을 처리해주면 된다. 여기서 내부 각각의 스위칭면에서의 셀 입력속도를 V_i 로 표현하고 이곳에서의 셀 출력속도를 V_o 로 표현하면, $V = L \times V_i$ 의 관계가 성립한다. 이것은 구조설계에서 메모리 액세스 시간의 부담이 L 배만큼 줄어드는 것을 의미하며 결과적으로 기술의 한계를 다수경로를 사용하여 극복하는 길을 보여준다.

각각의 입력포트로 들어온 셀 들은 셀 분배기를 통하여 임의의 스위칭면으로 들어가게 된다. 이 때 스위칭면의 구조를 버스형, 출력버퍼형 구조로 가정하고 있으므로 각 스위칭면 입력에서의 셀 큐잉이 없도록 하기 위해서는 각 분배기는 라운드로빈식으로 각 스위칭면으로 셀을 뿌려주는 즉 여다중화기의 역할을 해야한다. 각 스위칭 면은 모든 입, 출력 라인의 셀 동기가 맞추어진 상태에서 동작하며 셀 단위로 스위칭이 일어나는 것으로 가정한다. 같은 출력라인으로 향하는 L 개의 출력버퍼에 큐잉된 셀 들이 셀 다중화가 일어나서 $V = L \times V_o$

관계의 속도로 해당 출력 포트에 나가게 된다. 셀 분배가 있는 이 구조는 다수경로가 있는 스위칭 망을 모델링하기 때문에 수학적으로 해석 가능하도록 하기 위하여 다음을 가정한다.

- (a) 424 Bits의 고정길이 셀로 모든 라인에서 동기적으로 입, 출력된다.
- (b) 입력에 도달하는 셀 스트림은 베르누올리 도착과정을 따르며, 하나의 입력 슬롯에 셀이 있을 확률이 p 이며 특정 출력포트로 향할 확률은 $\frac{1}{N}$ 이다.
- (c) 하나의 슬롯시간동안 최대 N 개의 셀이 동일한 각 스위칭 면의 큐잉버퍼로 향할 수 있으며, 이처럼 동일슬롯 시간에 같은 큐잉버퍼에 들어오는 셀을 저장하는 순서는 랜덤이다.
- (d) 각 스위칭 면의 큐잉버퍼는 셀을 K 개까지 저장할 수 있으며, FCFS로 동작한다.

2. 큐잉버퍼 동작 해석

먼저 다수경로에서의 순서바뀔현상은 같은 호로부터 발생하여 오는 셀 스트림 안의 셀들에게만 일어날 수 있는 현상이다. 그러므로 먼저 동일한 호로부터 스위치로 들어오는 셀 스트림의 모델링이 필요하다. 여기서 이미 링크의 셀 스트림은 베르누올리 프로세스로 가정하였다. 그런데 지금부터는 특정 가상회선 하나를 가정해야 한다. 트링크의 셀 흐름 가운데 동일한 호에 속한 셀 스트림 즉, 하나의 가상회선의 셀 흐름도 역시 베르누올리 과정을 따라 도착하는 것으로 가정한다. 여기서 한 링크를 구성하는 가상회선 수를 V_{ch} 이라 하고 임의의 동일회선에 속한 셀 가운데 인접하는 두 셀간의 도착시간 간격(인접 셀 즉, 앞의 α 셀과 뒤따르는 β 셀과의 간격 슬롯 수)을 확률변수 $T_{\alpha\beta}$ 로 표현하면, $T_{\alpha\beta}$ 의 분포특성은 다음 식과 같다.

$$P(T_{\alpha\beta} = k) = \frac{p}{V_{ch}} \left(1 - \frac{p}{V_{ch}}\right)^{k-1}, \quad k=1, 2, 3, \dots \quad (1)$$

다음으로 모델링해야 할 일은 경로 상에서 셀의 큐잉

지연 시간이다. 그림 3에서 각각의 스위칭 면에서의 큐잉 지연 시간은 서로 독립이라고 가정한다. 즉 동일 가상회선에 소속된 인접하는 두 셀이 서로 다른 스위칭 면으로 들어갔다고 볼 때, 두 셀들이 각각의 버퍼를 통과하고 다중화 장치를 지나서 출력으로 빠져나갈 때까지의 시간 분포는 서로 독립이라는 것이다. 이 시간 지연을 일으키는 요소는 두 가지의 시간지연 항목으로 나누어 볼 수 있다. 임의의 셀이 하나의 버퍼에 도달하는 시점을 기준으로 버퍼에 이미 큐잉 되어 있는 셀들의 숫자만큼 기다려야한다. 이것을 확률변수 T_{w_1} 이라 표현한다. 두 번째 시간 지연은 k 번째의 특정 셀 슬롯시간동안에 특정 출력의 큐잉버퍼로 향하는 셀의 숫자는 최소 0개에서 최대 N 개까지 있을 수가 있다. 이 셀의 숫자를 확률변수 A^k 로 표시하면 분포특성이 다음과 같이 표현된다.

$$P(A^k=i) = \binom{N}{i} \left(\frac{p}{N}\right)^i \left(1-\frac{p}{N}\right)^{N-1}, i=0,1,2,3,\dots,N \quad (2)$$

여기서 A^k 안에 포함된 특정 셀은 A^k 가운데 몇 번째로 큐잉버퍼 속으로 들어 갈 것인가라는 A^k 개 셀간의 순서가 고려되어야 한다. 예를 들어 만약 1번째로 선택되면 T_{w_1} 셀 시간만큼만 큐잉버퍼에서 기다리면 되지만, i 번째로 선택된다면 $T_{w_1}+i-1$ 만큼의 셀시간동안 버퍼에서 기다린 후에 다중화장치를 통하여 출력라인으로 나갈 수 있다는 것이다. 이 경우의 예처럼 $i-1$ 셀 슬롯시간 간격을 확률변수 T_{w_2} 로 표현하면 특정 셀이 큐잉버퍼에서 기다려야 하는 총 셀 슬롯간격은 $T_{w_1}+T_{w_2}$ 가 된다^[7]. T_{w_2} 의 확률분포는 다음과 같이 표현된다.

$$P(T_{w_2}=j) = \frac{1}{p} \sum_{i=j+1}^N P(A^k=i), i=0,1,2,3,\dots,N-1 \quad (3)$$

T_{w_1} 의 정상상태에서 확률 값 즉, $P(T_{w_1}=j)$ 의 식으로 표현하면 확률분포 ($\Pi_0, \Pi_1, \Pi_2, \Pi_3, \dots, \Pi_K$)을 구하기 위하여

모든 $(i, j) \ i=0, \dots, K, j=0, \dots, K$ 에 대한 상태전이확률을 다음 관계식에서 찾을 수가 있다.

$$P_{i,j} = P(T_{w_1}^{k+1}=j | T_{w_1}^k=i) \quad (4)$$

$$T_{w_1}^k = \text{MAX}(T_{w_1}^{k-1} + A^k - 1, 0) \quad (5)$$

$$P_{i,j} = \begin{cases} a_{i-i+1} + a_0 \delta(i) \delta(j) & j \geq i \text{ and } j-i+1 \leq N \text{ and } j \neq K \\ \sum_{k=i+1}^N a_k & j \geq i \text{ and } j-i+1 \leq N \text{ and } j=K \\ 0 & \text{otherwise} \end{cases} \quad (6)$$

여기서 a_i 는 $P(A=i)$ 를 의미하고 $\delta(i)$ 는 i 가 0이면 값이 1이고 그 외는 0인 함수이다. 상태전이확률이 모두 주어졌으므로 $\Pi_j, j=0,1,\dots,K$ 을 구하는 일은 다음 두 개의 방정식을 풀어 얻을 수가 있다.

$$\begin{aligned} \Pi_j &= \sum_{i=0}^K \Pi_i P_{i,j}, j=0,1,\dots,K \\ \sum_{i=0}^K \Pi_i &= 1 \end{aligned} \quad (7)$$

3. 순서 바뀔 현상 분석

동일한 가상회선 번호를 가지고 스위치로 들어오는 인접하는 두 셀 즉, 앞의 α 셀과 뒤따르는 β 셀이 다수 경로 특성을 갖는 스위칭 경로를 통과할 때 각각의 셀이 통과하는 경로 중에 있는 큐잉버퍼에서의 시간 지연이 서로 다르므로 특정 출력에 도달할 시점에서는 β 셀이 먼저 나오고 α 셀이 뒤따를 가능성이 있다. 여기서 인접하는 임의의 두 셀이 각각의 버퍼를 통과한 후에 순서가 바뀐 경우를 $O=0$ 로 하고 순서가 안 바뀐 경우를 $O=1$ 로 표현하는 확률변수 O 를 정의한다. 그러면 임의의 인접하는 두셀이 순서가 바뀔 확률은 $P(O=0)$ 로 표현되며 α 셀이 L 개의 스위칭 면(경로) 가운데 어느 경로 ($S=\mu_\alpha, \mu_\alpha=1,2,\dots,L$ 경로 중 하나)로 들어가는가에 따라, 이것을 조건부 확률로 표현하면 다음과 같다.

$$P(O=0) = \sum_{\mu_\alpha=1}^L P(O=0 | S=\mu_\alpha) \frac{1}{L} \quad (8)$$

다수경로를 갖는 ATM 교환 구조에서의 셀 순서 바뀔 성능

여기서 위에서 정의한 확률변수들 T_{w_2} , T_{w_1} , $T_{\alpha\beta}$ 를 차례로 조건부로 처리하면,

$$\begin{aligned}
 P(O=0) &= \sum_{\mu_\alpha=1}^{K-1} \left(\sum_{h=0}^{K-1} P(O=0 \mid T_{w_2}=h, S=\mu_\alpha) P(T_{w_2}=h) \right) \frac{1}{L} \\
 &= \sum_{\mu_\alpha=1}^{K-1} \left(\sum_{h=0}^{K-1} \left(\sum_{j=0}^{K-1} P(O=0 \mid T_{w_1}=j, T_{w_2}=h, S=\mu_\alpha) \Pi_j \right) P(T_{w_2}=h) \right) \frac{1}{L} \\
 &= \sum_{\mu_\alpha=1}^{K-1} \left(\sum_{h=0}^{K-1} \left(\sum_{j=0}^{K-1} P(O=0 \mid T_{\alpha\beta}=d, T_{w_1}=j, T_{w_2}=h, S=\mu_\alpha) \right. \right. \\
 &\quad \left. \left. \times P(T_{\alpha\beta}=d) \Pi_j \right) P(T_{w_2}=h) \right) \frac{1}{L} \quad (9)
 \end{aligned}$$

위 식에서 S , T_{w_2} , T_{w_1} , $T_{\alpha\beta}$ 가 서로 독립적인 변수들이다.

셀 분배기의 라운드로빈 기능에 의해서 앞서 온 α 셀이 μ_α 번째 경로를 통과한다면, $T_{\alpha\beta} = d$ 의 간격으로 뒤따라오는 β 셀은 $\mu_\beta = \{MOD(\mu_\alpha + d - 1, L) + 1\}$ 번째 경로로 들어가게 된다. 여기서 중요한 포인트는 순서 바뀔을 결정하는 사항은 β 셀이 다수경로 중 μ_β 번째 스위칭 면에 들어오는 시점을 기준으로 보면, α 셀은 이미 $E(\mu_\alpha, d) = INT\left(\frac{d - (L - \mu_\alpha) - 1}{L}\right) + 1$ 슬롯 시간 만큼 μ_α 번째 스위칭 면에 있는 큐잉버퍼에서 기다렸다는 것을 의미한다. 물론

$$E(\mu_\alpha, d) = \begin{cases} INT\left(\frac{d - (L - \mu_\alpha) - 1}{L}\right) + 1, & \text{IF } d > L - \mu_\alpha \\ 0, & \text{IF } d \leq L - \mu_\alpha \end{cases} \quad (10)$$

의 엄밀한 관계가 성립한다.

만약 α 셀이 μ_α 번째 스위칭 면에 도착했을 때에 이 경로 상의 큐잉버퍼에는 $T_{w_1} = j$, $T_{w_2} = h$ 의 상황이었다고 하면 β 셀이 도착하여 μ_β 의 스위칭 면의 큐잉버퍼에 들어와서 이 큐잉버퍼에서 기다려야 할 셀 슬롯의 수가 $MAX(0, j + h - E(\mu_\alpha, d))$ 보다 크면 셀순서바뀔 현상은 일어나지 않는다. 이것을 수식으로 표현하면

$$\begin{aligned}
 P(O=1 \mid T_{\alpha\beta}=d, T_{w_1}=j, T_{w_2}=h, S=\mu_\alpha) \\
 = \begin{cases} \sum_{m=MAX(0, j+h-E(\mu_\alpha, d))}^{K-\mu_\beta-1} \sum_{n=0}^m P(T_{w_1}=n) P(T_{w_2}=m-n) & \text{if } \mu_\alpha \neq \mu_\beta \\ 1 & \text{if } \mu_\alpha = \mu_\beta \end{cases} \quad (11)
 \end{aligned}$$

의 관계가 성립하고 다음의 관계식

$$\begin{aligned}
 P(O=0 \mid T_{\alpha\beta}=d, T_{w_1}=j, T_{w_2}=h, S=\mu_\alpha) \quad (12) \\
 = 1 - P(O=1 \mid T_{\alpha\beta}=d, T_{w_1}=j, T_{w_2}=h, S=\mu_\alpha)
 \end{aligned}$$

에 의하여 순서 바뀔의 확률식 (9)는 풀릴 수가 있다.

III. 셀 순서바뀔현상 분석 결과

앞에서 제안된 셀 순서바뀔현상 분석을 위한 모델의 제일 중요한 기여는 스위칭 구조에서 다수경로 수 (L)가 많아질수록 순서 바뀔 가능성이 얼마나 높아 질 것인가 하는 문제를 정량적으로 분석하는 일이다. 아울러 입력 셀 스트림의 특성과 셀 순서바뀔현상과의 관계를 분석할 수 있다. 이 논문에서는 입력 셀 스트림의 특성 가운데 가장 중요한 파라미터 하나만 고려하였다. 이 파라미터는 트렁크에서 셀의 사용 밀도를 나타내는 링크 이용률 (ρ)이다. 또 스위치 크기 (N)와 셀 순서바뀔현상과의 관계도 정량적으로 분석하였다. 특히 초고속 통신망의 간선은 보통 여러 개의 가상회선들로 이루어지고 순서바뀔현상은 같은 가상회선에 속한 셀들끼리만 문제가 되므로, 트렁크를 구성하는 가상회선 수 (V_{ch})와 셀 순서바뀔현상과의 관계도 분석하였다. 참고로 이 분석 모델의 정확성을 증명하기 위하여 이와 유사한 몬테카르로 방식의 모의시험이 참고문헌^[7]에서 수행되었으며 상당히 정확한 모델링 기법으로 판명되었다.

그림 4는 다수경로 수 (L)가 많아질수록 순서 바뀔 가능성이 얼마나 높아 질 것인가 하는 문제를 정량적으로 분석한 그림이다. 여기서는 스위치 크기를 64×64 로 고정하고 링크사용밀도를 0.7로 했을 경우, 링크의 가상회선 수에 대한 순서바뀔확률을 다수경로의 수를 변수로 하여 표시하였다. 여기서 알 수 있는 사항은 비록 입력셀스트림이 베르누올리 과정이라고 가정했기 때문에 분석된 성능이 Pessimistic Bounds라는 것을 염두해 두더라도 상당히 큰 값들이다^[10]. 이 결과는 스위칭 구조설계에 다수경로 개념을 도입할 때는 이 순서 바뀔 최대 가능성을 염두해 두고 스위칭 구조를 설계해야 하며, 이 성능 값을 허용범위내로 끌어내릴 수 있는 보상구조설계 개념을 이용하여 다수경로 스위치를 설계해야 한다는 사실을 암시하고 있다.

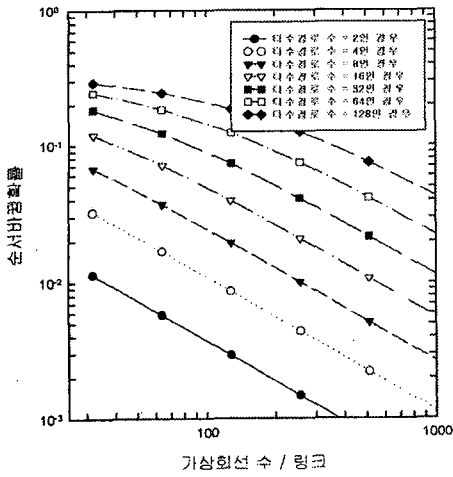


그림 4. 다수경로수에 따른 셀 순서바꿈확률
 Fig. 4. Out-of-sequence probabilities as a function of multipath size (스위칭 구조 파라메타 : 스위칭 용량 = 64×64 , 입력트래픽 밀도 $p=0.7$, 경로상의 큐잉버퍼 크기=60셀 버퍼).

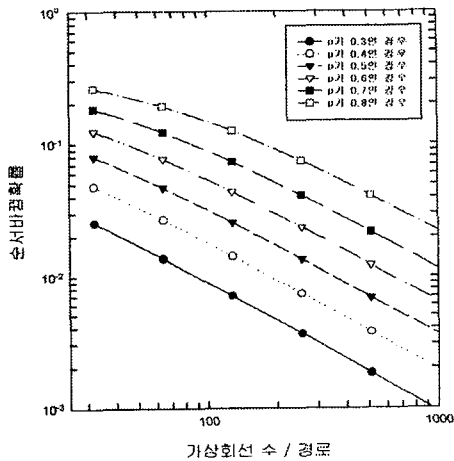


그림 5. 입력 트래픽 밀도에 따른 셀 순서바꿈확률
 Fig. 5. Out-of-sequence probabilities for different traffic loads (스위칭 구조 파라메타 : 다수경로 수 (L)=32, 스위칭 용량 = 64×64 , 경로상의 큐잉버퍼 크기=60셀 버퍼).

그림 5는 입력 셀 스트림의 가장 중요한 파라미터인 입력트래픽 밀도인 링크 Utilization p 가 달라짐에 따라 셀 순서바꿈확률에 미치는 영향을 나타낸 그림이다. 여기서 알 수 있는 사실은 트래픽 부하가 2배정도 증가하면 순서 바꿈 가능성은 약 10배정도 증가한다는 것이다. 정상적인 트래픽 부하 상태를 0.6 ~ 0.7 정도로 가정한다면 1024 가상회선으로 구성된 하나의 링크에서는 다수경로의 수가 32개인 스위칭 구조에서는 순서바꿈확률이 약 10^{-2} 정도가 된다. 여기서 스위칭구조 설계 시에 허용될 수 있는 순서바꿈확률이 10^{-9} 정도라고 가정하면 트래픽 부하를 좀 낮게 한다고 해서 해결될 수 있는 문제가 아니라는 사실이다. 즉 부하를 낮추는 노력만으로는 문제해결책이 될 수 없다는 사실을 알 수 있다.

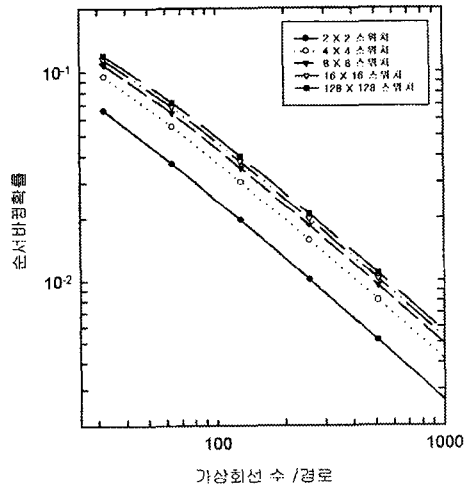


그림 6. 스위치 용량에 따른 셀 순서바꿈확률
 Fig. 6. Out-of-sequence probabilities as switch size N varies (스위칭 구조 파라메타 : 다수경로 수 (L)=16, 입력 트래픽 밀도 $p=0.7$, 경로상의 큐잉버퍼 크기= 80 셀 버퍼).

그림 6은 스위치 크기 (N)와 셀 순서바꿈현상과의 관계를 설명할 수 있는 그림이다. 스위치의 용량의 크기는 순서 바꿈현상에 큰 영향을 미치는 요소는 아니다. 그러나 엄밀하게 이야기하면 다수경로 스위치는 용량이 작을수록 순서 바꿈 확률은 적어진다는 사실이다.

IV. 결 론

스위칭 스루풋이 대용량이며 초고속 라인 속도를 갖는 ATM 스위칭 구조는 CMOS 반도체 기술을 이용한 구현방식을 채택할 수밖에 없으며, 이 때 다수경로 특성이 구조 설계에 이용되지 않을 수 없다. 다수경로를 제공하는 통신망에서 순서바뀔현상을 해결해야 하는 것과 마찬가지로 초고속, 대용량 스위칭 구조 자체 내에서도 이 문제를 해결해야만 한다. 이 논문에서는, 다수경로와 스위칭구조 파라메타들이 순서바뀔현상에 미치는 영향을 정량적으로 분석하였다. 먼저 다수경로 스위칭 구조의 분석 모델을 제안하였으며, 이를 이용하여 다수경로 수(L), 입력 셀 스트림의 특성, 스위치 크기(N), 및 트렁크를 구성하는 가상회선 수(V_{ch}) 등의 변화에 영향을 받는 순서바뀔성능을 분석하였다.

분석 결과를 보면, 트래픽 부하 ρ 가 0.4에서 0.8로 2배정도 증가하면 순서 바뀔 가능성은 약 10배정도 증가한다는 사실을 확인했다. 정상적인 트래픽 부하 상태를 0.6 ~ 0.7 정도로 가정한다면 1024 가상회선으로 구성된 하나의 링크에서는 다수경로의 수가 32개인 스위칭 구조에서는 순서바뀔확률이 약 10^{-2} 정도가 된다. 즉, 다수경로의 수가 순서 바뀔 가능성을 높이는 결정적 변수라는 사실을 알 수 있었다. 여기서 다수경로 개념을 도입한 스위칭구조 설계 시에 허용될 수 있는 순서바뀔 확률이 10^{-9} 정도라고 가정하면 트래픽 부하를 좀 낮게 한다고 해서 순서바뀔현상이 해결될 수 있는 문제가 아니며, 다수경로의 수와 이 논문에서 계산된 최대 순서바뀔 가능성(왜냐하면 입력 트래픽을 베르누올리 과정으로 가정했으므로)의 관계를 고려하여 다수경로 스위치를 설계해야 한다는 사실을 알 수 있다. 이 논문의 연장선에서 계속적으로 연구하고 있는 영역은 다수경로 스위치 설계 시에 기술적 해결책을 제시하여 순서바뀔가능성을 10^{-9} 정도로 끌어내릴 수 있는 스위칭 구조를 제시하는 연구분야이다.

참 고 문 헌

[1] H. A. Kalvonjian and C. M. Melliar-Smith, "VLSI applications in switching systems

current applications and trends in technology evolution", ISS'92 pp. 246-250, Oct. 1992.

- [2] M. Mizukami, Y. Satoh and Y. Nakano, "CMOS circuit technologies for digital communication systems", ISS'92 pp. 251-255, Oct. 1992.
- [3] T. R. Banniza, G. J. Eilenberger, B. Pauwels, and Y. Therasse, "Design and technology aspects of VLSI's for ATM switches," IEEE JSAC, vol. 9, pp. 1255-1264, Oct. 1991.
- [4] N. Miyaho and Y. Doi, "ATM switching system technologies", NTT R&D, Vol. 42, No. 3, pp. 283-296, Mar. 1993.
- [5] T. Kozaki, N. Endo, Y. Sakurai and O. Matsubara, "32 X 32 Shared buffer type ATM switch VLSI's for B-ISDN's," IEEE JSAC, vol. 9, pp. 1239-1247, Oct. 1991.
- [6] H. A. Henrion, G. J. Eilenberger, G. H. Petit, and P. H. Parmentier, "A multipath self-routing switch," IEEE Commun. magazine, Vol. 31, No. 4, Apr. 1993.
- [7] Y. C. Jung, C. K. Un, S. M. Ryu, and S. C. Lee, "Analysis of the out-of-sequence problem and the preventive schemes in a parallel switch architecture for high-speed ATM networks," IEE Proceedings Part I, Vol. 141, No. 1, Feb. 1994.
- [8] 정 윤찬, 은 중관, "부분적 공유버퍼방식에 입각한 공통메모리형 ATM 스위칭 구조의 성능분석", 한국통신학회논문지, Vol. 20 No. 12 pp. 3243-3254, 12월 1995.
- [9] T. Aramaki, H. Suzuki, S. Hanano, and T. Takeuchi, "Parallel "ATOM" switch architecture for high-speed ATM networks", ICC'92, pp. 0250-0254, 1992.
- [10] Y. C. Jung, C. K. Un, "Banyan multipath self-routing ATM switches with shared buffer type switch elements," IEEE Trans. Commun., Vol. 43 No. 11 pp. 2847-2857 November 1995.

저 자 소 개



鄭 允 燦(準會員)

1957년 8월 25일생. 1980년 2월 경북대학교 전자공학과 (공학사). 1991년 2월 KAIST 전기 및 전자공학과 (공학석사). 1994년 8월 KAIST 전기 및 전자공학과 (공학박사). 1980년 3월~1990년 2월 국방과학연구소 선임연구원 (Mobile Met Work 설계 담당). 1996년 3월~현재 카톨릭대학교 컴퓨터통신학과 조교수. 관심분야는 ATM 교환, IP & ATM Integration, 차기 인터넷 실시간 서비스 Qos, 기가 라우터/ATM 교환 복합구조, 초고속 액세스 망 등.