

반도체 공정 및 소자 시뮬레이터에 대한 실험계획법 활용 사례

동승훈* · 이대영**

Application of Experimental Design Technics to Optimization Using Simulators : A case study

Seung-Hoon Tong · Dae-Young Rhee

〈요 약〉

본 논문은 실험계획법을 반도체 공정 및 소자 시뮬레이터에 적용하여, 시뮬레이션 횟수를 최소화하고, 동시에 현장과 유사하게 시뮬레이터 내부 파라미터가 튜닝될 수 있도록 하는 교정 문제에도 활용된 반도체 공정 최적화 사례를 소개한다. 또한, 일반적 시뮬레이터가 실제 현장과의 차이점으로 갖는 문제인 동일한 입력 값에 대해 항상 같은 출력 값이 산출되는 점을 공정의 규격을 고려해 시뮬레이션 함으로써 현장에서의 재현성을 높이고자 하였다. 이는 0.8 μ m급 B1MOS 공정의 기본 소자 중 하나인 NPN 트랜지스터의 전류이득(Current Gain : hFE) 특성을 최적화하기 위한 주요 공정조건 결정과 연관된 것이었으며, 기존 방법에 비해 시뮬레이션 횟수를 줄이는 동시에 현장에 직접 투입되는 검증 로트를 최소화시켜 비용과 시간을 절감할 수 있었다. 또한, 얻어진 추천 조건에서 실제 생산된 검증 로트를 통해 시뮬레이션으로부터 얻어진 결과들이 재현됨으로써 제시된 방법의 유용성을 확인하였다.

1. 서론

반도체 사업의 핵심적인 성공 요인 중 하나는 "타이밍"이다. 이는 고품질의 제품을 얼마나 빨리 시장에 내놓아 경쟁사보다 먼저 기회를 선점하느냐 하는 것과 직결 되기 때문이다. 일반적으로 반도체 완제품을 생산하기까지는 조립 공정을 제외하고도 대략 30일 이상 소요 되는 공정을 거쳐야 한다. 따라서, 고품질과 높은 수율을 갖는 반도체 제품을 얻기 위해 실제 현장을 대상으로 직접 실험을 실시할 경우, 실패

에 대한 상당한 부담을 안게 되는 것이 사실이다. 이러한 관점에서 볼 때, 컴퓨터 시뮬레이션을 통한 공정 최적화는 주로 사무실에서 이루어지게 되므로 생산 현장의 직접적인 부담을 최소화하면서도 안정된 품질을 확보하는 중요한 Off-Line 기법으로 사용되어져 왔다. [1]~[7] 최근 수년간 컴퓨터 하드웨어와 반도체 관련 시뮬레이터의 성능 향상으로 말미암아 이러한 추세는 점차 가속화되어 가고 있으며, 반도체 집적도가 서브 마이크론 급으로 가면서 나타나는 복잡한 양자적 현상을 분석하고 이해하기 위해서도 관련 이

* 삼성전자주식회사 반도체부문 품질보증실

** 삼성전자주식회사 반도체부문 MI제품 1팀

론들과 연구 결과들이 체계적으로 집약되어 있는 시뮬레이터의 이용은 공정 개선 및 개발에 있어서 필수 불가결한 것으로 여겨지고 있다.[1], [2]

그러나 불행하게도 대부분의 상용화된 반도체 시뮬레이터 출력 값은 기본적으로 그 내부에 구현된 이론적 또는 물리적 모델에 의거하여 “계산”되어지는 것이기 때문에 실제 현장에서와는 달리 동일한 입력에 대해 항상 같은 출력만을 얻게 된다. [1], [7] 반면 실제 현장에서는 동일한 공정조건이라 할지라도 환경적인 영향이나 생산장비 자체의 고유한 변동 요인으로 인해 출력 값이 산포를 갖게 되고, 많은 경우 시뮬레이션의 결과와 크고 작은 차이를 유발하게 되는데 이러한 차이를 시뮬레이터의 “현장변동 고려문제”라 한다. [1], [3], [4], [6], [7] 이러한 문제를 통계적 관점에서 해결하기 위한 “FABRICS”와 같은 공정 및 소자 시뮬레이터들이 있다고는 하나 아직까지는 연구용 성격이 짙어 실무 적용 및 확산 단계까지 접근했다고 보기는 힘들다.

또한, 시뮬레이터의 내부 모델 속에는 현장의 상태에 따라 종속적으로 결정되어야 할 다양한 내부 모델의 계수들이 포함되어 있어, 사용자가 이들에 대한 값을 어떻게 부여하느냐에 따라 시뮬레이션 결과와 현장에서의 실측 값 사이에는 또 다른 차이가 존재하게 된다. [4] 이를 시뮬레이터 튜닝 또는 “교정(Calibration) 오차의 문제”라 부른다. 앞으로는 시뮬레이터 교정과 연관되어 있는 내부모델 계수를 “교정계수”라 하고, 이와 연관된 오차를 “교정오차”라 하자.

물론, 시뮬레이터 내부 모델의 원형 자체의 불완전성도 현장과의 차이를 유발하는 중요한 요인이 되며 이러한 시뮬레이터 내부 모델의 원형 자체에 대한 불완전에서 오는 오차를 “모델오차”라 하면 제조 현장과 시뮬레이터의 출력 값과의 관계를 식 (1)과 같이 표현할 수 있다.

$$\begin{aligned} \text{현장 실측 값} &= \text{시뮬레이터 출력 값} + \text{현장변동} \\ &+ \text{교정오차} \\ &+ \text{모델오차} \quad (1) \end{aligned}$$

여기서 모델오차 부분은 반도체의 고유 기술적 측

면의 모델링과 연관되는 것으로서 본 논문의 범위를 벗어나므로 이에 대한 고려는 논외로 한다.

흔히 시뮬레이터를 이용되게 하는 가장 중요한 이유는, 현장에서 직접 실험할 때 감수해야 하는 부담 요소(시간, 비용, 안전 등)를 줄이고자 하는 것임은 주지하는 사실이다. 하지만, 현장에서 직접 실험하는 부담을 덜어준다고 해서 시뮬레이션의 횟수를 무작정 증가시키는 것 또한 부담스러운 요소가 된다. 왜냐하면, 반도체 공정 및 소자 시뮬레이터의 경우 어떠한 단일 입력 조건에서 완전한 2차원 시뮬레이션(웨이퍼 단면 또는 표면에 대한 평면적 효과 분석)을 수행하기 위해 일주일 이상이 걸리기도 하기 때문이다.[5]

따라서, 시뮬레이터를 이용한 반도체 공정 최적화에 있어서 가장 중요하게 고려되어야 할 요소는 현장의 상황을 최대한 반영할 수 있도록 시뮬레이터의 상태를 유지하면서, (현장변동을 반영하거나 교정오차를 최소화하여 시뮬레이션하는 것) 최소의 시뮬레이션 횟수를 통해 현장에 대해 확인 검증할 추천조건(또는 최적조건)을 얻어 내고자 하는 것이다. 결국 반도체 공정 최적화를 위해 시뮬레이터를 사용하는 경우 반드시 아래 3가지 사항을 고려해야만 하며, 이것이 만족된다면 높은 현장에서의 재현 확률을 갖는 공정 조건을 얻는 데 소요되는 기간을 단축할 수 있게 된다.

- 1) 최소의 시뮬레이션 횟수로 현장에서 직접 확인할 추천조건(또는 최적조건)을 얻어내는 문제
- 2) 시뮬레이터 교정의 문제
- 3) 현장변동을 반영한 시뮬레이션이 되도록 하는 문제

본 논문에서는 위의 3가지 문제(이하 각각 1번, 2번, 3번 문제라 한다)의 해결책으로 실험계획법의 도입을 고려하였으며, 이에 대한 여러 사람들의 연구 내용을 2장에서 좀 더 자세히 살펴 보기로 한다. 3장에서는 반도체 시뮬레이터의 종류 및 본 논문에서 실험대상으로 삼은 NPN 트랜지스터의 전류이득 특성에 대한 개념을 살펴보고, 실험계획법을 반도체 시뮬레이터에 실무적으로 적용하기 위해 사용하였던 핵심 아이디어를 “2번 문제”와 “3번 문제”를 중심으로 나타내기로 한다. 4장에서는 반도체 공정 및 소자 시뮬레이터에

실험계획법을 적용해 원하는 NPN 트랜지스터의 전류 이득 특성을 얻고자 공정 최적화를 이룬 사례를 소개한다. (회사 사정상 일부 데이터는 실제 값을 제시하지 않고 변환되었음을 밝혀 둔다) 마지막으로 5장에서 얻어진 결론과 성과를 언급하고 향후 다루어져야 할 과제 등을 밝히고자 한다.

2. 기존의 연구

서론에서 언급한 “1번 문제”에 대해 기존의 여러 연구자는 주어진 실험공간에서 최소의 시뮬레이션으로 최대의 정보를 이끌어 내는 실험계획법의 장점을 효과적으로 활용하고 있다. [1]~[7] 여러 실험계획법 중에서도 Box-Behnken 반응표면 디자인의 경우 요인 배치법보다 작은 수의 실험점으로 주어진 특성치와 입력 인자간의 완전한 이차 다항회귀식(일차효과, 이차효과, 일차 효과의 곱)을 추정해 준다. [2], [3] 중심합성 계획법도 이에 대한 대안이 될 수 있으나 [7] Box-Behnken 디자인과 비교할 때 축 점에 대한 실험이 사용자가 선택한 인자들의 수준 범위를 넘어서는 경우가 생길 수 있고 이럴 경우 현장에서 사용할 수 없거나 의미 없는 조건이 되기도 한다. 예를 들어, 어떤 박막의 두께를 인자로 선택했는데 축 점의 조건이 현장에서 구현 불가능한 미세한 값으로 선택되거나 정상적인 사용범위를 넘어서 본래 실험하고자 했던 박막 두께의 수준 폭을 재조정해야 하는 등의 바람직스럽지 않은 현상이 나타날 수 있게 된다.

한편, D-최적화 디자인의 경우 시뮬레이션 횟수를 외부 제약 조건으로 줄 수 있다는 점과 시뮬레이션 값이 무의미한 조건을 사전에 결정할 수 있을 경우 이를 제외하고 시뮬레이션 하는 등 현실성 있는 실험을 진행할 수 있다는 이점을 들었다. [5] 예를 들어, 웨이퍼에 매우 적은 불순물 이온(well dose 등)을 주입한 다거나 매우 긴 침투(drive-in) 시간을 주는 인자들의 수준이 있다 할 때 각각을 별도로 보면 상황에 따라 부적절하다고 보지 않을 수 있으나, 이들 두 가지 요인이 동시에 작용한다면 웨이퍼 내의 불순물 층이 아예 생기지 않아 “불순물 층의 깊이(junction depth)”와 같은 특성이 아무 의미가 없게 되는 등 시뮬레이션할

필요가 없는 조건이 생기게 되는데 D-최적화 디자인은 이러한 실험점을 제외할 수 있는 장점이 있다는 것을 강조하였다.[5]

이상과 같이 “1번 문제”에 대한 해결 방안으로 실험계획법을 사용하는 데 있어 기존의 연구의 특징은 크게 두 가지로 나눌 수 있다. 하나는 주로 이차 효과를 탐색할 수 있는 반응표면 분석법을 사용하고 있다는 것이고, 다른 하나는 사용자가 선택한 실험 공간 내에서 시뮬레이션이 이루어지는 디자인을 선호한다는 것이다. 전자의 경우 반도체 시뮬레이터 내부의 모델들이 복잡한 비선형 모형을 가지므로 주어진 실험 공간에서 이차 항이 포함된 다항회귀식으로 근사시키는 것이 보다 더 의미를 갖는다는 것과 산출된 회귀식에 의해 시뮬레이션하지 않은 실험공간 내의 모든 실험점에 대해 특성치의 추정이 가능하다는 것을 이유로 생각할 수 있다. 후자의 경우는 이미 앞에서 살펴본 바와 같다.

“2번 문제”에 대하여 Boning과 Mozunder [4]는 반응표면 분석법을 이용하여 시뮬레이터의 교정문제를 다룬 사례를 보였다. 접근 방법은 시뮬레이터 내부 모델 식의 계수들을 실험인자로 취급하고 반응표면 분석법 중 Box-Wilson 디자인을 이용하여 이들의 최적 값을 정하고자 하였으며, 이를 반도체 소자 시뮬레이터인 “PISCES”에 대하여 적용하였다. 이 방법에서 사용된 특성치로는 주어진 생산조건(또는 측정조건)에서 얻어진 실측 값과 실험인자로 선정된 계수들의 값을 변경함으로써 얻어진 시뮬레이션 결과와의 차이를 이용하였는데, 이의 제곱합을 최소화하는 방향으로 계수들의 최적 값들을 결정하였다. 만약 서로 다른 조건에서 관측된 2개 이상의 실측 값이 사용되어질 수 있다면 반복있는 실험 상황으로 분석할 수 있게 된다.

좀더 구체적으로 살펴보면 소자 시뮬레이터인 PISCES의 내부 모델 중 박판전류(substrate current; I_s)를 산출하는 모델식의 3가지 계수 값을 교정하기 위해, Box-Wilson 디자인의 실험 인자로는 3종류의 내부 모델 계수를 선택하였고, 반응 변수는 몇 가지 드레인(모스 트랜지스터에서 입력된 신호가 변화되어 출력되는 단자로서 바이폴라 트랜지스터의 컬렉터에 해당하는 단자) 및 게이트(모스 트랜지스터에 입력을 가

하기 위한 단자로서 바이폴라 트랜지스터의 베이스에 해당하는 단자) 전압의 조합에서 얻어진 박판전류의 실측 값과 시뮬레이션 값의 편차를 제곱합을 이용하고, 이를 최소화하도록 모델 계수를 결정하였다. [4] Box-Wilson 디자인의 경우 중심합성 계획법과 같이 축 점에서의 실험을 요구하고 있으나 축 점에서의 실험이, 포함된 인자의 수준 폭을 넘어서지 않는다는 점을 사용 이유로 들고 있다. [4] 이는 앞에서 설명한 Box-Behnken 디자인의 이점과 같다. 실험계획법을 시뮬레이터 교정에 적용하기 위한 연구는 현장의 변동을 고려하는 문제나 실험계획법 고유의 효과인 최소 시뮬레이션으로 최대의 정보를 얻고자 하는 분야에 비해 상대적으로 더욱 연구되어야 할 부분이라 여겨진다.

서론의 “3번 문제”에 대해서 Young et al. [3]은 시뮬레이션 상의 실험 인자로 선택된 모든 인자들이 실제 라인에서는 각기 고유한 변동이 있다고 보았으며, 각 인자별로 주어진 수준 값에서 $\pm 3\sigma_i$ ($i = 1, \dots, \text{실험인자수}$) 만큼의 변동 폭이 있다고 가정하였다. 이러한 가정을 바탕으로, 다구찌 실험계획법의 아이디어를 도입하여 Box-Behnken 디자인을 주어진 실험인자의 내측배열로 삼고, 내측배열의 모든 실험점에서 각 실험인자의 변동폭을 상하 수준으로 갖는 3수준계 완전요인 배치법을 외측배열로 이용함으로써, 변동을 고려한 시뮬레이션 출력 값을 얻고자 하였다. 또한, 이와 같이 얻어진 출력 값들을 다구찌의 기대 손실 함수를 최소화하는 아이디어를 이용해 기대손실 값으로 변환하고 이를 최소화하도록 각 실험인자들의 최적 수준을 정하고자 하였다.

그러나 현장에서 무엇보다 중요한 것은 시뮬레이션 횟수를 줄여주는 방법을 고려해야 한다는 것은 두말할 필요도 없다. 따라서, Young et al. [3]의 방법은 Box-Behnken 디자인의 실험점 수에 고려되는 전체 실험인자 수의 곱만큼 시뮬레이션 횟수가 늘어나게 되어 실험인자 수가 많아지면 질수록 현장에서 적용하기 어려워지는 단점을 갖게 됨을 알 수 있다.

여기서, 주목할 것은 반응표면 분석법에서 중앙점에 대한 반복 실험은 현장의 경우 좀 더 믿을 수 있는 실험오차의 추정에 기여하게 되지만 시뮬레이터

상에서는 같은 실험점의 반복이 의미가 없기 때문에 1회만 고려되었다는 점이다. [2], [7] 이는 실험계획법을 활용한 현장변동의 고려 문제를 경제적인 시뮬레이션 횟수를 유지하며 해결하기 위한 본 논문의 방법에 중요한 착안점을 제공하였다. 이에 대해서는 3.2절에서 좀 더 자세히 살펴보겠다.

다음 장에서는 주요 반도체 공정 및 소자 시뮬레이터의 종류 및 역할을 간략하게 소개하고, 본 논문에서 다룬 반도체 사례의 이해를 돕기 위하여 NPN 트랜지스터의 전류이득 특성에 대한 개념을 언급한다. 또한, 서론의 “2번 문제”와 “3번 문제”를 실무적인 관점에서 해결하기 위하여 본 논문에서 사용한 방법을 살펴보기로 한다.

3. 반도체 시뮬레이터에 대한 실험계획법 실무 적용 방안

3.1 반도체 시뮬레이터의 종류

반도체 시뮬레이터는 사용 단계에 따라 크게 공정, 소자, 회로 시뮬레이터로 나뉘어지며, 출력 정보의 입체성에 따라 1차원(선형), 2차원(평면) 등으로 구별된다.

사용 단계에 따른 3가지 분류의 첫째, 공정 시뮬레이터는 각 단위공정의 주요 파라미터(온도, 불순물의 양, 주요 박막의 두께, 선폭 등)를 입력으로 받아 웨이퍼 내부의 확산층의 농도정보나 간단한 단일 소자 특성 등을 출력해 주는 시뮬레이터이고 둘째, 소자 시뮬레이터는 공정 시뮬레이터의 출력 값인 확산층의 농도 정보나 소자 특성을 얻기 위해 인가하는 전압, 전류 등의 바이어스 정보 및 각종 물리상수 등을 입력으로 받아 각종 단일 소자의 전기적 특성 값을 출력해 주게 된다. 마지막으로, 회로 시뮬레이터는 각종 단일 소자로 이루어진 회로 구성과 그 회로를 구성하는 단일 소자의 전기적 특성 값을 입력받아 원하는 회로 특성을 출력해 주는 시뮬레이터라 할 수 있다.

또한, 각종 시뮬레이터에서 출력하는 정보가 웨이퍼의 표면에서 수직 방향으로 선형적인 효과만을 출력해 주느냐 아니면 웨이퍼 단면 전체(혹은 표면)에

대한 평면적인 변화까지 출력해 주느냐에 따라 1차원, 2차원 시뮬레이터로 분류하게 된다. 반도체 공정 및 소자 시뮬레이터에 대한 소개 및 분류를 <표 1>에 나타내었다.[1]

에서 다른 소자가 MOS 소자와 같은 유니폴라 소자가 아닌 바이폴라 NPN 트랜지스터의 전류이득 특성을 다루었고, BIPOLE이 바이폴라 소자 전용의 시뮬레이터이기 때문에 BIPOLE을 사용하되 이를 NPN 트랜지

<표 1> 주요 반도체 공정 및 소자 시뮬레이터의 종류

구분	주요 입력항목	주요 출력항목	특징
SUPREM3	+ 단위공정 조건 (Recipe 등) + Layout 정보	+ 단위소자의 불순물 형상 및 Geometry 정보	+ 공정, 1차원 + 스탠포드대학교 개발
SUPREM4			+ 공정, 2차원 + SUPREM3와 기능은 동일하나 2차원 정보 제공 + 스탠포드대학교 개발
FABRICS			+ 공정, 1차원 + SUPREM3와 기능은 동일하나 물리적 모델링외에 통계적 모델링이 추가됨
BIPOLE3	+ 바이어스 + 물리상수 + 확산층 농도정보 (공정 시뮬레이터 결과)	+ 바이폴라 소자의 각종 전기적 특성의 1차원적 계산값(전류이득 등)	+ MEDICI가 범용 2차원 소자 시뮬레이터인 반면, BIPOLE3은 바이폴라 소자전용임
MEDICI		+ 각종 단위소자의 2차원적 특성값(MOS, 바이폴라 소자 포함)	+ PISCE-2B를 개조하여 상용으로 사용 + 웨이퍼 단면의 2차원 농도정보를 입력으로 포함
DAVINCI		+ 각종 단위소자의 3차원적 특성값	+ MEDICI와 동일하나 3차원 효과에 대한 시뮬레이션이 가능함
PISCES		+ 각종 단위소자의 2차원적 특성값	+ 스탠포드대학교 개발
HSPICE		+ 각종 단위소자의 전기적 특성 모델 파라미터값	+ 주어진 회로의 성능특성값

3.2 시뮬레이터 교정

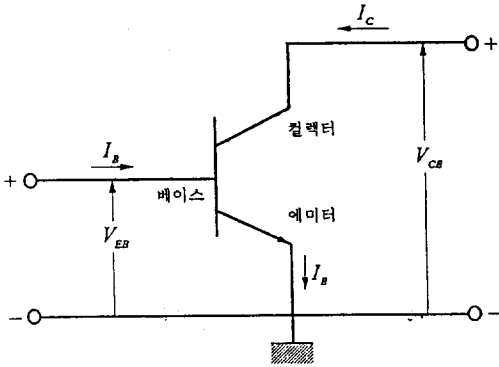
본 논문에서 사용된 1차원 공정 시뮬레이터인 SUPREM3 [9]는 많은 반도체 업체에서 가장 기본적인 공정 시뮬레이터로 사용되고 있으며, 당사에서도 그 활용도가 높은 시뮬레이터이다. 이는 그 동안 많은 시행착오를 거쳐 만족스러운 수준으로 당사의 현장과 교정이 되어 있다.

한편, SUPREM3의 결과를 입력으로 하여 NPN 트랜지스터의 전류이득 값을 추정해 주는 소자 시뮬레이터인 BIPOLE [8]은 SUPREM3에 비해 교정 수준이 낮다고 평가되어 있어 사용 빈도가 적으나, 본 논문

스터의 전류이득 관점에서 교정하고자 하였다.

여기서 잠시 NPN 트랜지스터의 전류이득(hFE) 특성에 대하여 살펴보겠다. NPN 트랜지스터는 PN 접합 다이오우드 두 개를 반대로 연결시켜 놓은 것으로 3개의 부분으로 구성되며 이를 각각 에미터, 베이스, 컬렉터라 부른다. <그림 1>에서 전형적인 에미터 접지하의 NPN 트랜지스터의 결선을 나타내었다.

<그림 1>의 상황에서 NPN 트랜지스터가 활성화되었다 가정하면 에미터-베이스 접합이 순방향으로, 컬렉터-베이스 접합이 역방향으로 바이어스 되기 때문에 에미터에서 베이스로 주입되어 컬렉터-베이스 접합에 도달한 전자는 컬렉터-베이스 접합의 강한 전계



〈그림 1〉 바이폴라 NPN 트랜지스터의 에미터 접지 결선구조

에 이끌려 모두 컬렉터 영역으로 흡수되어 버린다. 이때의 전자 흐름은 중성 베이스 영역의 캐리어 밀도분포에 의해 결정되므로 컬렉터 전류(I_C)는 베이스 전류(I_B)에 의해 거의 결정되고, 컬렉터-에미터간 전압(V_{CE})에는 그다지 의존하지 않는다. 즉, 베이스 전류의 작은 변화로 컬렉터 전류의 큰 변화를 초래할 수 있는데 이와 같이 에미터 접지하에서 바이어스를 가했을 때 얻어지는 컬렉터 전류와 베이스 전류의 비율을 전류이득이라 부른다. ($h_{FE} = I_C / I_B$) 이는 스위칭 특성과 함께 트랜지스터의 가장 기본적인 특성을 이루고 있으며, 모든 BIMOS 공정개발시 반드시 고려되는 중요한 요소이다.

BIPOLE에서는 현장과 시뮬레이터 사이의 교정을 위해 제공되는 "FENCO"와 "REST" 등의 교정계수가 있다. [8] FENCO는 베이스와 컬렉터 접합 부위의 공핍층을 벗어나서 중성 베이스 영역에 존재하는 전자 농도의 비율을 나타내는 물리상수로서 사용자가 현장 상황에 맞게 1.05부터 2.0의 구간에서 조절하는 것을 허용하고 있다. (디폴트 값은 1.1) REST는 PN접합 근방의 전기적으로 중성이 아닌 공핍층을 벗어나는 중성 베이스 영역에서 참조 값 0.5 볼트를 넘어서는 잔여 전압으로서 mV 단위로 표시된다. REST 역시 디폴트 값은 1mV이나 0.01~10mV 사이에서 변경할 것을 추천하고 있다.[8]

본 논문에서는 BIPOLE의 교정을 위해 엔지니어의 경험과 지식을 바탕으로 선택된 위의 두 가지 교정계

수의 최적 값을 〈표 2〉와 같은 3수준 요인배치법을 적용하여 구하고자 하였다. 이에는 Boning et al. [4]의 아이디어를 이용하되 다구찌의 SN비를 이용하여 얻어지는 출력 데이터를 변환한 후 분석하고자 하였다. 이와 같은 교정에는 서로 다른 측정 조건에서 얻어진 전류이득 특성의 실측값들이 필요하게 되는데 본 논문에서는 3가지 서로 다른 측정 조건에서 얻어진 기존 공정의 실측 데이터와 같은 조건에서 BIPOLE로부터 얻어진 시뮬레이션 데이터가 사용되었다. 이 때 BIPOLE의 입력 요소인 확산층의 농도 정보는 해당 공정 조건에서의 SUPREM3 출력 값을 이용하였다. 이는 SUPREM3가 BIPOLE에 비해 현장과의 교정 수준이 만족스럽기 때문에 가능하였으며, SUPREM3에 대해서는 별도의 교정을 실시하지 않고 기존에 사용되어 오던 교정계수를 그대로 이용하였다.

〈표 2〉의 개념으로 BIPOLE에 대한 교정을 실시하였으나 100% 만족스러운 결과는 얻지 못하였다. 이는 일반적으로 MOS 소자와 같은 단극형 트랜지스터의 시뮬레이터의 내부 모형은 NPN 트랜지스터와 같은 쌍극형 소자의 분석을 위한 모형에 비해 상대적으로

〈표 2〉 BIPOLE 시뮬레이터의 교정을 위한 실험계획

실험점	FENCO	REST	관측조건 1	관측조건 2	관측조건 3	분석 특성 (목표값이 "0" 인 SN비)
1	-1	-1	y_{11}	y_{12}	y_{13}	$S_{Ni} = -10 \log_{10} S_i^2$ 단, $S_i^2 = \frac{\sum_{j=1}^3 (y_{ij} - \bar{y}_i)^2}{3 - 1}$
2	0	-1	y_{21}	y_{22}	y_{23}	
3	1	-1	y_{31}	y_{32}	y_{33}	
4	-1	0	Yij (= Aij - Bij)			$\bar{y}_i = \frac{\sum_{j=1}^3 y_{ij}}{3}$
5	0	0	i=1, ..., 9			
6	1	0	j=1, 2, 3			
7	-1	1	y_{71}	y_{72}	y_{73}	$i = 1, \dots, 9$
8	0	1	y_{81}	y_{82}	y_{83}	
9	1	1	y_{91}	y_{92}	y_{93}	

- Aij : 교정계수의 i 실험점과 관측조건 j에서 얻어진 전류이득 실측값
- Bij : 교정계수의 i 실험점과 관측조건 j에서 얻어진 전류이득 시뮬레이션값
- Sni : 교정계수의 i 실험점에서의 SN비
- Yij : Aij - Bij (목표값은 "0", $-\infty \leq Yij \leq \infty$)

모형 구축이 쉽고 많은 연구를 통해 기술적 모형의 개선이 있어 왔으나, 바이폴라 소자에 대한 모형은 아직 고전적인 모델링에 기초하고 있어 BIPOLE 내부 모형의 오차 등도 상당 부분 영향이 있었으리라 여겨진다. 그러나 <표 2>는 시뮬레이터의 교정 문제를 다루기 위한 하나의 방법이 될 수 있음을 확인하였으며, 얻어진 교정 계수를 엔지니어의 기술적 경험을 바탕으로 미세 조정하여 사용하였다. 시뮬레이터 교정에 대한 연구를 위해서는 반도체 시뮬레이터 자체에 대한 깊은 이해가 반드시 필요하다 하겠다.

3.3 실험계획법을 이용한 현장 변동의 실무적인 고려

Young et al. [3]은 선정된 시뮬레이터의 모든 실험 인자가 실제 현장에서는 주어진 수준 값의 " $\pm 3\sigma_i$ ($i = 1, \dots, \text{실험인자수}$)" 만큼 각각 변동한다고 보았으며, 다구찌 방법의 외측배열 개념을 도입하여 각 실험점에서 3수준계 요인배치법을 이용하여 현장 변동을 고려하고자 하였다. 이는 실험인자의 실제 산포를 알고 있을 경우에는 매우 정교한 시뮬레이션 결과를 기대할 수 있겠으나 시뮬레이션 횟수가 선택된 실험인자와 실험점의 곱으로 증가하는 단점이 있음은 이미 앞에서 언급하였다.

더욱이 시뮬레이션에 고려되는 실험인자가 단위 공정의 공정 조건에 해당하는 "Recipe" 성격을 갖을 경우 실무적으로는 산포를 알 수 없는 경우가 많고, 알 수 있다고 하더라도 매우 어려운 데이터 추출 과정을 거쳐야 한다. 이는 Recipe에 해당하는 실험 인자들이 대부분 해당 단위공정 입장에서는 입력 요소에 해당하기 때문이다. 예를 들어, 고온의 확산 공정에서 온도와 압력 등을 실험 인자로 선택하고 산화막의 두께 등을 관찰한다고 할 때, 단위 공정 입력인 온도나 압력의 산포를 얻는 것보다 산화 막의 두께 산포를 얻는 것이 훨씬 용이하다. 또한, 실무적 관점에서 보면 일반적으로 반도체 제조장비 내부에는 온도나 압력 등의 수준을 자동적으로 유지하기 위한 조절장치 등을 내장하고 있기 때문에 단위 공정 입력 요인들의 산포 보다는 이러한 입력 요소들이 복합적으로 작용해

나타나는 단위 공정의 출력 값에 대한 산포가 더 문제가 되고 있다.

반도체 공정 시뮬레이터의 입력 값으로는 확산 공정의 온도나 압력과 같이 실제 현장에서의 입력 값도 포함하지만 산화막 두께나 선폭과 같은 단위 공정의 출력 값들도 포함되어 있으므로, 시뮬레이션시 현장 산포를 고려하는 요인으로 이러한 단위 공정의 출력 값들만을 고려하는 것이 시뮬레이션 횟수를 절감하면서도 현장의 상황을 근사하게 반영하는데 더욱 효율적이라 여겨진다.

따라서, 본 논문에서는 실제 현장의 변동을 고려하기 위한 인자로는 주로 단위공정의 출력 특성에 해당하는 박막의 두께나 선폭 등을 사용하였고, 이들의 수준 폭으로는 그 특성의 규격 폭을 사용한 3수준 계열의 실험배열을 이용하였다. 이는 각 단위공정에서 규격을 벗어난 제품이 후속 공정으로 진행되는 경우를 배제한 것이며, 실제 생산현장의 상황을 반영한 것으로 볼 수 있다. 또한, 이러한 실험계획을 다구찌의 외측배열과 같이 모든 실험점에 대해 적용하지 않고, Box-Behnken 디자인의 중앙점에만 적용하여 중앙점 반복에 대한 실무적으로 발생할 수 있는 가상의 실험 오차를 얻는데 이용하였다. 일반적인 반응표면 분석법의 중앙점 반복 횟수의 상한은 없으므로 현장의 변동을 반영하기 위해 선택한 인자들의 변동을 고려하기 위해 선택된 3수준계 실험배열의 실험점 수를 중앙점 반복 횟수로 사용하게 된다.

이와 같은 방법을 사용하게 되면, 다구찌 방법의 장점인 잡음 요인에 둔감한 최적 조건을 얻자는 이득이 희생되는 반면, 시뮬레이션 횟수를 상당히 줄이는 경제적인 이득을 가져오게 되며 전형적인 반응표면 분석법으로 분석할 수 있게 된다. 다만, 이와 같이 얻은 결과를 해석할 때는 가상적으로 실험오차를 고려한 데에서 발생할 수 있는 문제에 대한 고려가 필요하다. <그림 2>에 실험인자가 3인자 3수준, 현장 변동을 고려하기 위해 선택된 요인이 2인자 3수준인 경우 본 논문에서 제안한 형태의 Box-Behnken 반응표면 분석법을 나타내었다. 중앙점 반복 횟수는 현장 변동을 고려하기 위해 선택된 2인자 3수준 요인배치법의 실험점 수와 같은 9회이다. <그림 2>에서 확인할 수 있듯

실험점	실험인자			D	-1	-1	-1	0	0	0	+1	+1	+1		
	A	B	C	E	-1	0	+1	-1	0	+1	-1	0	+1		
1	-1	-1	0	$b_{1,5} \sim b_{13,9}$: 시뮬레이션 출력 (총 21회)	$b_{1,5}$ $b_{2,5}$ $b_{6,5}$ $b_{7,5}$ $b_{11,5}$ $b_{12,5}$	↑ 현장 변동요인 2개를 고려하기 위한 3수준 계열 실험계획법 (3 ² 요인배치법)									
2	+1	-1	0												
6	+1	0	-1												
7	-1	0	+1												
11	0	-1	+1												
12	0	+1	+1												
13	0	0	0												
							$b_{13,1}$	$b_{13,2}$	$b_{13,3}$	$b_{13,4}$	$b_{13,5}$	$b_{13,6}$	$b_{13,7}$	$b_{13,8}$	$b_{13,9}$

〈그림 2〉 현장 변동을 반영한 Box-Behnken 디자인의 적용 개념 (3개의 실험인자 및 2개의 현장 변동인자를 고려할 경우)

이 현장 변동을 고려하기 위한 3수준 2인자 배열을 다 구찌의 외측배열로 활용했을때 총 117회(13×9)의 시뮬레이션이 필요한데 반해 본 논문의 방법을 이용하면 이보다 5배 이상 적은 21회로 분석할 수 있게 됨으로써 시뮬레이션 횟수 절감이라는 경제적인 효과를 얻게 된다. 물론, 변동 요인에 둔감한 조건을 찾자는 다구찌 방법의 장점이 희생되지만 서론에서 밝혔듯이 타이밍이 중요한 반도체 산업 현장에서 실무적으로 단기간에 결과를 얻을 수 있다는 장점이 있다.

또한, 실험인자와 변동요인으로 고려되는 인자가 일치할 필요가 없으므로, 단위공정의 출력 특성에 해당하는 핵심 요인만을 고려하여 융통성 있게 실험할 수 있다. 아울러, 고려되는 변동반영 인자의 수를 늘리더라도 반드시 3수준계 요인배치법을 이용할 필요가 없어 시뮬레이션 횟수 증가에 대한 부담을 적게 가져갈 수 있게 된다. 이는, 선택된 실험 및 변동인자의 수가 많아질수록 더욱 경제적인 효과를 나타내게 된다.

4. 적용 사례

본 장에서는 반도체 공정 및 소자의 일차원 시뮬레이터(웨이퍼 표면으로부터 수직 방향의 효과를 분석하여 준다)인 SUPREM3와 BIPOLE에 대해 실험계획

법을 적용하여 0.8μ m급 BIMOS 공정의 NPN 트랜지스터의 전류이득(hFE) 특성을 최적화한 사례를 소개하고자 한다. 이에 Alvarez et al. [2] 및 Young et al. [3]이 사용한 Box-Behnken 디자인이 사용되었으며, 얻어진 데이터의 모든 분석에는 PC용 통계 패키지인 StatgraphicsTM가 사용되었다. 분석 결과는 당사의 라인에서 진행된 몇 개의 로트를 통해 그 타당성을 검증하여 봄으로써 제시된 방법의 유용성을 확인하였다.

〈표 3〉에는 사용된 실험인자와 아울러 라인 변동을 고려하기 위해 단위공정 출력 특성으로 선택한 폴리실리콘 박막 두께의 수준 값을 나타내었다. (이하 “변동반영 인자” 또는 “변동인자”라 함) 변동반영 인자인 폴리실리콘 박막 두께는 기존에 사용 중인 규격 폭을 그대로 이용하였다. 실험 디자인은 변동 인자가 한 개인 경우이므로 중앙점 반복이 3회 있는 Box-Behnken 디자인을 사용하였다. 3회의 중앙점은 변동인자인 폴리실리콘 박막두께가 각각 “-1, 0, +1”수준으로 변경될 경우를 가정하여 시뮬레이션하였다. (현장변동 고려시 중앙점 반복은 최소 3회 필요, 총 27회 시뮬레이션).

〈표 3〉의 실험인자 및 변동인자는 주어진 NPN 트랜지스터의 설계 Layout 하에서 전류이득 특성과 직접적인 관계가 있는 요인들로 엔지니어의 지식과 NPN 소자 이외의 다른 MOS 소자들의 영향을 고려해 선정되었다. 위와 같이 선정된 실험인자 및 변동인자의 각 수준 조합에서 전류이득 특성을 얻으려면 먼저 SUPREM3를 실행한 후 그 출력 값을 BIPOLE의 입력 값으로 삼아 재차 시뮬레이션을 실행하여 얻게 된다.

〈표 3〉 사용된 인자명과 수준 값

기호	인자명	-1 수준값	0 수준값	+1 수준값	단위
A	BASE DOSE	1.2	1.55	1.9	e13/cm ²
B	BASE IIP ENERGY	30	40	50	KeV
C	EMT DOSE	5	7	9	e15/cm ²
D	EMT IIP ENERGY	80	90	100	KeV
N	폴리실리콘 박막 두께	450	500	550	Å

얻어진 전류이득 특성을 분석 신뢰성을 높이기 위

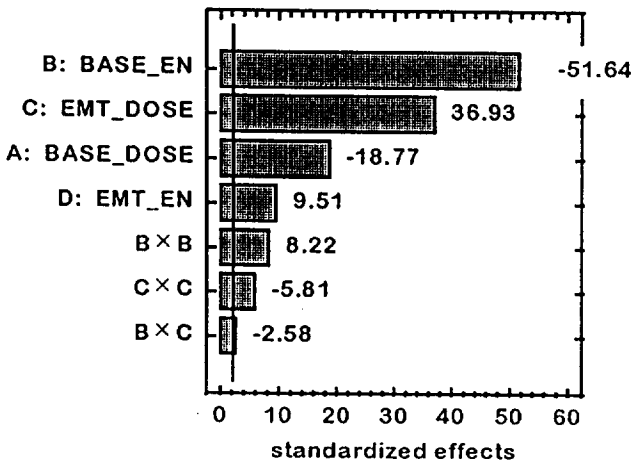
해 모두 상용로그를 취해 분석하고, 유의하지 않은 효과들을 전부 오차항에 풀링한 후의 최종적인 분산분석 결과를 <표 4>에 나타낸다. <표 4>에 나타내어진 7개 효과 항은 모두 유의수준 5%에서 유의하며, "R-Square" 와 "Adjust R-Square" 값이 각각 0.996, 0.994로서 전체 변동량의 대부분이 이들 7개 효과가 차지하고 있음을 보이고 있다. 특히, 베이스 이온주입 에너지(B인자)와 에미터 이온주입량(C인자)의 일차 주효과가 전류이득 특성에 주목할 만한 영향을 미치고 있음을 알 수 있다. 표준화된 효과의 유의성을 <그림 3>에 나타내었다.

<표 4> Box-Behnken 실험에 대한 ANOVA 분석결과

Source	SS	DF	MS	F Ratio	p-value
A: BASE_DOSE	0.21352538	1	0.21352538	352.45	0.0000
B: BASE_EN	1.61554876	1	1.61554876	2666.64	0.0000
C: EMT_DOSE	0.82631335	1	0.82631335	1363.92	0.0000
D: EMT_EN	0.05477359	1	0.05477359	90.41	0.0000
B × C	0.00403860	1	0.00403860	6.67	0.0183
B × B	0.04090700	1	0.04090700	64.52	0.0000
C × C	0.02041632	1	0.02041632	33.70	0.0000
Total Error	0.01151089	19	0.000605836		
Total	2.80163040	26			

R-Square = 0.995891 Adjusted R-Square = 0.994378

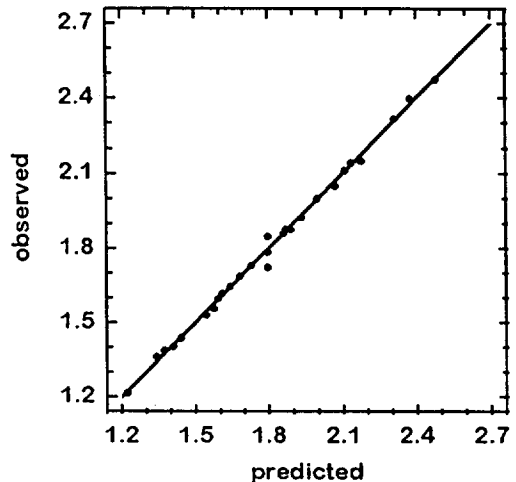
Bar Chart for log10_hFE



<그림 3> 표준화된 유의 효과의 막대 그래프

분석결과 얻어진 이차 다항회귀 모델은 식 (2)와 같으며, 주어진 실험 공간에서 식 (2)에 의한 모델 추정값과 시뮬레이션 출력 값을 비교하여 <그림 4>에 이를 나타내었다.

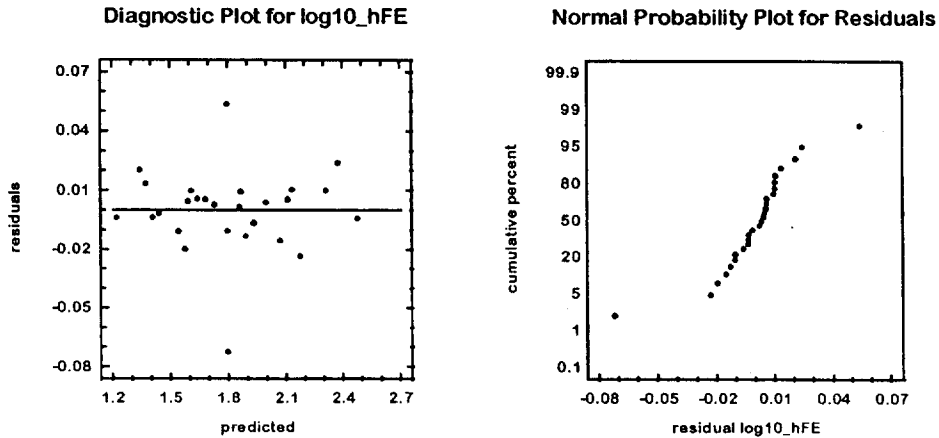
Diagnostic Plot for log10_hFE



<그림 4> 전류이득(hFE)의 예측값과 시뮬레이션 출력값과의 비교

$$\begin{aligned}
 hFE = & 2.468755 - 0.381124 \cdot (BASE_DOSE) - 0.089529 \cdot (BASE_EN) \\
 & + 0.000799 \cdot (BASE_EN)^2 + 0.392437 \cdot (EMT_DOSE) \\
 & - 0.014120 \cdot (EMT_DOSE)^2 + 0.006756 \cdot (EMT_EN) \\
 & - 0.001589 \cdot (BASE_EN \times EMT_DOSE)
 \end{aligned} \tag{2}$$

<그림 4>에서 보듯 주어진 실험 공간에서 추정된 모델 식 (2)에 의해 얻어진 추정 값과 시뮬레이션 출력 값은 상당히 근사하게 일치함을 알 수 있다. 이를 <그림 5>에 나타낸 잔차 분석을 통하여 좀 더 정밀하게 검토하고자 하였다. <그림 5> 좌측의 잔차 분석에서 보면 상용로그 변환된 특성 추정 값 1.8 (전류이득 약 63)에서 관측된 이상 잔차를 제외하면 대체로 양호한 모습을 보인다. 이는 중앙점에서 변동인자로 삼았던 폴리실리콘 박막두께의 변화 때문에 생긴 것인데, 최대 잔차 폭이 약 ±0.07 (전류이득 단위로 환산 시 ±1.17)로서 실무적으로 허용할 수 있는 오차라 판단하였다. 이는 잔차의 정규성을 보기 위한 <그림



〈그림 5〉 모델 검증을 위한 잔차분석

5) 우측의 정규 확률지 그래프에서도 마찬가지로이다. 양 끝단의 이상 치가 제외된다면 잔차는 정규성을 따른다고 할 수 있다. 또한, 본 사례에서 목표로 했던 전류이득 특성 값 130을 상용로그로 환산한 값이 약 2.11 이고, 식 (2)에서 이상 잔차가 생기는 1.8 (전류이득 약 63)과는 상당한 거리가 있다고 보고 식 (2)를 이용해 최적 공정 조건을 설정하여 현장 라인에서 확인해 보기로 하였다.

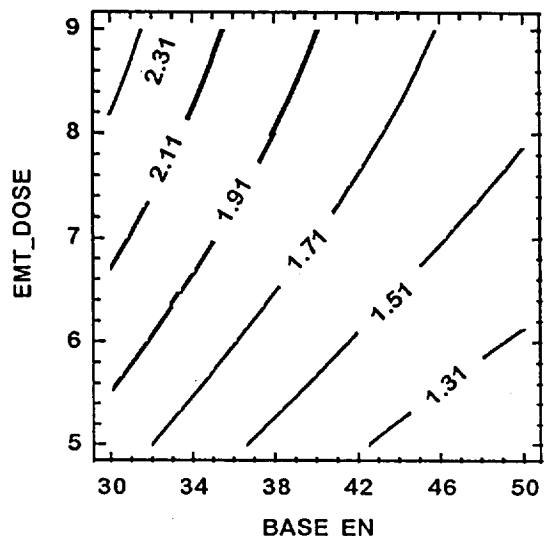
현장에서의 재현성 확인을 위한 추천 조건을 알아 내기 위해 식 (2)를 이용한 반응표면 곡선을 〈그림 6〉 과 〈그림 7〉에 각각 나타내었다. 이때 〈표 4〉의 분산 분석표 및 〈그림 3〉의 표준화된 효과의 막대 그래프 에서 알 수 있듯이 전류이득에 대하여 가장 큰 영향을 주는 베이스 이온주입 에너지(B인자)와 에미터 이온주입량(C인자)을 제외한 베이스 이온주입량(A인자)와 에미터 이온주입 에너지(D인자)는 다른 특성에의 영향을 고려하여 고정한 후, B인자와 C인자에 대하여 반응표면을 나타내었다. 〈그림 6〉에서 알 수 있듯이 상용로그에 의한 전류이득의 변경 목표 값 2.11은 굵은 실선으로 나타낸 반응표면 곡선 사이에 위치하는 데, 현장에서의 작업성을 고려하여 선택된 추천 조건 을 〈표 5〉에 나타내었다. 현장에서의 작업성을 좋게 하는 것이란 어떤 인자의 수준을 선택할 때 그 인자가 계량형 인자라 하더라도 주어진 수준 폭 내의 어

떤 조건은 현장에서 여러 공법이 같은 장비에서 진행 된다는지 하는 관리상의 이유 등으로 되도록이면 사용되지 않는 조건을 배제한다는 것이다. 예를 들어, 본 논문의 베이스 에너지의 경우는 5 KeV의 배수로 수준을 선택하였다.

〈표 5〉에는 최적조건 이외에 주어진 실험공간에서 추정된 회귀식의 타당성 검증을 위한 확인조건(Worst

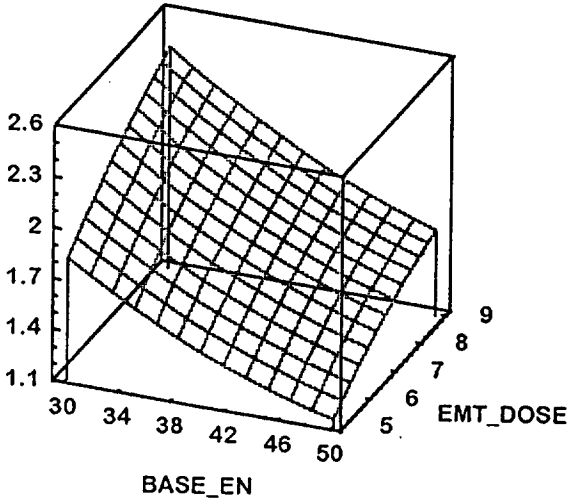
Estimated Response Contour (log10 hFE)

BASE_DOSE=1.6, EMT_EN=80, Target=2.114



〈그림 6〉 전류이득(hFE) 특성의 반응표면 곡선

Estimated Response Surface (log10 hFE)
BASE_DOSE=1.6, EMT_EN=80, Target=2.114



(그림 7) 전류이득(hFE) 특성의 3차원 반응표면 곡선

(표 5) 현장 확인을 위한 추천조건

기호	인자명	추천조건 (최적)	확인목적 1	확인목적 2
A	BASE DOSE	1.6	1.6	1.6
B	BASE IIP ENERGY	35	40	35
C	EMT DOSE	9	9	9
D	EMT IIP ENERGY	80	80	100

Case) 2가지가 추가로 선택되었다.

〈표 5〉의 추천조건에 대한 검증 로트의 현장 확인 실측 값을 〈표 6〉에 나타내었으며, 한 개 모집단의 평균에 대한 양측 t 검정 결과 유의수준 5%에서 예측 값이 재현됨을 확인하였다. (귀무가설 : $\mu = \mu_0$, 대립가설 : $\mu \neq \mu_0$)

〈표 6〉에서 원하는 목표 값에 근사한 공정 조건을 얻을 수 있었으나, 현장에서의 산포가 전류 이득의 평균이 증가할수록 커지고 있음을 알 수 있었다. 이는, 현장변동 고려 요인으로 폴리실리콘 박막 두께 하나만을 고려함에 따라 실제 현장에서는 이것 이외의 다른 요인이 작용했음을 짐작하게 한다.

〈표 6〉 현장 확인용 검증 로트의 전류이득 특성 가설검정 결과 (양측, $\alpha = 0.05$)

확인조건	전류이득 예측치	실측치 평균 (표준편차)	웨이퍼 수 (샘플수)	t 검정통계량 값 (p-value)
최적	135.62	135(14.09)	4(12)	0.144(0.888)
확인 1	81.81	92(10.6)	2(6)	2.355(0.065)
확인 2	185.11	161(29.3)	2(6)	2.016(0.100)

5. 결론

본 논문에서는 실험계획법을 반도체 공정 및 소자 시뮬레이터에 적용하는 기존 연구자들의 방법을 현장 실무에 응용한 사례를 소개하였다. 이를 위해 시뮬레이션시 선택한 인자들을 단위공정의 입력에 해당하는 것과 출력에 해당하는 것으로 구분하고, 전자를 실험 인자로 후자를 현장의 변동을 고려하기 위한 인자로 분류하였다. 사용한 실험 계획법은 Box-Behnken 디자인과 같이 사용자가 고려한 실험 공간 내에서 실험이 이루어지는 반응표면 분석법을 이용하였으며, 변동요인으로 선택한 인자들에 대한 3수준계 실험계획법을 이용하여 중앙점 반복 실험을 실시하였다. 변동요인의 수준 폭으로는 실제 현장에서의 변동 폭을 알지 못할 경우에도 활용할 수 있도록 하기 위해 기존 공정의 주어진 규격 폭을 사용하였다. 이는 실무적인 관점에서 규격을 벗어난 제품이 후속 공정으로 전달되는 것을 배제한다면 최악의 실험오차를 가정한 상태의 결과를 얻을 수 있게 되므로 분석결과 유의한 효과가 현장에서도 재현될 가능성이 높아질 것이라 예상하였다.

본 논문에서 실험계획법을 반도체 시뮬레이터에 적용하기 위한 가장 최우선적으로 고려한 것은 시뮬레이션 횟수의 절감이었다. 이는 컴퓨터 시뮬레이션이 현장에 대한 직접적인 실험에 비해 비용과 시간을 단축해 준다는 일반적인 장점이 있다고는 하지만 반도체 산업의 경우 최종 소자특성 또는 회로특성(제품특성)을 얻기 위해서는 두세 가지의 시뮬레이터를 거쳐야 하는데 아직까지 시뮬레이터 결과만을 믿고 공정조건을 결정할 만큼 현장 상황을 그대로 반영하는

시뮬레이터는 없으므로 모든 시뮬레이션의 결과는 반드시 현장에서의 확인이 필요하기 때문이다. 즉, 어떠한 경우라도 시뮬레이션에 소요되는 시간은 최소화되어야 한다는 당위성 때문이었다.

이러한 방법을 이용하여 $0.8\mu\text{m}$ 급 BIMOS 공정 NPN 트랜지스터의 전류이득 특성의 목표값을 만족시키는 최적의 공정 조건을 결정하였으며, 실제 현장에서는 최소한의 검증 로트만을 통해 추천된 공정조건의 타당성을 확인할 수 있었다. 완제품이 나오기까지 한 달 이상의 공기가 필요한 반도체 산업과 같은 곳에서 산업공학의 여러 관련 기법, 특히 실험계획법의 위력은 시간적인 개발 또는 개선기간 단축 효과 이외에도 많은 비용절감 효과를 가져 오게 하였다. 또한, 기존의 방법이 엔지니어의 경험에 의해 수차례의 시뮬레이션을 실시한 후 원하는 소자 특성을 얻기 위해 실제 현장에서 적게는 5로트 이상 많게는 10여 로트를 소모하고도 실험했던 공간 내에서의 단편적인 지식 습득에 그치는 것에 비해, 본 논문의 사례에서 보듯 3로트의 진행으로 실험 공간내에서 인자들간 교호 효과의 정량적 분석등 체계적인 기술적 노하우를 축적할 수 있다는 것은 산술적인 웨이퍼 소모의 절감 효과를 대치 하고도 남는다 하겠다.

현재 2차원 시뮬레이터에 대하여 본 방법을 확대 적용 중이며 앞으로는 회로 시뮬레이터에 대한 적용 검토가 이루어져야 할 것이다. 또한, 시뮬레이터의 교정에 대하여 실험계획법을 적용하기 위한 방법이 좀더 체계적으로 연구되어야 하며, 교정된 시뮬레이터를 이용하여 각 단위공정의 규격을 설정하는 문제 등도 향후 연구되어야 할 분야라 생각한다.

【참고문헌】

- [1] 이대영, 동승훈, 김명성, 송주동, 임순권, 최규현, "반도체 공정 및 소자 시뮬레이션에서의 DOE 적용방법", 삼성전자 삼성반도체학회 기술논문집, 9권, 1호, 235-243, 1994.
- [2] Alvarez, A. R., Abdi, B. L., Young, D. L., Weed, H. D., Teplik, J. and Herald, E. R., "Application of Statistical Design and Response Surface Methods to Computer-Aided VLSI Device Design", IEEE Transactions on Computer-Aided Design, Vol. 7, No. 2, 272-288, 1988.
- [3] Young, D. L., Teplik, J., Weed, H. D., Tracht, N. T. and Alvarez, A. R., "Application of Statistical Design and Response Surface Methods to Computer-Aided VLSI Device Design II : Desirability Functions and Taguchi Methods", IEEE Transactions on Computer-Aided Design, Vol. 10, No. 1, 103-115, 1991.
- [4] Boning, D. S. and Mozumder, P. K., "DOE/Opt : A System for Design of Experiments, Response Surface Modeling, and Optimization Using Process and Device Simulation", IEEE Transactions on Semiconductor Manufacturing, Vol. 7, No. 2, 233-244, 1994.
- [5] Gaston, G. J. and Walton, A. J., "The Integration of Simulation and Response Surface Methodology for the Optimization of IC Processes", IEEE Transactions on Semiconductor Manufacturing, Vol. 7, No. 1, 22-33, 1994.
- [6] Welch, W. J., Yu, T. K., Kang, S. M. and Sacks, J., "Computer Experiments for Quality Control by Parameter Design", Journal of Quality Technology, Vol. 22, No. 1, 15-22, 1990.
- [7] Sharifzadeh, S., Koehler, J. R., Owen, A. B. and Shott, J. D., "Using Simulators to Model Transmitted Variability in IC Manufacturing", IEEE Transactions on Semiconductor Manufacturing, Vol. 2, No. 3, 82-93, 1989.
- [8] Roulston, D. J. and Strayer, H., TMA BIPOLE's User's Manual Ver. 1.9, California : Technology Modeling Associates, Inc, 1994.
- [9] Technology Modeling Associates, Inc., TMA SUPREM3 Ver. 6.1.1, California : Technology Modeling Associates, Inc, 1994.



동승훈

1991. 2 한국과학기술원 산업공학과
졸업

1991~ 삼성전자 반도체부문 품질
보증실 근무

관심분야 실험계획법, SPC, 신뢰성시
험 등 반도체분야에 대한 통
계기법 응용분야

이대영

1990. 2 서강대학교 물리학과 졸업

1990~ 삼성전자 반도체부문 공정
개발업무 수행

(MI 제품 1팀 근무)

관심분야 반도체 공정개발