

반도체 제조업에서 사용되는 수율 모델의 비교 및 이용*

박광수** · 전치혁** · 김수영**

The Comparison and Use of Yield Models in Semiconductor Manufacturing

Kwang-Su Park · Chi-Hyuck Jun · Soo-Young Kim

〈요 약〉

지난 30여 년간 반도체 제조 공정 중 FAB공정에서 칩 수율 모델의 개발과 적용은 반도체 생산 계획 및 조업 관리를 위해 반도체 제조사들에게는 중요한 관리 대상이 되어 왔으며 제조업체들은 다양한 수율 모델들을 각 업체의 조건에 맞게 채택, 적용하여 왔다. 집적 기술의 발전은 반도체 칩의 크기에도 변화를 가져와 웨이퍼상의 결점들이 형성하는 클러스터를 설명할 수 있어야 했으며 칩 면적의 증가는 새로운 수율 모델을 개발케 하였다. 본 논문은 반도체 제조 공정에 대한 고찰과 수율 계산에 영향을 미치는 결점의 클러스터 효과 및 결점 크기를 중심으로 하는 치명 확률에 대하여 살펴 보고, 포아송 모델에서 파생된 대표적인 칩 수율 모델들에 대한 설명과 칩 면적의 변화에 따른 각 모델별 수율 계산 비교 및 반도체 수율의 이용에 대하여 기술한다.

1. 서론

적절한 통계적 기법을 반도체 제조업에 도입하는 것은 다른 모든 제조업에서와 마찬가지로 제조업의 경쟁력 유지를 위해 대단히 중요한 의미를 가진다. 신규 설비 투자 때마다 큰 비용이 필요한 반도체 제조업에서는 조기에 적절한 생산성을 확보하는 것이 중요하다. 따라서 반도체 제조업에서 다양한 관리 요인이 있음에도 수율(yield)이 무엇보다도 우선 관리 대상이 되고 있다. 제조업의 성공에는 다양한 요인들이 작용한다. 능동적인 시장 개척, 합리적인 생산성, 그리고 적정 수준의 자재 공급 등 다양한 일련의 경영 활동이 효율적으로 이루어져야 한다.

특히 반도체 산업에 있어서 합리적인 생산성을 유

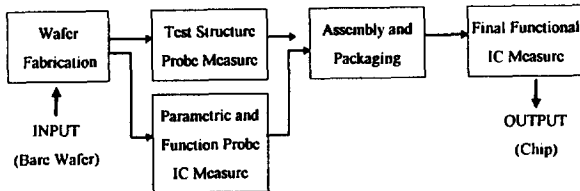
지하기 위해서는 반도체 생산 공정의 적절한 단위 작업 시간 유지, 재 작업을 억제, 적정 재공(work-in-process: WIP) 유지, 그리고 막힘 없는 공정의 흐름 등이 절대적이다. 이러한 일련의 공정 요인들 중 반도체 산업에 있어서 반드시 고려되어야 하는 것이 매 작업에 따른 수율이다. 수율은 반도체 공정상의 문제점을 찾는 데 도움이 될 수 있고, 생산 후 여분의 반도체를 폐기 처분해야 하는 주문 생산의 경우 공정에서의 자재 투입량 결정에 지표로 이용될 수 있으며, 공정의 적정 흐름을 유도하고자 하는 라인 밸런싱 그리고 적정 재공 유지 등 생산 계획의 작성에도 수율은 반드시 고려되어야 한다. 특히, 생산 라인의 초기 생산 작업에 있어 라인의 안정화에 이르는 데에는 수율이 중요한 지표로서 역할을 한다.

* 본 연구는 한국과학재단의 우수 연구센터인 공정산업의 지능자동화센터에 의해 부분적으로 지원되었음.

** 포항공과대학교 산업공학과

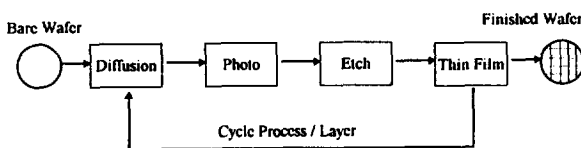
1.1 반도체 제조 공정

반도체 산업은 장치 산업이라 불릴 만큼 그 공정이 복잡하며 다양하다. 하지만 일반적인 반도체 칩(IC)의 생산 구조는 아래 <그림 1>과 같이 요약할 수 있다.



<그림 1> 반도체 제조 공정의 일반 구조

가공된 웨이퍼(bare wafer)가 공정상에 들어 오면 웨이퍼의 표면에 여러 종류의 막을 형성한 후 특정 부분을 선택적으로 제거하는 작업을 되풀이함으로써 전자회로를 구성하는 과정인 FAB공정(fabrication process)을 거친 후 검사 부분과 웨이퍼상의 칩을 개개로 잘라서 리드 프레임과 결합하여 완제품으로 조립하는 공정을 거쳐 마지막 완성된 제품이 제대로 동작하는지를 검사하는 기능 검사를 마치면 제품으로서 출하를 하게 된다. 이때 반도체 공정에서 가장 복잡(Lee [25]에 따르면 layer(step) 당 20여 개의 단위 공정을 반복하는 순환 공정으로서 총 300여 개의 단위 공정으로 구성)하면서도 다양한 제약이 존재하는 FAB공정의 개략적인 구성을 아래 <그림 2>와 같이 표현할 수 있다.



<그림 2> FAB공정의 개략적 구조

위 <그림 2>에서 보여주는 것은 FAB공정은 산화막을 형성(oxidation)하는 diffusion공정과 웨이퍼 상에 전자회로를 그려 넣는 photo공정, 그리고 회로 패턴을 형성하는 etching공정, 불순물 주입으로 전자 소자의 특성을 만들어 주는 thin film공정으로 이루어진다. 이

러한 공정을 필요한 횟수 만큼 여러번 반복하여 줌으로써 최종 회로를 구성하는 칩(chip 또는 die)이 완성되는 웨이퍼 가공이 이루어진다.

1.2 반도체 수율

수율에 대한 다양한 정의가 있으나 일반적으로 반도체 칩의 수율은 생산 계획된 칩의 수에 대한 일정 필수 기능을 충족시키는 실제 생산된 칩 수의 비율이다. 즉 수율을 “불량률의 반대”라고 할 수 있으며 반도체 제조과정을 그림 1과 같이 나타냈을 때 투입량(INPUT) 대비 제조되어 나온 양(OUTPUT)의 비율을 수율이라 할 수 있다.

반도체 산업에서 수율의 중요성이 강조되는 이유는 제조공정에서 부딪히는 실수나 문제점이 제품에 치명적인 영향을 미치기 때문이다. 다른 제조업에서와 같이 완성 제품의 불량률이 일정 부분에 있을 때 그 부분을 교체할 수 없는 것이 반도체 제품의 특징이기 때문에 매 공정마다 수율 관리가 이루어져야 한다.

반도체 수율은 제조 단계에 따라 FAB수율, EDS수율, ASS'Y수율, TEST수율 등으로 구분된다[25]. 즉, 생산 공정 중의 재공 수준이 일정할 때, 공정 전체의 수율은 아래 식(1)과 같이 표현할 수 있다[10].

$$Y_{\text{overall}} = Y_{\text{line}} Y_{\text{die}} Y_{\text{assembly}} Y_{\text{final test}} Y_{\text{quality}} \quad (1)$$

즉 공정 전체의 수율은 FAB공정을 거친 후 웨이퍼에 대한 양품 비율인 라인 수율(line yield : Y_{line}), 웨이퍼 별 칩의 양품 비율인 칩 수율(die yield : Y_{die}), 조립 작업이 완성된 비율인 ASS'Y 수율(Y_{assembly}), 최종 검사 후 측정되는 Test 수율($Y_{\text{final test}}$), 완전한 제품으로서 품질을 고려한 품질 수율(Y_{quality}) 등 공정별 수율의 곱으로 나타난다. 생산이 이루어지고 있는 제조 라인에서는 앞의 두 가지 수율, Y_{line} 과 Y_{die} 이 일반적으로 가장 중요한 생산 비용 결정 요인으로 작용한다. 실제로 반도체 공정의 대부분의 중요 공정이 FAB공정이고 이에 대한 수율인 Y_{line} , Y_{die} 가 당연히 중요시된다. 그리고 대부분의 수율에 대한 연구 역시 Y_{die} 에 관한 것이 주를 이루고 있다. Cunningham[10]에 의한 주

어진 기간에 대한 라인 수율의 대표적인 표현이 아래 식(2)와 같다.

$$Y_{line} = \left[\frac{\text{total wafer moves in the line}}{\text{moves + scrap wafers - bonus wafers}} \right]^n \quad (2)$$

이때 n은 웨이퍼가 가공되는 layer(step)의 수이며, bonus wafers는 재 가공된 웨이퍼 수를, 그리고 scrap wafers는 폐기된 웨이퍼 수를 나타낸다. 본 논문의 주 대상이 되는 칩 수율에 대한 자세한 설명은 3절에서 이루어지며 일반적인 설명은 아래와 같다.

1.3 칩 수율 모델

FAB공정의 성공적인 운영에는 경쟁력이 있는 순수 칩 수율(net-die-per-wafer yield)의 획득이 필수적이다. 대부분의 FAB공정의 칩수율(Y_{die})은 끊임없는 노력과 비용의 결과로 50 - 90%정도를 얻을 수 있다. 평균 칩 수율에 대한 예측은 대단히 중요하며, 반도체 제조 회사들은 다음의 세 가지를 포함한 다양한 이유로 수율 모델을 사용한다.

- 1) 다양한 제품이 이루어지는 생산 라인에서 기대 이하의 수율이 나왔을 때 관리자들에게 일련의 조치를 취해야 함을 알려 준다.
- 2) 개발 중인 제품의 생산 원가 계산에 이용된다.
- 3) 반도체의 집적 정도를 제한하는 척도로 이용된다.

일반적인 칩 수율은 단위 면적의 결점수 D_0 , 칩 면적 A, 그리고 칩 면적에 대한 회로로 사용되는 비율 등 경험에 의한 수정 요인 C의 함수로 다음의 식(3)과 같이 나타낼 수 있다.

$$Y_{die} = f(D_0, A, C) \quad (3)$$

2. 결점의 공간 분포

2.1 수율 모델을 위해 고려되는 결점의 특성

최근 수년간 반도체 제조 설비업에 있어 가장 큰 목표는 결점 감소에 있다. 결점의 감소는 수율의 증가와 바로 연관되고 설비 산업이라 불리우는 반도체 산업의 경쟁력과 직결되기 때문이다. 수율 측정을 위한 모델에서 칩의 불량 원인에 대한 다양한 가능성이 존재한다. 칩상에 떨어진 먼지 혹은 화학 약품 등이 칩의 기능에 영향을 미치는 결점(defect)이 되며 다음과 같은 사항이 고려되어야 한다.

- 1) 결점이 영향을 미친 반도체 칩의 layer는 어디인가?
- 2) 칩상에서 결점의 위치는 어디인가?
- 3) 결점의 크기와 형태는 어떠한가?
- 4) 결점의 전기적 특성은 어떠한가?

따라서, 위의 고려 요인들을 알려줄 수 있는 수율 모델은 다음의 특성을 가져야 한다.

- 1) 단위 면적에 있는 결점의 수로 표현되는 결점들의 밀도(density)의 분포.
- 2) 결점 크기 분포.
- 3) 결점의 전기적 특성.

결점의 특성(characteristics)에 대한 결정과 결점의 기본적인 양태(feature)를 포함하는 수율 모델에 대한 Moore[32]의 시대별 분류는 다음과 같다.

- 1) 초기 '60년대: 결점 밀도에 대한 고려만 가능한 모델.
- 2) 2세대 '70년대: 결점의 비균일성(nonuniformities)에 대한 연구가 이루어졌으며 클러스터(cluster) 효과에 대한 설명이 가능한 모델.
- 3) 3세대 '80년대 이후: 결점의 크기가 고려되면서 클러스터 효과를 설명하는 모델.

따라서 위에서 요구되는 수율 모델을 위한 웨이퍼 상에서 결점들의 대표적인 특징인 클러스터 효과와 결점이 칩의 기능에 영향을 미치는 치명적일 가능성을 결점의 크기와 연관하여 다양한 연구가 이루어졌으며 다음 2.2, 2.3, 2.4절에서 설명하는 것과 같다. 하지만 개개의 결점이 어떤 전기적 특성을 가지는가에 대한 연구는 결점의 검사 과정에서 한계가 있기 때문에 그 연구가 미미하다.

2.2 결점의 클러스터 효과

웨이퍼 결점뿐만 아니라 일정 공간상의 포인트의 분포는 다음의 대표적인 세 가지로 분류가 가능하다. 첫째는 포인트가 완전히 랜덤한 것이고, 두번째는 포인트들이 뭉쳐진 형태, 즉 클러스터를 형성하는 것이며, 마지막으로 세번째는 포인트들이 규칙적인 형태로 분포하는 것이다. 완전히 랜덤한 경우에는 칩별 포인트 수가 포아송 분포(Poisson distribution)로 표현되지만 클러스터링 된 경우나 규칙적인 분포를 가진 경우는 클러스터를 고려하는 개념이 도입되어야 한다 [9]. 3절에서 설명되는 컴파운드 포아송(compound Poisson) 수율 모델들은 칩간 결점의 변화에 관심을 둔 것이지만 점차 칩의 크기가 커짐에 따라 칩 내에서의 결점의 분포에 대한 관심이 커지게 되었다. 즉 웨이퍼 상에서의 클러스터를 설명함으로써 컴파운드 포아송 모델들이 훌륭한 결과를 보여 주었지만 칩 크기의 증가는 칩 내에서의 클러스터의 존재와 이에 대한 설명이 필요하게 되었다. 이러한 목적에 따라 연구가 된 것이 혼합(mixed) 포아송 분포의 한 부류로서 일반화된 이중 포아송(generalized double Poisson) 분포이다[19, 41]. 이런 분포에 대한 초기의 연구는 천문학에서 우주상에 분포한 별들의 클러스터 효과를 설명하고자 하는 것과, 생물학에서 동식물의 식생 분포를 연구하는 데 공간(spatial) 분포를 도입함으로써 얻어진 결과들이기도 하다. 본 논문에서는 수율 계산을 위한 기본적인 포아송 모델, 컴파운드 포아송 모델, 그리고 일반화된 이중 포아송 모델을 주 대상으로 한다.

공간 통계량(spatial statistics)을 고려할 때 전통적인 샘플링 방법은 주어진 평면에 격자(grid)를 부여하여

각 정사각형을 quadrat(혹은 cell, window)라 부르며 각 셀상에서의 포인트(결점 혹은 치명 결점)의 수를 세는 것이다[9]. 클러스터 효과에 대한 연구로는 천문학에서 성단이 클러스터를 형성하는 것에 대한 연구는 Cliff[6, 7] 등에 의해서, 동식물에 대한 식생 분포의 연구는 Thomas[19, 41] 등에 의해 연구 되었으며, 인간의 사회적 행동 양태에 대한 연구는 Cliff, Ripley[6, 7] 등에 의해서 수행되었다. 클러스터를 정의하는 가장 간단한 방법은 포인트간 근접성, 즉 포인트간 거리를 측정함으로써 가능하다. 이 거리는 연구의 대상에 따라 수광년에서 수미크론(micron)까지 변화가 다양하다. 하지만 이러한 거리에 관계 없이 샘플링이 되는 셀의 크기에 클러스터의 효과가 많은 영향을 받는다. 통계적으로 클러스터를 정의하는 것은 보다 복잡하기도 하고 명확하지가 못하다. 하지만 포아송 분포에 근거한 일반화된 포아송 분포에 의해 다음과 같은 설명이 가능하다.

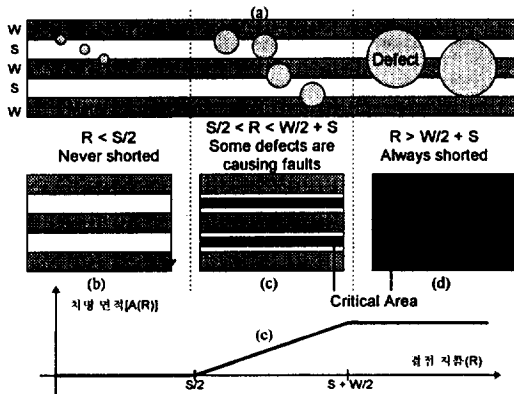
결점의 분포가 포아송 분포를 따르며 결점의 밀도가 또 다른 분포를 가진다고 보는 것이 컴파운드 모델이다. 이때에는 밀도의 변화가 상대적으로 작다고 본 것이며, 결점이 클러스터를 형성할 때 각 클러스터 센터의 수가 포아송 분포를 따르고 각 클러스터의 결점 수가 또 다른 하나의 분포를 따른다고 하는 것이 일반화된 포아송 분포이다. 대표적인 것으로 Neyman에 의해 제안된 것으로 각 클러스터에 있는 결점 수를 포아송 분포로 가정한 Neyman Type A 분포와 Thomas에 의해 제안된 것으로 클러스터별 결점 수의 분포가 클러스터 센터 하나를 더한 값이 포아송 분포를 따른다고 가정한 Thomas 분포가 있다. 컴파운드 분포가 감마일 때 그 결과가 음 이항 분포이지만, 클러스터별 결점 수의 분포가 Log-Series 분포일 때 그 결과 역시 음 이항 분포가 된다고 알려져 있다[19]. 즉 한 셀 내에 있는 결점들의 설명에 있어 접근 방법은 서로 다르지만 그 결과는 동일할 수 있다.

결점의 클러스터 효과에 관한 연구 중 특이한 것으로 Ferris-Prabhu[14]는 웨이퍼 상의 결점들이 웨이퍼의 가장자리에서 많이 발견되며 따라서 웨이퍼상에서의 수율 변화를 살펴보면 가장자리에서 5-10mm 내에 있는 칩은 대부분 불량으로 나타난다고 한다. 이것은

Lot 단위로 공정이 구성되는 FAB공정에서 각 웨이퍼는 가장 자리 부분에서 오염 등의 불량 요인에 접할 기회가 많은 데 그 원인을 두고 있다.

2.3 치명 확률과 관련된 결점 크기에 대한 고찰

다양한 원인에도 불구하고 결점들의 크기와 위치가 어떻게 칩의 기능에 영향을 미치는가에 대한 관계를 고려해 볼 수 있다. 칩상의 어떤 결점은 칩의 기능과 무관할 수 있으며 이는 결점의 크기와 결점의 위치에 따라서 그 결과가 결정난다. 일정 크기 이하의 결점은 칩의 기능에 영향을 주지 않으며, 또 다른 일정 크기 이하의 결점은 그 위치에 따라 칩의 양품 여부를 결정케 할 수 있다. 아래 Moore[32]에 의해 보여진 <그림 3>에서와 같이 일정한 간격과 두께를 가지는 평행한 회로상에서 위치에 상관 없이 칩의 기능에 영향을 줄 수 있는 충분한 크기의 결점과 위치에 따라 칩의 기능에 영향을 미칠 수 있는 중간 크기의 결점, 그리고 위치에 상관 없이 칩의 기능에 영향을 미치지 않는 작은 크기의 결점으로 구분할 수 있다.



- (a) 다양한 결점의 크기에 대한 간격 W, 두께 S의 회로상에서 결점의 영향
- (b) 작은 크기(지름 $R < S/2$)의 결점에 대한,
- (c) 중간 크기($S/2 < R < S+W/2$)의 결점에 대한,
- (d) 큰 크기($R > S+W/2$)의 결점에 대한 치명적인 결점 중앙(치명 영역)의 위치
- (e) 결점 크기에 대한 치명 영역의 면적 함수

<그림 3> 결점 크기별 회로에 미치는 영향 및 치명 영역

이외에도 많은 이유에 의해서 각 결점이 칩의 기능에 영향을 미칠 수 있다. 하지만 이제까지 수율 모델에 대한 대부분의 연구에서는 이러한 칩의 기능에 영향을 미치는 원인에 따른 칩상의 결점의 크기에 대해 주로 연구가 이루어졌다. 각 결점이 칩의 기능에 결정적인 영향을 미치는 것으로 치명 결점(fatal defect)인가 아니면 영향을 미치지 않는 비치명 결점(non-fatal defect)인가만을 고려할 때 특히 치명 결점은 Stapper 등이 제시한 용어로 치명 결점(폴트, fault)이라 한다 [30, 37, 38,39].

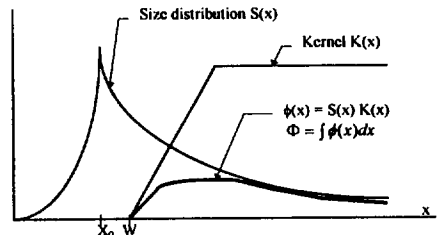
2.4 결점 크기의 분포 및 치명 확률 분포

다양한 형태의 회로상에서 치명 확률(fault probability)을 고려할 때 전형적인 결점의 크기-확률 밀도 함수(defect-size probability density function) $S(x)$, 치명 확률 커널(kernel) $K(x)$, 그리고 이들의 곱으로 나타내는 치명 확률 $\phi(x)$ 를 보여주는 것이 아래 <그림 4>이다.

이때 치명 확률 곡선 $\phi(x)$ 아래 부분의 면적을 구하면 결점의 평균 치명 확률 $\bar{\phi}$ 가 된다. 아래 식(4)에서 보여주는 결점 크기 확률 분포 함수 $S(x)$ 는 많은 연구자들[13, 30, 32, 39]에 의해 파워 함수(power function) 형태로 표현될 수 있음이 알려졌으며 이를 power-law assumption이라 한다.

$$S(x) = c_q x^q, \quad 0 \leq x \leq X_0 \tag{4a}$$

$$S(x) = c_p / x^p, \quad 0 \leq X_0 \leq x \leq X_M \tag{4b}$$



<그림 4> 결점 크기 분포, 치명 확률 커널, 그리고 치명 확률

함수 $S(x)$ 는 함수값이 최고가 되는 X_c 에서 연속이며, W 는 회로의 금속 두께를, 그리고 X_w 은 기대되는 결점 크기의 최고치를 나타낸다. c_0 와 c_p 는 조정 인자로서 적용 상황에 따른 상수 p 와 q 에 따라 결정되는 상수이다.

위 <그림 4>에서 보여주는 치명 확률 커널의 경우 회로가 단순한 형태일 때에는 위에서 보여 주는 것과 같은 직선으로 이루어지지만 형태가 복잡해짐에 따라 점차 부드러운 곡선 형태를 가지게 된다. 또한 <그림 4>에 보여 주는 치명 확률 커널은 <그림 3> (e)에서 보여주는 치명 영역 면적 함수와 유사한 형태를 가짐을 알 수 있다.

3. 수율 모델

위에서는 웨이퍼상 결점의 분포에 대해 일반적인 설명을 하였으나 아래에서는 비교적 많은 연구가 이루어진 웨이퍼당 칩 수율 모델(die-per-wafer yield models)에 대해 자세히 살펴 본다. 기존 클러스터 효과를 설명할 수 있는 모델은 대표적인 것으로 음 이항 수율 모델이 있다. 이전에 사용된 수율 모델은 초기에 포아송 모델을 비롯 다양한 모델이 제시되었으며 아래에서 제시하는 모델은 포아송 모델에 근거한 컴파운드 포아송 수율 모델이다. 아래 3.1절에서 3.5까지는 수율 모델의 발달 과정별로 제시된 컴파운드 포아송 수율 모델에 대한 설명이 기술되어 있으며, 이후에는 이 중 포아송 분포로 알려진 Neyman 분포를 근거로 한 수율 모델과 Thomas 분포를 근거로 한 수율 모델이 각각 3.6절과 3.7절에 기술된다. 그리고 다음절에서는 컴파운드 포아송 모델별 비교 및 파라미터 a 의 대표적인 몇 가지 값에 따른 음 이항 수율 모델의 비교가 차례로 기술된다.

3.1 포아송 수율 모델과 이항 수율 모델

초기의 반도체 수율 모델은 웨이퍼상의 결점들이 균일하고 랜덤하게 분포되어 있다는 가정 아래 칩의 크기와 결점의 밀도를 자료로 하여 연구되었다. 따라서 초창기의 반도체 칩(IC)의 수율 모델은 포아송 분

포에 근거한 것이었다[2, 13, 15, 37, 39, 41]. 즉 칩의 면적 A 와 결점 밀도의 평균 D_0 가 주어질 때, 칩당 결점수 X 의 분포는 다음 식(5)와 같이 표현되며,

$$P\{X = k\} = \frac{e^{-D_0 A} (D_0 A)^k}{k!}, \quad k = 0, 1, 2, \dots \quad (5)$$

수율은 개개의 칩에 결점 수가 0일 확률로서 포아송 수율 모델(Poisson yield model)은 식(6)으로 표현된다.

$$Y_{Poisson} = P\{X = 0\} = e^{-D_0 A} \quad (6)$$

포아송 수율 모델은 결점이 균일하고 서로 독립으로 분포되어 있다는 가정 때문에, 칩의 면적이 작은 경우(Cunningham[10]에 따르면 칩의 크기 $A \leq 0.25 \text{ cm}^2$ 일 때) 식(6)에서 볼 수 있는 것과 같이 간단한 식으로도 다른 모델들보다도 좋은 예측을 하지만 칩의 크기가 커짐에 따라 실제 수율보다 낮게 예측(underestimates)하게 되는 단점이 있다.

다른 형태를 가지고 있지만 같은 값을 주는 것으로 이항 수율 모델(binomial yield model)이 있다. 웨이퍼의 면적을 A_w 라 할 때 성공 확률이 $D_0 A / D_0 A_w$, 즉, A / A_w 로서 전체 웨이퍼에 존재하는 결점수가 $D_0 A_w = n$ 이면 결점수 X 의 분포는 식(7)과 같이 쓸 수 있으며, 수율 식은 식(8)과 같이 됨을 알 수 있다.

$$P\{X = k\} = \frac{n!}{k!(n-k)!} \left(\frac{A}{A_w}\right)^k \left(1 - \frac{A}{A_w}\right)^{n-k} \quad (7)$$

$$Y_{binomial} = P\{X = 0\} = \left(1 - \frac{A}{A_w}\right)^{D_0 A_w} \quad (8)$$

3.2 Murphy 수율 모델

포아송 수율 모델에 존재하는 가정은 결점들의 공간 분포가 결점들간의 상관관계가 없는 임의 분포를 가진다는 것이다. 하지만 칩의 크기가 점차 커짐에 따라 웨이퍼 내에 결점들이 모여있는 정도를 나타내는 클러스터 효과를 설명할 수 있어야만 정확한 수율 계산이 가능하다. 웨이퍼상에서 상대적으로 일정 지역에 뭉쳐진 형태를 가지는 일련의 결점들을 하나의 클

러스터라 할 때, 작은 면적을 가지는 칩의 경우에는 하나의 클러스터 내에 여러 개의 칩이 포함되기 때문에 칩간 결점의 변화가 작으므로 타당한 가정이었다. 그러나 고집적화된 VLSI와 같이 반도체 산업의 발전은 칩의 크기에도 변화를 가져와 상대적으로 커진 하나의 칩에 다수의 클러스터를 포함하게 되었으며 따라서 칩간 결점의 변화를 고려치 않고는 정확한 수율 계산이 불가능하게 되었다.

이에 따라 Murphy[33]의 모델 이후 칩간 결점의 변화를 고려한 다양한 모델들이 제시되었으며, 이것은 결점의 밀도에 확률 분포를 부여하는 방법으로서 연구의 초점은 결점 밀도에 적절한 확률 분포를 도입하는 컴파운드 포아송 모델의 컴파운드 분포를 찾아내는 데 있었다. 즉 결점 밀도가 확률 밀도 함수 $f(D)$ 를 가지는 확률 변수로 가정하여 결점 밀도가 $D = D_0$ 로 주어졌을 때에는 결점수가 포아송 분포를 따르며 이에 대한 수율을 수식으로 나타내면 다음 식(9c)와 같다.

$$X|D=D_0 \sim \text{Poisson}(D_0A) \tag{9a}$$

$$P\{X=0|D=D_0\} = e^{-D_0A} \tag{9b}$$

$$\text{Yield} = \int_0^{\infty} e^{-DA} f(D) dD \tag{9c}$$

Murphy[10, 33]는 종 모양의 가우스 분포를 결점 밀도 함수 $f(D)$ 로 가정할 때 적당한 분포로 생각하였으나 적분이 불가능하여 삼각 분포를 이용하여 근사한 수율 모델이 아래 식(10)과 같다.

$$Y_{\text{Murphy}} = \left[\frac{1 - e^{-D_0A}}{D_0A} \right]^2 \tag{10}$$

제시된 Murphy 수율 모델은 결점수가 확률적으로 변할 수 있다는 가정을 처음으로 도입한 것으로 클러스터 지표에 대한 개념은 수립되지 않았지만 결점 밀도 함수의 도입이라는 데 큰 의미가 있다.

3.3 Seeds 수율 모델

Murphy의 수율 모델이 발표된 이후 Seeds는 결점 밀도 함수를 평균이 D_0 인 지수 분포[식(11)]로 가정하

여 아래 식(12)와 같은 수율 모델을 구하였다[2].

$$f(D) = \frac{1}{D_0} \exp\left\{-\frac{D}{D_0}\right\}, D \geq 0 \tag{11}$$

$$Y_{\text{Seeds}} = \frac{1}{1 + D_0A} \tag{12}$$

3.4 Dingwall 수율 모델 및 Moore 수율 모델

결점 밀도에 대한 분포의 가정 없이 결점 밀도의 평균 D_0 를 알 때, Dingwall은 RCA의 기술자로서, Moore는 Intel에서 각각 자신이 속한 반도체 공장에서 생산되는 칩을 대상으로 최소 오차 자승법(least square method)를 이용 다음 식(13), (14)에서 보는 것과 같은 수율 모델을 제시하였다.

$$Y_{\text{Dingwall}} = \left[1 + \frac{D_0A}{3} \right]^{-3} \tag{13}$$

$$Y_{\text{Moore}} = \exp(-\sqrt{D_0A}) \tag{14}$$

위에서 구해진 두 개의 수율 모델은 각자의 공장 여건에 가장 적합한 것으로 일반적인 수율 모델로서 웨이퍼상의 다양한 결점의 분포를 전체적으로 설명하는 데는 부족한 점을 가지고 있다.

3.5 음 이항(negative binomial : NB) 수율 모델

위에서 기술한 5가지 모델들은 각각이 특정 클러스터 정도를 잘 설명할 수 있지만 일반적인 수율 모델로서는 부적절하였다. 한편으로 '70년대 초반 이후 Price에 의해 Seeds 수율 모델을 중첩한 형태인 식(15)와 같은 수율 모델이 제시되었다[10]. 이때 D_i 는 반도체 제조의 각 layer마다 있는 결점의 밀도를 나타내며 n 이 layer 수를 나타낸다.

$$Y_{\text{Price}} = \prod_{i=1}^n \frac{1}{1 + D_iA} \tag{15}$$

위 모델은 많은 회사들에서 다음 식(16)과 같이 식(15)가 변형되어서 사용되었다. 그리고 식(16)에서 D_i/n 은 각 layer에 있는 평균 결점 밀도를 나타낸다.

$$Yield = \left(1 + \frac{D_0 A}{n}\right)^{-n} \quad (16)$$

최근까지는 칩 결점의 밀도를 감마 분포로 가정하여 칩 결점의 수가 음 이항(negative binomial) 분포를 따른다는 음 이항 수율 모델이 많이 연구되었다. 칩 당 결점수 X가 컴파운드 포아송 분포를 따를 때, 결점수에 대한 분포는 아래 식 (17)과 같이 표현 할 수 있다.

$$\Pr\{X = k\} = \int_0^{\infty} \frac{e^{-AD}(AD)^k}{k!} f(D) dD \quad (17)$$

이때 컴파운더 $f(D)$ 가 가우스 분포인 것은 Murphy [2, 10, 33, 39]에 의해서, $f(D)$ 가 지수 분포인 것은 Seeds [2, 10, 39]에 의해서 제시된 것으로 앞에서 기술 하였으며, 그리고 Stapper 등 [2, 10, 33, 37, 39]에 의해서 $f(D)$ 가 감마 분포로서 식(18)과 같을 때 식(17)의 적분 결과로서 결점수 X의 분포는 식(19)와 같이 된다. 이 수율 모델이 음 이항 수율 모델로 불리는 것은 식(19)에서 보는 것과 같이 칩 당 결점수의 확률 분포가 음 이항 분포를 따르고 있기 때문이다.

$$f(D) = \frac{1}{\Gamma(\alpha)\beta^\alpha} D^{\alpha-1} e^{-D/\beta}, \quad D \geq 0 \quad (18)$$

$$\Pr\{X = k\} = \frac{\Gamma(k+\alpha)}{k! \Gamma(\alpha)} \left(\frac{D_0 A / \alpha}{1 + D_0 A / \alpha}\right)^{k+\alpha}, \quad k = 0, 1, 2, \dots \quad (19)$$

식 (19)에서 $k = 0$ 일 때 즉, 결점이 없는 칩의 비율인 음 이항 수율 모델은 다음과 같이 식 (20)으로 표현된다.

$$Y_{NB} = \Pr\{X = 0\} = \left(1 + \frac{D_0 A}{\alpha}\right)^{-\alpha} \quad (20)$$

위의 식 (19)와 (20)에서 $D_0 A$ 는 칩 당 평균 결점 수를 나타낸다. 그리고 파라미터 α 는 음 이항 모델에서 칩이 가지는 결점의 클러스터 수를 표현한다고 알려져 있다. 즉 칩간 변화가 작을 때는 웨이퍼상의 결점 각각이 하나의 클러스터를 형성한다. 이때에는 클러스터의 수가 많아지고 따라서 이때의 α 파라미터

는 큰 값을 가지게 된다. 반대로 칩간 변화가 클 때에는 웨이퍼상의 각 결점이 적은 수의 클러스터에 상대적으로 많은 수의 결점이 뭉쳐진 형태를 가진다고 볼 수 있으며 이때 α 파라미터는 작은 값을 가지게 된다. 이와 같이 음 이항 수율 모델은 클러스터 효과를 수치적으로 설명하는 파라미터가 처음으로 도입되어 이전에 제안된 타 모델에 비해 설득력 있으며 비교적 큰 면적을 가지는 칩의 수율 계산에도 효과적으로 적용되는 모델이다.

일반적으로 음 이항 수율 모델에서 파라미터의 추정은 칩 단위에서의 결점수를 자료로 하여 모멘트 방법(method of moment)을 이용하여 식(23)과 같이 추정된다. 음 이항 분포의 기대값 $E(X)$ 와 분산 $\text{Var}(X)$ 이 각각 식(21)과 식(22)이며 자료의 평균과 분산이 각각 μ 와 σ^2 일 때 α 의 추정식 $\hat{\alpha}$ 를 구한 것이 식(23)이다.

$$E(X) = D_0 A = \alpha \beta \quad (21)$$

$$\text{Var}(X) = \alpha \beta (\beta + 1) \quad (22)$$

$$\hat{\alpha} = \frac{\mu^2}{\sigma^2 - \mu} \quad (23)$$

그리고 음 이항 모델에서 파라미터 α 에 따라 다양한 수율 모델로 근사가 가능하며 Cunningham [10]에 의하면 아래 <표 1>과 같다.

<표 1> 음 이항 수율 모델에서 파라미터 α 에 따른 클러스터 정도 및 근사 수율 모델

Clustering	Value of α	Yield Model
none	about 10 to ∞	Poisson
some	4.2	Murphy
some	3	Dingwall
much	1	Seeds

3.6 Neyman 수율 모델

전염성 분포(contagious distribution)로 알려져 있는 Neyman Type A 분포(이하에서는 Neyman 분포라 함)

는 초기에 Neyman[19, 41]에 의해서 임의로 선택된 지역에서 유충의 분포를 설명하고자 도입된 것이다. 유충의 알들의 분포가 포아송 분포를 따르고 각각의 알들의 군에서 부화하는 유충의 수를 또 다른 포아송 분포로 본 것이다. 결과적으로 Neyman 분포의 확률 생성 함수(probability generating function) G_z 는 두 개의 포아송 분포[Poisson(c), Poisson(λ): 평균이 각각 c 와 λ 인 포아송 분포]의 확률 생성 함수를 이용하여 생성되는 식 (24)와 같다.

$$G_z(t) = \exp[-c(1 - e^{-\lambda(1-t)})] \quad (24)$$

즉, c 와 λ 를 평균으로 가지는 포아송 분포를 이용하여 하나의 확률 생성 함수 $[\exp\{-\lambda(1-t)\}]$ 를 다른 하나의 확률 생성 함수 $[\exp\{-c(1-t)\}]$ 에 대입함으로써 새로운 분포가 쉽게 구해진다. Neyman 분포가 생성 분포(generating distribution)로 불리우는 것이 위에서와 같이 두 개의 확률 생성 함수를 이용하여 새로운 확률 생성 함수를 만들어 냄으로써 새로운 분포를 생성하기 때문이다.

Neyman 분포를 수율 모델로 도입한 것은 Albin 등 [3]에 의해서이며 이들에 의하면 칩별 결점수의 분포를 Neyman 분포에 도입하였을 때 클러스터 정도 및 다수의 최고 정점 분포(multi-modal distribution)를 가지는 Neyman 분포가 다양한 상황에서 타 분포보다 더 적합한 것으로 나왔으며 따라서 수율 모델로서도 적절함을 보였다.

칩별로 클러스터의 수가 평균이 c 인 포아송 분포를 따르고 각 클러스터별 결점의 수가 평균이 λ 인 포아송 분포를 따를 때 칩별 결점의 총 수 Z 는 아래 식 (25)과 같이 표현되며,

$$Pr\{Z = m\} = \sum_{j=1}^{\infty} \frac{e^{-\lambda j} (\lambda j)^m}{m!} \frac{e^{-c} c^j}{j!}, \quad m = 1, 2, \dots \quad (25)$$

위 식에서 $m = 0$ 일 때인 Neyman 수율 모델은 아래 식(26)과 같다.

$$Y_{Neyman} = Pr\{Z = 0\} = e^{-c} + \sum_{j=1}^{\infty} e^{-\lambda j} \frac{e^{-c} c^j}{j!} = \exp(-c(1 - e^{-\lambda})) \quad (26)$$

Neyman 분포의 평균과 분산은 각각 $E[Z] = c\lambda$, $Var [Z] = c\lambda(1+\lambda)$ 로 자료의 평균과 분산이 각각 μ 와 σ^2 이면 이를 이용하여 두 가지 파라미터 c 와 λ 의 추정식 \hat{c} 와 $\hat{\lambda}$ 를 각각 아래 식(27), 식(28)과 같이 구할 수 있다.

$$\hat{c} = (\sigma^2 - \mu) / \mu \quad (27)$$

$$\hat{\lambda} = \mu / \hat{c} \quad (28)$$

특히 파라미터 $c(>0)$ 는 David와 Moore(1954)에 의해 "index of clumping"이라 불리워졌으며[19] 이는 비균일 분포의 정도를 나타낼 수 있는 좋은 지표 역할을 한다. 따라서 수율 모델에서는 클러스터 효과를 설명하는 인자로 사용된다.

3.7 Thomas 수율 모델

역시 임의로 설정된 정방형의 지역(quadrat)에서 일정한 종류의 식물 수의 분포를 연구한 것이 Thomas에 의해 제안된 Thomas분포[19]이다. 각 클러스터에 'parent'라 할 수 있는 클러스터의 중심으로서 이미 한 식생이 존재할 때 이에 따른 'offspring'이라 할 수 있는 다른 점들은 이 parent와 근접한 거리에 존재하게 된다. 따라서 각 클러스터 수의 분포를 포아송이라 할 때 각 클러스터별 식물 수의 분포는 parent를 이미 포함하여 하나 더한 값이 포아송 분포를 따르게 된다. 즉 각 클러스터별 결점수 Y 의 분포가 다음 식(29)와 같을 때,

$$Pr\{Y = l + 1\} = \frac{e^{-\lambda} \lambda^l}{l!}, \quad \lambda > 0, \quad l = 0, 1, 2, \dots \quad (29)$$

위 식은 각 클러스터에는 이미 하나의 클러스터의 중심인 포인트(결점)가 있어야만 한다는 것을 의미한다.

칩별로 클러스터의 수가 평균이 c 인 포아송 분포를 따르고 각 클러스터별 결점의 수가 식(29)로 주어진 분포를 따를 때 칩별 결점의 총 수 Z 는 아래 식(30)과 같이 표현되며,

$$\Pr\{Z = m\} = \sum_{r=1}^m \frac{e^{-\lambda r} (\lambda r)^m}{(m-r)! r!} \frac{e^{-c} c^r}{r!}, m = 1, 2, \dots \quad (30)$$

위 식에서 $m = 0$ 일 때인 Thomas 수율 모델은 아래 식(31)과 같다.

$$Y_{\text{Thomas}} = \Pr\{Z = 0\} = \Pr\{0 \text{ defects}\} = \Pr\{0 \text{ clusters}\} = e^{-c} \quad (31)$$

Thomas 분포의 평균과 분산은 각각 $E[Z] = c(1+\lambda)$, $\text{Var}[Z] = c(1+3\lambda+\lambda^2)$ 로 구해지며 자료의 평균과 분산이 각각 μ 와 σ^2 일 때 이를 이용하여 파라미터 λ 의 추정식 $\hat{\lambda}$ 를 아래 식(32)와 같이 구할 수 있다.

$$\hat{\lambda} = \frac{-(3\mu - \sigma^2) + \sqrt{(3\mu - \sigma^2)^2 - 4\mu(\mu - \sigma^2)}}{2\mu} \quad (32)$$

수율을 계산하고자 하는 칩의 총수 N 에 결점이 없는 칩의 수를 n_0 라 하면, 파라미터 c 의 추정식 \hat{c} 은 다음 식(33)과 같이 간단히 구할 수 있다.

$$\hat{c} = \ln[N/n_0] \quad (33)$$

식(31)에서 보여주는 Thomas 수율 모델의 적용은 파라미터 식(33)과 같은 방법으로 c 의 추정이 이루어지면 결점이 없는 칩의 비율의 수율 모델로서는 의미가 없다. 하지만, 결점의 수가 다수일 때에도 양품일 수 있는 잉여(redundancy) 수율 모델로서 적용을 하면 다른 수율 모델보다 더 좋은 결과를 보여 준다[41].

Thomas분포를 수율 모델에 도입한 것은 Tyagi 등 [41]으로 클러스터 정도, 칩 크기 등의 다양한 경우를 고려한 실험과 실제 자료를 이용한 비교 모두에서 Neyman 수율 모델, 파라미터 a 에 값이 주어짐 음 이항 수율 모델보다 더 좋은 결과를 나타냄을 보여 주었다.

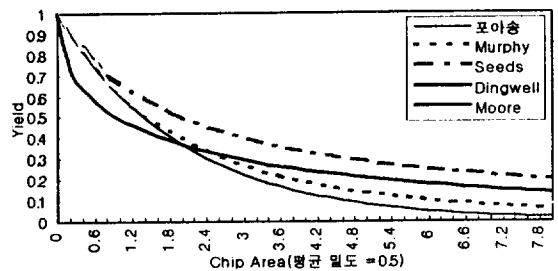
또한 Neyman 분포와 같은 방법으로 아래 식(34)에서 보는 것과 같은 확률 생성 함수를 구할 수 있다.

$$G_z(t) = \exp [-c(1 - te^{-\lambda(1-t)})] \quad (34)$$

4. 수율 모델의 비교

4.1 컴파운드 포아송 수율 모델의 비교

3절에서 설명한 5가지 컴파운드 포아송 수율 모델에 대해 고정된 평균 결점 밀도 ($D_0 = 0.5$)가 주어졌을 때 각 수율 모델의 수율값과 칩 면적의 관계를 <그림 5>에서 보여 주고 있다. 칩의 면적이 작은 경우에는 클러스터의 설명이 필요 없는 포아송 모델이 타 모델과 다름 없이 거의 유사한 결과를 보여 주고 있으나 칩의 면적이 증가할수록 클러스터 효과가 가장 많이 설명되는 Seeds 모델이 가장 큰 수율 계산값을 보여준다. 반면에 클러스터 효과를 전혀 설명할 수 없는 포아송 모델은 가장 작은 수율 계산값을 나타낸다. <그림 5>에서 볼 때 실제 결점의 분포에 따라서 각 모델이 적합한 조건이 있을 수 있으나 전체적으로 Seeds 모델은 과 추정을 포아송 모델은 부족 추정을 하게 된다.



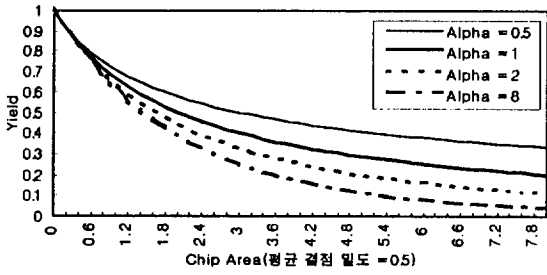
<그림 5> 컴파운드 포아송 수율 모델간 비교

반면에 음 이항 모델은 a 값에 따라 Moore 모델을 제외한 4가지 모델로의 근사가 가능하며, <그림 6>에서는 a 값의 변화에 따른 음 이항 수율 모델의 계산값과 칩 면적의 관계를 보여주고 있다. 앞에서 설명한 것과 같이 a 값이 작을수록 클러스터 효과가 크게 나타나므로, 보다 큰 수율 계산값을 보여준다. 그리고 칩의 면적이 커질수록 수율에 미치는 클러스터의 효과가 커지므로 a 값의 변화에 따른 수율 계산값의 차이가 커짐을 알 수 있다.

5. 수율 모델의 적용 및 이용

5.1 수율 모델의 적용

Cunningham[10]에 의해 사용되었으며 Robert W. Owen(1987)이 제공한 자료 중 대표적인 두개의 웨이퍼(117, 54개의 결점을 가지는 5인치 지름의 웨이퍼)상의 결점수 자료를 이용, 격자수 4가지(40X40, 20X20, 10X10, 8X8)를 부여하여 칩의 면적을 달리할 수 있을 때, 3절에서 설명한 각 수율 모델의 계산값을 <표 2>에서 볼 수 있다. 이때 음 이항 수율 모델을 위한 파라미터 α 값과 Neyman 수율 모델을 위한 파라미터 c 와 λ 는 각각 모멘트 추정 방법을 이용한 것이



<그림 6> 음 이항 모델의 α 값의 변화에 따른 수율 계산값

<표 2> 웨이퍼상의 격자 수(칩 면적)별, 모델별 수율 계산

칩별 결점수 /격자수	5인치 웨이퍼1 경우				5인치 웨이퍼2 경우			
	40×20	20×20	10×10	8×8	40×40	20×20	10×10	8×8
0	1419	287	41	18	1484	334	54	28
1	117	80	29	14	50	46	33	19
2	0	14	10	8	2	4	7	5
3	0	3	4	7	0	0	1	4
4	0	0	7	3	0	0	1	1
5	0	0	3	3	0	0	0	1
6	0	0	1	2	0	0	0	0
7	0	0	1	1	0	0	0	0
8	0	0	0	2	0	0	0	0
>=9	0	0	0	0	0	0	0	0
전체 칩수	1536	384	96	58	1536	384	96	58
칩 면적	0.0452	0.1810	0.7200	1.1900	0.0452	0.1810	0.7200	1.1900
전체 결점수	117	117	117	117	54	54	54	54
칩별 평균 결점수	0.0762	0.3047	1.2188	2.0172	0.0352	0.1406	0.5625	0.9310
결점수 분산	0.0704	0.3316	2.4417	4.5021	0.0365	0.1417	0.7612	1.2616
α	-1.0000	3.4438	1.2145	1.6376	0.9033	18.6923	1.5924	2.6224
c	0.4238	0.5885	1.5035	1.7318	2.0389	2.0075	2.3532	2.3550
λ	0.1797	0.5178	0.8106	1.1648	0.0172	0.0700	0.2390	0.3953
실 수율	0.9238	0.7474	0.4271	0.3103	0.9661	0.8698	0.5625	0.4828
모델 수율								
포아송	0.9267	0.7374	0.2956	0.1330	0.9655	0.8688	0.5698	0.3941
Murphy	0.9271	0.7431	0.3340	0.1847	0.9656	0.8702	0.5850	0.4235
Seeds	0.9292	0.7665	0.4507	0.3314	0.9660	0.8767	0.6400	0.5179
Dingwell	0.9275	0.7481	0.3596	0.2138	0.9657	0.8716	0.5972	0.4445
Moore	0.7588	0.5758	0.3316	0.2416	0.8290	0.6873	0.4724	0.3810
음 이항	0.9238	0.7468	0.4300	0.2686	0.9661	0.8693	0.6177	0.4508
Neyman	0.9327	0.7883	0.4338	0.3038	0.9657	0.8730	0.6063	0.4635

며 Neyman 모델을 위해서는 평균값에 수정을 가한 것이다. 그리고 실 수율 값은 전체 칩의 수에 대한 결점이 없는 칩 수의 비율이다.

칩의 면적이 작을 때에는 Moore 모델을 제외하고 모든 모델들이 대체로 정확한 값을 계산해 내지만 칩의 면적이 커질수록 실 수율 값과의 차이를 모델별로 보여 준다. 모델별 추정 방법이 달라 추정 방법의 적합성이 혼재된 결과이지만 전체적으로 음 이항 모델이, 칩의 면적이 클 때에는 Neyman 수율 모델이 다른 수율 모델들보다는 더 좋은 결과를 내고 있음을 볼 수 있다. 양수가 되어야 하는 α 값의 추정시 자료가 포아송 모델에 적합한 것일 때 평균과 분산값의 차이가 없어 아주 큰 값이 되거나 분산값보다 큰 평균값이 나올 때에는 음수가 될 수 있지만 <표 2>에서 보듯이 이러한 값에 대해서도 모델 적용에는 문제가 없음을 알 수 있다.

5.2 수율 모델의 이용

Cunningham 등[23]에 의한 연구에 따르면 대상으로 한 16개의 반도체 제조 공정에서 사용되는 수율 모델을 모델별로 보면 Seeds 모델을 3공정이, Murphy 모델은 5공정이, Moore 모델은 4공정이, Price 모델과 Binomial 모델이 사용되는 곳이 각각 1공정이 있으며 각 공정별 경험적 수치 혹은 모델을 사용하는 공정이 5곳이다. 이때 일부 공정에서 두 개의 모델을 병행하여 사용하기 때문에 모두 합한 수가 16을 넘는다. 하지만 수율 모델 중 계산 능력이 뛰어난 음 이항 모델 혹은 이중 포아송 모델이 각 공정에서 사용되지 않는 것은 아직 각 칩의 검사에 대한 연구, 설비 및 기술이 이들 모델을 사용함에 부족한 점이 있기 때문이다.

6. 결론

최근까지의 수율 모델에 대한 연구를 살펴 보면 대부분이 Price 모델 이후 최적으로 받아들여지는 음 이항 모델에 대한 추가적인 연구가 주를 이루고 있다[8, 10, 39]. 음 이항 모델의 파라미터의 추정 방법이 이 모델을 적용하는 데 있어 가장 중요하며 결점을 검사

하는 방법에 따라 추정 방법이 달리 사용되어진다[8]. 수율 모델에 관한 세부적인 연구를 살펴보면 다음과 같이 클러스터 효과를 보다 잘 반영할 수 있는 일반화된 포아송 수율 모델에 관한 연구[1, 3, 39, 41], 포아송(음 이항) 수율 모델을 기초로 한 클러스터 효과 부여 방법에 관한 연구[15, 35], 마코프 체인(Markov Chain)을 사용한 수율 모델에 관한 연구[5], 수율 학습 가속 곡선에 관한 연구[11], 공정 제어에 영향을 미치는 결점 및 수율에 관한 연구[16], 생산 라인의 생산성과 수율의 관계에 대한 연구[25, 26], 클러스터 지표 개발에 관한 연구[2], 임의 수율을 가정한 생산 관리 방안에 대한 연구[24], 다수 결점을 허용(defect tolerant)하는 수율 모델에 관한 연구[22, 30, 41], 검사 비용을 고려하여 최악의 경우 웨이퍼 자체를 폐기하는, 즉 공정의 병목이 되는 검사 부분의 부담을 줄여 보고자 제조 공정에서 일정 기준 이하의 웨이퍼는 검사 이전에 폐기하는 방법에 관한 연구[27, 34], 칩의 클러스터 효과 및 치명적일 경우를 고려하는 수율 모델에 관한 연구[1, 28] 등이 있다.

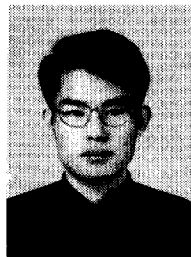
수율이 이용되는 대표적인 경우로는 최적 생산 관리 방안 연구에서와 공정 조절 방법 연구에서이며 수율 자체로도 수율 학습 곡선을 가속화하는 연구가 이루어진다. 수율을 이용하는 연구에서나 수율 자체의 연구에서 모두 보다 정확한 수율 예측값을 계산해 낼 수 있다면 반도체 생산이 보다 경쟁적일 수 있으며 반도체 공정 조절에도 많은 도움이 되어 전체적으로 반도체 제조업에 경쟁력 우위를 이끌어 낼 수 있다. 특히 반도체 생산 초기에 생산 라인이 안정화되기까지는 이 기간 동안 생산 라인의 적정한 수율을 확보하는 것이 중요하며, 이때 정확한 수율 예측 모델이 사용되어 라인 안정화 기간을 단축하는 것이 경쟁력 확보에 도움이 된다.

【참고문헌】

- [1] 박광수, "클러스터 효과와 치명 확률을 고려하는 반도체 수율 모델", 석사학위논문, 포항공과대학교, 1997.
- [2] 박항엽 외, "변동계수를 이용한 반도체 결점 클러

- 스터 지표 개발 및 수율 예측”, 대한산업공학회지, vol. 21, no. 3, pp. 371-385, 1995.
- [3] Albin, Susan L. and David J. Friedman, “The Impact of Clustered Defect Distributions in IC Fabrication”, Management Science, vol. 35, no. 9, pp. 1066-1078, 1989.
- [4] Chen, Hong, et al., “Empirical Evaluation of a Queueing Network Model for Semiconductor Wafer Fabrication”, Operations Research, vol. 36, no. 2, pp. 202-215, 1988.
- [5] Ciciani, B. and G. Iazeolla, “A Markov Chain-Based Yield Formula for VLSI Fault-Tolerant Chips”, IEEE Transactions on Computer-Aided Design, vol. 10, no. 2, pp. 252-259, 1991.
- [6] Cliff, A. V. and J. K. Ord, Spatial Autocorrelation, 1st ed., Pion Ltd.; London, 1973.
- [7] Cliff, A. V. and J. K. Ord, Spatial Processes: Models and Applications, 1st ed., Pion Ltd., 1981.
- [8] Collica, R.S., “The Effect of the Number of Defect Mechanisms on Fault Clustering and its Detection Using Yield Model Parameters”, IEEE Transaction on Semiconductor Manufacturing, vol. 5, no. 3, pp. 189-195, 1992.
- [9] Cressie, Noel A.C., Statistics for Spatial Data, Part III, Ch. 8, John Wiley & Sons, 1991.
- [10] Cunningham, James A., “The Use and Evaluation of Yield Models in Integrated Circuit Manufacturing”, IEEE Transaction on Semiconductor Manufacturing, vol.3, no. 2, pp. 60-72, 1990.
- [11] Dance, D. and R. Jarvis, “Using Yield Models to Accelerate Learning Curve Progress”, IEEE Transaction on Semiconductor Manufacturing, vol. 5, no. 1, pp. 41-46, 1992.
- [12] Director, S. W., W. Maly, and A. J. Strojwas, VLSI Design for Manufacturing: Yield Enhancement, Kluwer Academic Publishers, 1990.
- [13] Ferris-Prabhu, A. V., Introduction to Semiconductor Device Yield Modeling, Attech House Inc., 1992
- [14] Ferris-Prabhu, A. V., et al., “Radial Yield Variations in Semiconductor Wafers”, IEEE Circuit and Devices Magazine, pp. 42-47, 1987.
- [15] Ferris-Prabhu, A. V., “A Cluster-Modified Poisson Model for Estimation Defect Density and Yield”, IEEE Transaction on Semiconductor Manufacturing, vol. 3, no. 3, pp. 54-59, 1990.
- [16] Friedman, D.J. and S.L. Albin, “Clustered Defects in IC Fabrication: Impact on Process Control Charts”, IEEE Transaction on Semiconductor Manufacturing, vol. 4, no. 1, pp. 36-42, 1991.
- [17] Glassey, C. R., et al., “Closed-Loop Job Release Control for VLSI /circuit Manufacturing”, IEEE Transaction on Semiconductor Manufacturing, vol. 1 no. 1, pp. 36-46, 1988.
- [18] Gurland, J., “A Generalized Class of Contagious Distribution”, Biometrics, vol. 14, pp. 229-249, 1958.
- [19] Johnson, N.L. and S. Kotz, Distributions in Statistics: Discrete distributions, Ch. 4, 5, 7, 8, 9, Houghton Mifflin Company, Boston, 1969.
- [20] Kibarian, J.K. and A.J. Strojwas, “Using Spatial Information to Analyze Correlations Between Test Structure Data”, IEEE Transaction on Semiconductor Manufacturing, vol. 4, no. 3, pp. 219-225, 1991.
- [21] Kishino, S., et al., “Optimization Gettering Conditions for VLSI Chips Using Simple Yield Model”, IEEE Transaction on Semiconductor Manufacturing, vol. 6, no. 3, pp. 251-257, 1993.
- [22] Koren, I., et al., “A Unified Negative-Binomial Distribution for Yield Analysis of Defect-Tolerant Circuits”, IEEE Transactions on Computers, vol. 42, no. 6, pp. 724-733, 1993.
- [23] Leachman, Robert C.(Editor), “The Competitive Semiconductor Manufacturing Survey: Second Report on Results of the Main Phase”, Technical Report CSM-08, U. C. Berkeley, 1994.
- [24] Lee, Hau L., “Input Control for Production Lines Consisting of Processing and Assembly Operations with Random Yields”, Operations Research, vol.

- 44, no. 3, pp. 464-468, 1996.
- [25] Lee, Young Su, "Production Planning in Semiconductor Wafer Fabrication Considering Variable Cycle Times", Master Thesis, 포항공과대학교, 1997.
- [26] Leonovich, G. A., et al., "Integrated Cost and Productivity Learning in CMOS Semiconductor Manufacturing", IBM J. Res. Develop., vol. 39, no. 1/2, pp. 201-213, 1995.
- [27] Longtin, Mark D., et al., "Sequential Screening in Semiconductor Manufacturing, I: Exploiting Spatial Dependence", Operations Research, vol. 44, no. 1, pp. 173-195, 1996.
- [28] Maly, W., et al., "A Simple New Yield Model: A common assumption in yield modeling efforts is that is a decreasing function of die area, but that's not always true", Semiconductor International, pp. 148-154, July 1994.
- [29] Meehan, Michael D. and John Purviance, Yield and Reliability in Microwave Circuit and System Design, Artech House Inc., Boston, 1993.
- [30] Michalka, T.L., et al., "A Discussion of Yield Modeling with Defect Clustering, Circuit Repair, and Circuit Redundancy", IEEE Transaction on Semiconductor Manufacturing, vol. 3, no. 3, pp. 116-127, 1990.
- [31] Mizurukhin, L., et al., "Prediction of Product Yield Distributions from Wafer Parametric Measurements of CMOS Circuits", IEEE Transaction on Semiconductor Manufacturing, vol. 5, no. 2, pp. 88-93, 1992.
- [32] Moore, W., et al., Yield Modeling and Defect Tolerance in VLSI, Adam Hilger, Bristol and Philadelphia, 1988.
- [33] Murphy, B. T., "Cost-Size Optima Monolithic Integrated Circuits", Proceedings of the IEEE, pp. 1537-1545, 1964.
- [34] Ou, Jihong and Lawrench M. Wein, "Sequential Screening in Semiconductor Manufacturing, II: Exploiting Lot-to-Lot Variability", Operations Research, vol. 44, no. 1, pp. 196-205, 1996.
- [35] Pukite, P.R. and C.L. Berman, "Defect Cluster Analysis for Wafer-Scale Integration", IEEE Transaction on Semiconductor Manufacturing, vol. 3, no. 3, pp. 128-135, 1990.
- [36] Spencer, W. J. and P. A. Tobias, "Statistics in the Semiconductor Industry: A Competitive Necessity", The American Statistician, vol. 49, no. 3, pp. 245-249, 1995.
- [37] Stapper, C. H., "On Murphy's Yield Integral", IEEE Transaction on Semiconductor Manufacturing, vol. 4, no. 4, pp. 294-297, 1991.
- [38] Stapper, C. H., "Statistics Associated with Spatial Fault Simulation Used for Evaluating Integrated Circuit Yield Enhancement", IEEE Transactions on Computer-Aided Design, vol. 10, no. 3, pp. 399-406, 1991.
- [39] Stapper, C. N., "Fact and Fiction in Yield Modeling", Microelectr. J., vol. 20, 129-151, 1989.
- [40] Subrahmaniam, K., "On a General Class of Contagious Distributions: The Pascal-Poisson Distribution", Trabajos de Estadistica, vol. 17, pp. 109-128, 1966.
- [41] Tyagi, A. and M.A. Bayoumi, "Defect Clustering Viewed Through Generalized Poisson Distribution", IEEE Transaction on Semiconductor Manufacturing, vol. 5, no. 3, pp. 196-206, 1992.



박광수

포항공과대학교 수학과에서 이학사(1995), 산업공학과에서 공학사(1995), 산업공학과에서 공학석사(1997) 학위를 취득하였으며 현재 포항공과대학교 산업공학과 박사 과정에 재학중이다. 관심분야는 Stochastic Process, 통계적 품질 예측 등이다.



전치혁

현재 포항공과대학교 산업공학과에서 부교수로 재직중이다. 서울대학교 자원공학과에서 공학사(1977), 한국과학기술원에서 공학석사(1979), 미국 University of California, Berkeley 산업공학과에서 공학박사(1986) 학위를 취득하였다. 주요 관심분야는 Stochastic Process, 신뢰성 이론, 시뮬레이션, 통계적 기법을 이용한 품질예측 등이다.

김수영

포항공과대학교 산업공학과 부교수로 재직중으로, 서울대학교 기계공학과에서 학사(1979), 한국과학기술원 생산공학과에서 석사(1981), UC Berkeley 산업공학과에서 박사학위(1988)를 취득하였다. 1989년부터 1993년까지 Rutgers 대학에서 조교수로 재직하였다. 주요 관심분야는 생산 및 재고관리, 반도체 생산계획 및 생산시스템 최적화, 그리고 기업 정보화 및 경쟁력 향상 등이다.