

반도체 제조에 있어서의 품질공학 : 패터닝 공정과 박막형성 공정을 중심으로*

염봉진** · 김길수** · 이팔훈** · 박양길** · 김성준***

Quality Engineering in Semiconductor Manufacturing with Emphasis on Patterning and Thin Film Forming Processes

Bong-Jin Yum · Kil-Soo Kim · Pal-Hun Lee
Yang-Gil Park · Seong-Jun Kim

〈요 약〉

반도체 제조공정에서 패터닝 공정과 박막형성 공정은 매우 중요한 위치를 차지하고 있다. 본 논문의 목적은 위 두 가지의 공정을 최적화하기 위한 품질공학적 접근방법을 소개하는 데 있다. 특히, 패터닝 공정의 전사성과 박막형성 공정의 두께의 균일성에 관한 문제를 동특성의 문제로 정형화하고 신호인자를 어떻게 설정할 것인가에 대해 논의하였다.

1. 서론

제품의 성능특성치는 여러 가지 교란요인에 의해 목표치를 일관성 있게 유지하지 못하고 산포하게 마련이다. 이러한 성능 변동의 원인을 잡음이라 부르며, 사용환경으로부터의 잡음, 생산환경으로부터의 잡음, 노후화 등을 포함한다. 일반적으로 잡음에 대한 대응책은 두 가지로 나눌 수 있다. 첫째는 잡음을 제거 또는 통제하려는 직접적인 방법이며, 둘째는 잡음을 있는 그대로 놔둔 상태에서 성능특성의 산포가 심하지 않도록 제품이나 공정을 설계하려는 간접적 또는 우회적인 방법이다. 일반적으로 직접적인 대응책은 많은 비용과 노력을 필요로 하거나 기술적으로 불가능할 때가 많다. 반면에 제품 및 공정의 적절한 설계를

통한 우회적인 대응책은 직접적인 것보다 경제적이며 기술적으로 용이할 수 있다. 다구치에 의해 제안된 품질공학 또는 로버스트설계 방법은 후자에 해당되며, 그 목적은 잡음 하에서도 성능특성치가 목표치로부터 벗어나 산포하는 정도가 최소가 되도록 제품이나 공정의 설계변수값을 적절히 결정하는 데 있다. 이를 위해 다구치는 직교표를 이용하여 실험 데이터를 수집할 것과 이로부터 구한 SN비(signal-to-noise ratio)를 분석하여 설계변수의 최적조건을 결정할 것을 제안하였다.

품질공학의 효율적 활용을 위해서는 적용 대상 분야의 특수성을 이해하고 각 단계에 이를 적극적으로 고려할 수 있어야 한다. 본 논문에서는 반도체 제조공정의 설계 또는 개선을 위한 품질공학의 전개방안에 대해 살펴보고자 한다.

* 본 연구는 1994~1996년 과학기술처 출연기관 연구개발 사업의 지원으로 수행되었음.

** 한국과학기술원 산업공학과

*** 강릉대학교 산업공학과

반도체 제조공정은 웨이퍼(wafer) 위에 회로를 형성하기 위한 전공정(前工程, fabrication process)과 형성된 칩(chip)을 외부와 연결하고 포장하기 위한 후공정(assembly process)으로 대별할 수 있다. 전공정은 많은 복잡한 단계로 구성되어 있는데, 기본적으로는 웨이퍼 표면에 여러 가지 물질의 박막을 성장시키기 위한 박막형성 공정, 형성된 막을 부분적으로 제거하여 패턴을 형성하는 패터닝 공정, 선택된 지역의 저항성과 전도성을 바꾸기 위한 도핑(doping) 공정 등을 반복적으로 거치게 된다. 도핑단계를 통해 웨이퍼 표면에 전기적 활성 영역이 형성되면 그 지역 또는 소자의 배선을 위한 금속배선 단계를 거쳐 소자나 회로의 구성이 끝나 칩의 형태를 갖추게 된다. 그 다음, 전기적 특성이 양호한 다이(die, 웨이퍼 상의 칩)를 선별하여 후공정으로 보내게 되는데, 후공정은 다이를 lead frame에 붙이는 die attach 공정, 금이나 알루미늄의 가는 선으로 다이의 본딩 패드와 lead frame의 접속단자를 연결하기 위한 wire bonding 공정, 다이를 밀봉해서 보호하기 위한 molding 공정 등을 거쳐 집적회로가 완성된다.

1980년대 이래 반도체 제조공정의 로버스트설계에 품질공학적 접근방법을 적용한 많은 사례가 보고되고 있다. 예를 들어, 패터닝 공정에 대한 적용 사례로 Phadke 등[1]은 window 형성 공정에 품질공학적 방법을 적용하여 균등한 크기의 contact window를 얻음으로써 수율을 크게 향상시킬 수 있었으며, Chung 등[2]은 gate 형성 공정에 적용하여 균일한 gate length를 얻을 수 있었다. 그리고 박막형성 공정에 대한 사례는 막의 종류에 따라 구분할 수 있는데, 먼저 Phadke[3], DePinto[4]는 polysilicon을 증착하기 위한 LPCVD(low pressure chemical vapor deposition) 장비의 공정조건을 최적화함으로써 두께의 균일성(uniformity)과 표면의 결점수를 줄일 수 있었다. Kackar와 Shoemaker[5]는 에피공정(epitaxial process)에서 노즐의 위치와 susceptor의 회전방식이 에피층의 균일성에 큰 영향을 미치며, 증착시간은 균일성에는 영향이 없고 평균 두께에만 영향을 미치는 조정인자로 활용할 수 있음을 확인하였다. Aceves 등[6]은 aluminium evaporation 공정에서 evaporation rate와 evaporation time이 두께의 균일

성에 큰 영향을 미침을 파악하였다. 그 밖에 Schmidt 등[7], Jeng과 Huang[8], Kim 등[9]은 후공정의 wire bonding에 품질공학적 접근방법을 적용하였다. 끝으로, 최근 일본에서 반도체 제조공정에 품질공학을 응용한 사례는 다구치[10]에 수록되어 있다.

반도체 제조공정은 품질공학의 관점에서 몇 가지 특징을 지니고 있다. 먼저, 전사성을 요구하는 패터닝 공정이 매우 중요한 역할을 하고 있다는 것이다. 여기서 전사성이란 마스터 패턴의 선폭과 위치가 웨이퍼 상에 정확, 정밀하게 옮겨지는 것을 말한다. 그리고, 박막형성 공정을 빈번하게 거쳐야 한다는 것을 또 다른 특징으로 들 수 있다. 박막형성에서는 원하는 두께의 막을 얼마나 균일하게 얻을 수 있는가가 관심의 대상이 된다. 그 밖에, 후공정의 die attach, wire bonding, molding 등의 성능을 평가하는 데는 계측기술상의 문제로 계수분류치로 평가될 수밖에 없을 때가 많다는 점, 한 공정의 성능은 여러 특성치를 기준으로 평가될 때가 많아서 설계변수의 상충현상을 어떻게 절충할 것인가가 문제가 된다는 점 등은 다른 제조공정에서도 자주 접하게 되는 특징이다.

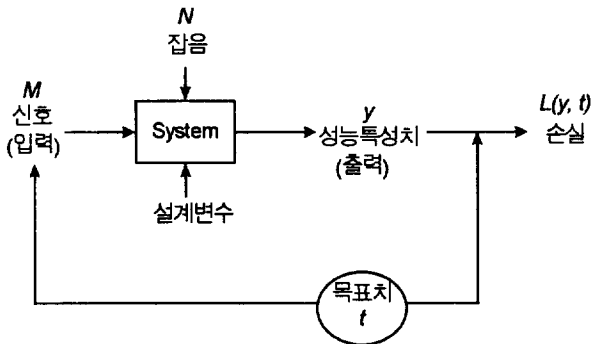
최근 품질공학은 그 응용범위를 R&D 단계에서의 기술개발로 확대해 나가는 추세에 있다. 즉, 현재의 제품과 공정에 필요한 성능수준뿐만 아니라 앞으로 요구되는 성능수준까지 고려한 로버스트설계를 수행함으로써 기술의 선행적 확보라는 동시공학적 아이디어를 반영하고 있는 것이다. 이를 위해서는 어떤 설계문제를 정특성의 문제보다는 동특성의 문제로 파악할 필요가 있다. 그러나 반도체 제조에 있어서 기존의 로버스트설계 연구는 대부분 정특성의 문제를 다루고 있는 실정이다. 본 논문에서는 패터닝 공정의 전사성과 박막형성 공정의 두께 균일성에 대한 로버스트설계 문제를 동특성의 문제로 정형화한 최근의 연구동향을 소개하고자 한다.

2. 동특성과 로버스트설계

2.1 동특성 문제

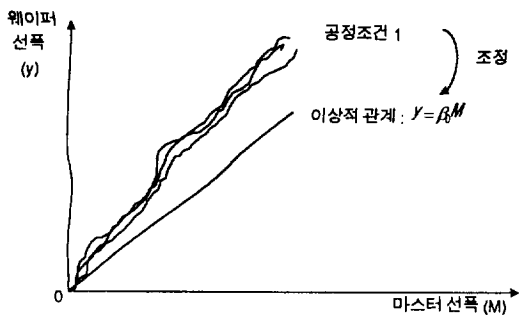
어떤 제품 또는 공정을 하나의 시스템이라고 볼 때,

이를 <그림 1>과 같이 나타낼 수 있다. 시스템의 출력인 성능특성의 목표치는 항상 일정할 수도 있고 수시로 변할 수도 있는데, 전자를 정특성, 후자를 동특성이라 부른다. 동특성의 예로서 패터닝 공정의 선폭 문제를 생각해 보자. 이때 성능특성 y 는 웨이퍼 상에 전사된 실제 선폭이 된다. 선폭의 목표치 t 는 제품이나 그때 그때 요구되는 성능수준에 따라 바뀌게 되므로 그에 따라 마스터 패턴의 선폭, 즉 입력신호값 M 도 바뀌어야 하며, y 와 M 의 이상적 관계는 $y = \beta \cdot M$ 로 나타낼 수 있다(<그림 1> 참조).



<그림 1> 동적 시스템

한편, 주어진 공정조건에서 웨이퍼 상에 전사된 실제 선폭 y 는 공정으로부터의 다양한 잡음 N 에 의해 목표치로부터 산포하게 되며, M 에 대한 평균적 경향도 이상적 관계로부터 벗어날 수 있다 (<그림 2> 참조). 동특성의 로버스트설계에서는 어떤 공정조건에서 y 와 M 과의 평균적 경향은 조정인자를 이용하여 이상



<그림 2> 신호와 특성치의 관계

적 관계에 가깝게 조정할 수 있다고 가정하는 것이 보통이다. 예를 들어, 패터닝 공정에서는 마스터 패턴의 선폭을 조정함으로써 위 목적을 달성할 수 있다. 따라서, 공정조건의 우열은 조정 후 이상적 관계로부터의 벗어남, 즉 평균적 경향의 비직선성과 잡음에 의한 산포의 크기가 얼마나 작으나로 판단하게 된다.

2.2 실험계획

<그림 1>의 잡음인자는 특성치에 영향을 미치지만 여러 가지 제약으로 인하여 통제를 포기한 인자를 말하고, 설계변수는 로버스트설계를 통하여 최적수준을 결정하려는 인자이다.

동특성의 로버스트설계를 위해 다구치는 직교배열을 이용한 실험적 방법을 추천하고 있다. 예를 들어, <그림 3>에 나타나 있듯이, SN비를 비교하기 위한 설계변수는 내측 직교표에, SN비를 구하기 위한 잡음인자와 신호인자는 외측 직교표에 배치한다.

		설계변수					M_1		M_2		M_3	
실험번호	A B C D E	N_1	N_2	N_1	N_2	N_1	N_2	N_1	N_2	N_1	N_2	
1	1 1 1 1 1 1 1	y_{111}	y_{112}	y_{121}	y_{122}	y_{131}	y_{132}					
2	1 1 1 2 2 2 2	y_{211}	y_{212}	y_{221}	y_{222}	y_{231}	y_{232}					
⋮		⋮	⋮	⋮	⋮	⋮	⋮					
⋮		⋮	⋮	⋮	⋮	⋮	⋮					
⋮		⋮	⋮	⋮	⋮	⋮	⋮					

<그림 3> 직교배열을 이용한 실험계획의 예

2.3 SN비의 정의

다구치[11]는 성능특성치가 목표치로부터 벗어난 정도에 따라 야기되는 손실로써 품질을 평가한다. 일반적으로 손실의 정확한 함수형태는 알려져 있지 않고 복잡하기 때문에 다구치는 다음과 같은 이차 손실함수 $L(y, t)$ 를 사용할 것을 추천하고 있다.

$$L(y, t) = c(y - t)^2.$$

단, c 는 비례상수이고 t 는 y 의 목표치이다.

다구치는 설계변수의 최적조건을 결정하기 위한 비교기준으로서 위의 손실을 직접 사용하지 않고 SN비라는 성능척도를 사용하는데 이의 근거는 다음과 같다.

먼저, 다구치[12, 13]는 M 과 y 의 이상적인 관계를 다음과 같이 상정하였다.

$$t(M) = \beta_0 M.$$

단, β_0 는 이상적 기울기이다. 한편, 어떤 설계조건에서 성능특성치 y 와 신호인자 M 사이의 관계는 위의 이상적 관계로부터 벗어날 수 있으며 이를 다음 식과 같이 나타낼 수 있다.

$$y = \beta M + e.$$

여기서, e 는 비례성분 βM 을 제외한 나머지를 포함한다. 그리고 기울기 β 를 β_0 로 조정 한 후의 성능특성치 y' 는 다음과 같은 수식으로 표현할 수 있다고 가정한다.

$$y' = \frac{\beta_0}{\beta} y.$$

이와 같은 가정아래 조정 후의 기대손실은 다음과 같이 나타낼 수 있다.

$$\begin{aligned} Q_a &= E[L(y', t)] \\ &= E[(c(y' - t))^2] \\ &= cE[(\beta_0 M + \frac{\beta_0 e}{\beta} - \beta_0 M)^2] \\ &= c\beta_0^2 \frac{\sigma^2}{\beta^2}. \end{aligned}$$

단, σ^2 은 e 의 mean squared error 이다. 여기서, β_0 와 c 는 모든 설계조건에서 동일한 상수이므로 설계조건 간의 우열은 σ^2/β^2 의 크기로 판단할 수 있다. 다구치는 이를 변환한 다음과 같은 양을 SN비라고 명명하고, 이를 분석하여 동특성 문제의 최적 설계조건

을 결정할 것을 제안하였다.

$$SN = 10 \log \frac{\beta^2}{\sigma^2}.$$

아울러, 조정인자를 찾기 위해 다음과 같은 감도를 정의하여 분석한다.

$$S = 10 \log \beta^2.$$

한편, 성능특성치와 신호인자가 물리적인 법칙이나 이론에 의해 비선형적인 관계를 가지며 이상적 관계도 직선으로 상정할 수 없을 때에는 위에서 제시한 분석방법을 사용할 수 없으며 따로 연구가 수행되어야 한다고 믿어진다.

2.4 SN비와 감도의 추정

내측 직교표의 한 설계조건에 대해서 <표 1>과 같은 데이터를 얻었다고 하자. <표 1>의 데이터는 <그림 3>의 실험상황을 일반화한 것으로서 어떤 신호값과 잡음조건에서 반복관측이 r 번 있는 경우이다.

<표 1> 실험 데이터

		잡음인자 N			
		1	2	...	n
신호인자 M	1	$y_{111} \cdots y_{11r}$	$y_{121} \cdots y_{12r}$...	$y_{1n1} \cdots y_{1nr}$
	2	$y_{211} \cdots y_{21r}$	$y_{221} \cdots y_{22r}$...	$y_{2n1} \cdots y_{2nr}$

	m	$y_{m11} \cdots y_{m1r}$	$y_{m21} \cdots y_{m2r}$...	$y_{mn1} \cdots y_{mnr}$

우선, 총변동 S_T 를 다음과 같이 두 부분으로 분해한다.

$$S_T = S_\beta + S_e.$$

여기서,

$$S_T = \sum_{i=1}^m \sum_{j=1}^n \sum_{k=1}^r y_{ijk}^2,$$

$$S_{\beta} = \frac{\left\{ \sum_{i=1}^m \sum_{j=1}^n \sum_{k=1}^r M_{\beta y_{ijk}} \right\}^2}{\sum_{i=1}^m \sum_{j=1}^n \sum_{k=1}^r M_i^2}$$

$$S_e = S_T - S_{\beta}$$

이상을 요약하면 <표 2>와 같은 분산분석표를 구성할 수 있다(다구치 [13]).

<표 2> 분산분석표

요인	자유도	제곱합	제곱합의 기대값
β	1	S_{β}	$\sigma^2 + q\beta^2$
e	$mnr - 1$	S_e	$(mnr - 1)\sigma^2$
총변동	mnr	S_T	

제곱합의 기대값으로부터, 다구치[13]는 다음과 같은 SN비의 추정량을 제안하였다.

$$SN = 10 \log \frac{\hat{\beta}^2}{\hat{\sigma}^2}$$

$$= 10 \log \frac{1}{q} \frac{(S_{\beta} - V_e)}{V_e}$$

단,

$$q = \sum_{i=1}^m \sum_{j=1}^n \sum_{k=1}^r M_i^2$$

$$V_e = S_e / (mnr - 1)$$

그리고 감도 S는 다음과 같이 추정할 것을 제안하였다.

$$S = 10 \log \frac{1}{q} (S_{\beta} - V_e)$$

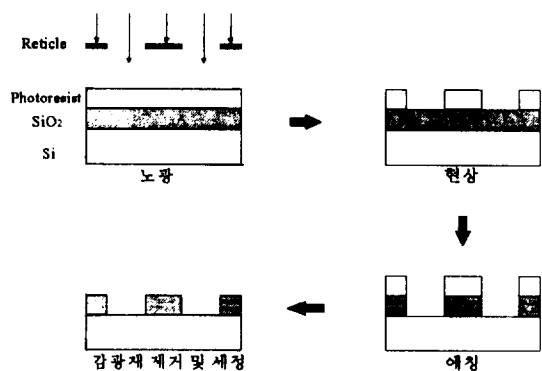
내측 직교표의 각 실험조건에서 위와 같이 SN비와 S를 추정한 후, 각각을 분석하여 SN비에 영향을 미치는 설계변수와 감도에 영향을 미치는 설계변수를 찾는다. 특히, 감도에 주로 영향을 미치는 설계변수가

조정인자로서의 역할을 하게 된다. SN비에 영향을 미치는 설계변수의 최적 조건은 SN비를 가장 크게 하는 수준으로 정하고, 조정인자를 이용하여 성능특성과 신호간의 기울기를 이상적인 값으로 조정함으로써 동특성의 시스템에 대한 로버스트설계의 목적을 달성하게 된다. 한편, 공학적 지식이나 경험에 의해 사전에 조정인자가 알려져 있을 때는 감도의 분석을 생략할 수 있다.

3. 패터닝 공정

3.1. 패터닝 공정의 개요

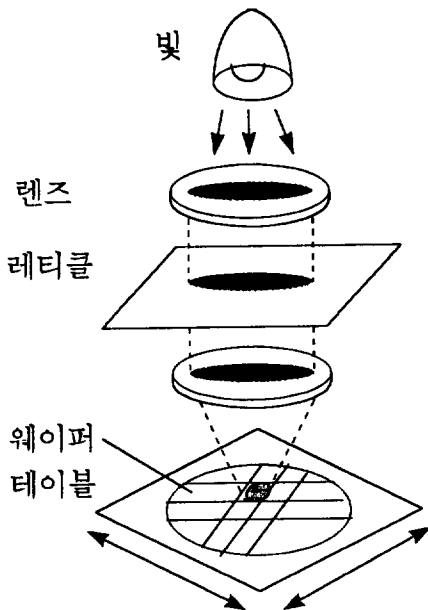
집적회로는 무수히 많은 소자와 배선으로 구성되어 있다. 패터닝 공정은 이들 각각을 마스터 패턴에서 웨이퍼 상으로 전사시키는 것을 목적으로 하며 하나의 집적회로를 만들기 위해 여러 번 반복된다. 패터닝 공정은 형성하려고 하는 패턴의 용도가 절연막인지 도선인지에 따라 차이가 있으나, 예를 들어 <그림 4>와 같은 과정을 거친다.



<그림 4> 패턴 전사공정의 예

먼저 웨이퍼 표면에 감광재(photoresist)를 도포하고 그 위에 원하는 패턴을 지니고 있는 레티클(reticle)을 위치시킨다. 레티클에는 하나 또는 몇 개의 칩에 대한 패턴이 형성되어 있다. 레티클의 패턴의 치수는 실제 원하는 치수의 5배 정도 되는 것이 보통이다. 그 이유는 동일한 치수를 사용하는 경우에 비해 상대적

으로 레티클의 제작이 저렴하고 용이하며, 레티클 상의 어떤 결점이 웨이퍼에는 축소되어 나타나므로 결점의 영향이 감소하는 장점이 있다. 그러나 정렬이나 조정이 보다 까다로운 단점도 있다. 그리고 레티클을 통하여 빛을 투과시키는데 이를 노광이라 한다. 이 때, 레티클의 패턴을 웨이퍼 상에 반복적으로 전사시키기 위해 <그림 5>와 같은 스테퍼(stepper)가 사용된다. 노광이 끝나면 빛에 노출된 감광재 부분을 제거하여 패턴을 형성할 수 있다. 이를 현상이라 한다. 다음으로 에칭공정을 통하여 현상된 부분의 막을 제거하여 감광재상의 패턴을 웨이퍼로 전사시킨다. 마지막으로 감광재를 제거하고 세정하여 패턴닝 공정을 마친다.



<그림 5> 스테퍼 공정의 개념도

위의 공정을 살펴볼 때, 패턴닝 공정의 목적인 전사는 2단계로 이루어짐을 알 수 있다[14]. 첫 단계는 레티클의 패턴을 감광재로 전사시키는 것으로 주요 공정으로는 감광재의 도포, 노광, 현상 등이 있으며, 주요 설계변수로는 감광재의 점도, 스핀 코터의 회전 속도, 현상액의 농도 및 온도, 현상시간 등이 있다. 두 번째 단계는 감광재 상의 패턴을 웨이퍼에 전사시키는 것으로 주요 공정으로는 에칭이 있으며, 주요 설

계변수로는 에칭시 온도, 반응가스의 유량 및 혼합비, RF-Power 등이 있다. 궁극적으로 패터닝 공정에서 원하는 전사성이란 두 단계를 모두 거친 후의 전사성을 의미한다. 그러나 에칭 공정은 전사성 이외에 에칭속도, 에칭속도의 균일성, 선택비 등에 대한 연구도 매우 중요하므로 개별적인 연구가 수행될 필요가 있다. 따라서, 3장에서는 첫 번째 단계에서의 전사성만을 다루며, 특히 전사성의 문제를 위치결정의 문제와 선평의 문제로 나누어 살펴보고자 한다.

3.2 위치결정의 문제

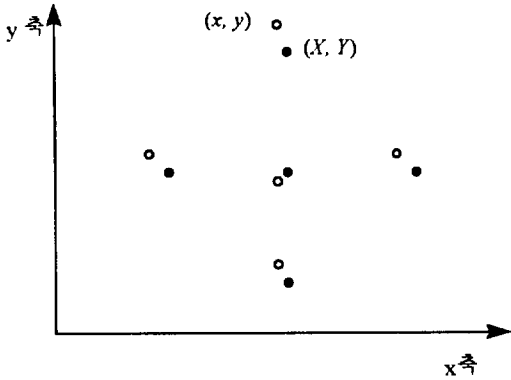
레티클상의 패턴을 감광재에 전사시킬 때 여러 가지의 위치결정 문제가 발생한다. 첫째는 칩내의 위치결정 문제이며, 둘째는 한 웨이퍼 내에서의 위치결정 문제이다[10]. 세 번째로 서로 다른 층(layer)에 형성된 패턴들의 상대적 위치결정에 관한 문제를 생각할 수 있으나, 이는 장비개발시 첫 번째와 두 번째 문제를 충실히 다룸으로써 대부분 해결될 수 있는 문제이며, 아울러 장비 사용시 미세조정에 해당하는 문제이므로 본 논문에서는 생략하고자 한다. 첫 번째 위치결정 문제는 레티클의 패턴이 웨이퍼에 전사될 때 칩내의 모든 위치에서 동일한 신축을 가져야 한다는 것으로서 주로 광학시스템에 관련된 문제이며, 두 번째 문제는 스테퍼로 웨이퍼 상에 동일한 패턴을 반복적으로 전사시킬 때 웨이퍼의 이동과 정렬이 정확, 정밀해야 한다는 것으로서 주로 스테퍼의 구동 및 정렬 시스템에 관련된 문제로 볼 수 있다.

1) 웨이퍼내의 위치결정 문제

<그림 5>에서 보는 바와 같이 웨이퍼는 x 축, y 축 방향으로 움직이는데 이때, 이동과 정렬이 정확하지 않을 수 있다. 이는 칩에 전사되는 여러 패턴들의 위치를 어긋나게 하여 불량률의 원인이 된다. 다구치는 이와 같은 이차원의 위치결정 문제를 동특성으로 연구하였다[15].

<그림 6>의 (X, Y) 는 신호로서 이동하고자 하는 점의 좌표이며, x 축과 y 축의 좌표값 (x, y) 는 특성치로서 실제 이동한 위치를 나타낸다. 예를 들어, 신호를 5수

준으로 하고 잡음인자를 2수준으로 했을 때 <표 3>과 같은 데이터가 얻어진다.



<그림 6> 웨이퍼 내 위치결정 문제의 신호(●)와 특성치(○)의 예

<표 3> 웨이퍼내 위치결정 문제의 신호와 데이터

오차	y축		Y ₁	Y ₂	...	Y ₅
	x축					
N ₁	X ₁		x ₁₁₁ y ₁₁₁	x ₁₁₂ y ₁₁₂	...	x ₁₁₅ y ₁₁₅
	X ₂		x ₁₂₁ y ₁₂₁	x ₁₂₂ y ₁₂₂	...	x ₁₂₅ y ₁₂₅
	⋮		⋮	⋮	⋮	⋮
	⋮		⋮	⋮	⋮	⋮
	X ₅		x ₁₅₁ y ₁₅₁	x ₁₅₂ y ₁₅₂	...	x ₁₅₅ y ₁₅₅
N ₂	X ₁		x ₂₁₁ y ₂₁₁	x ₂₁₂ y ₂₁₂	...	x ₂₁₅ y ₂₁₅
	X ₂		x ₂₂₁ y ₂₂₁	x ₂₂₂ y ₂₂₂	...	x ₂₂₅ y ₂₂₅
	⋮		⋮	⋮	⋮	⋮
	⋮		⋮	⋮	⋮	⋮
	X ₅		x ₂₅₁ y ₂₅₁	x ₂₅₂ y ₂₅₂	...	x ₂₅₅ y ₂₅₅

x축 방향의 위치결정시에 이상기능은

$$x = \beta_1 X$$

이므로 X를 신호로 x좌표를 특성치로 처리하여 2절에서 설명한 비례식의 SN비 SN_X와 감도 S_X를 구한다. 이때, x좌표값만을 고려하므로 Y는 잡음과 같이 생각할 수 있다. y축 방향의 위치결정시에도 이상기능은

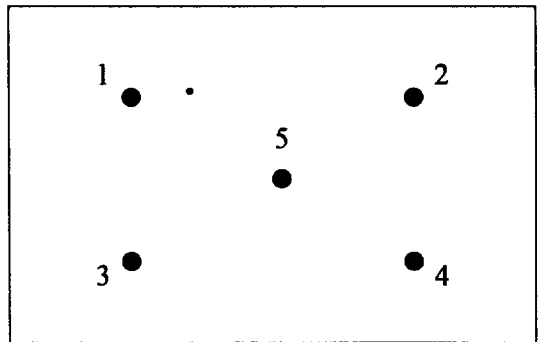
$$y = \beta_2 Y$$

이므로 Y를 신호로 y좌표를 특성치로 간주하여 비례

식의 SN_Y와 S_Y를 구한다. 마찬가지로 X는 잡음과 같이 생각할 수 있다. 최적조건은 두 SN비의 합이 최대가 되는 설계변수의 조합으로 찾으며, 신호와 관측치와의 차이를 교정할 때는 감도에 주로 영향을 미치는 조정인자를 이용하여 기울기 β₁과 β₂가 1이 되도록 한다.

2) 칩내의 위치결정 문제

웨이퍼내의 위치결정 문제에서는 웨이퍼를 각각의 좌표축에 따라 이동시키므로 기준점으로부터의 거리 뿐만 아니라 각도의 어긋남도 고려해야 한다. 따라서 x축과 y축 방향 각각의 전사성을 다루었다. 그러나 칩내의 위치결정 문제에서는 레티클의 1회 전사에 해당되는 영역에서 모든 방향으로 균일한 신축이 이루어지는 것이 중요하기 때문에 위치간의 거리에 대한 연구를 수행한다[10]. 이와 같은 신축의 문제를 다루는 한 가지 방법은, 예를 들어 <그림 7>과 같이 레티클의 전체 영역에서 5개의 점을 취하여 동특성 문제로 정형화하는 것이다.



<그림 7> 레티클 상의 5개 점

신호로서는 다음과 같은 10개의 거리를 구한다.

$$M_1 = d_{12},$$

$$M_2 = d_{13},$$

$$M_{10} = d_{45}.$$

예를 들어, M₁은 점 1과 2 사이의 거리를 의미한다.

이들 10개의 거리는 레티클의 전 영역에 걸쳐 여러 방향으로의 다양한 거리를 대표한다. 특성치는 패터닝 공정을 통해 웨이퍼에 전사된 5개 점의 좌표를 읽고, 이로부터 신호에 대응하는 거리를 계산하여 구할 수 있다. 신호와 특성치와의 이상적 관계가 비례식인 경우이므로 2절에서 설명한 비례식의 SN비로써 분석한다. 잡음인자로는 웨이퍼 내의 중앙과 외곽에 위치한 영역이나 서로 다른 웨이퍼내의 영역 등을 이용할 수 있다.

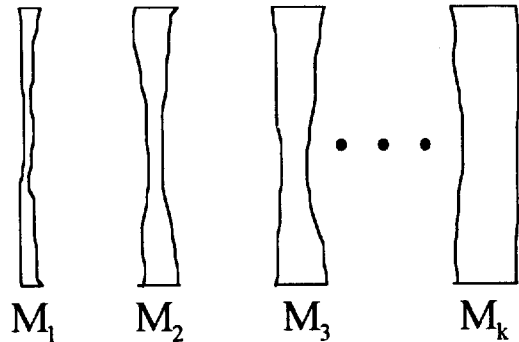
3.3 선폭의 문제

위치결정의 오차가 없아도 노광시 빛의 회절현상 등으로 패턴의 외곽지역에는 오차가 발생한다. 이와 같은 외곽지역의 오차는 선폭이 미세화됨에 따라 품질에 미치는 영향이 상대적으로 커진다. 따라서, 다양한 선폭에 대한 품질을 연구하기 위해 선폭의 문제를 동특성으로 다루어야 할 필요가 있다.

〈그림 8〉에서 M_i 는 신호로서 레티클 상의 선폭을 의미하며 선으로 둘러 싸인 부분은 실제 전사된 선폭을 나타낸다. 신호의 수준으로는 현재 제품의 선폭뿐만 아니라 차세대의 더 미세한 선폭도 포함할 필요가 있다. 이는 현재의 기술로써 다음 세대의 패턴에 대응할 수 있는가를 알아보기 위해서이다. 신호 M 과 실제 전사된 y 사이의 이상적 관계는 비례식이므로 역시 2절에서 설명한 비례식의 SN비로써 분석한다. 일반적으로 선폭의 전사 문제에서 기울기는 레티클 상의 선폭을 바꿔줌으로써 조정하며, 장비사용시 목표 선폭 값이 주어졌을 때 미세조정을 위한 인자로는 노광시간이 알려져 있다[16].

특성치로는 선폭의 최소치와 최대치 또는 가운데 부분과 양 끝 값을 취하는 단순한 방법이 있다. 그러나, 이 방법은 계측에 많은 노력이 필요할 뿐만 아니라 얼마나 정확히 계측할 수 있는가도 문제가 된다. 또한, 선폭 패턴에서 단지 몇 지점만을 계측한 데이터가 실제 선폭을 얼마나 충실히 반영할 수 있는가의 문제도 남는다. 따라서, 이에 대한 대안으로 다음과 같은 방법이 제시되고 있다[10]. 예를 들어, 금속 공정(metallization)의 경우 선폭을 직접 계측하지 않고,

회로를 구성하여 선의 양 끝에 전압을 인가한 다음 전류를 측정함으로써 이를 특성치로 삼는 것이다. 이 방법은 선의 기본기능이 전류를 흐르게 하는 데 있다는 점에 착안한 것이다. 또한, 다양한 전압에서도 선폭의 기능이 잘 유지되는 조건을 찾기 위해 내측의 각 설계조건마다 선폭과 전압을 여러 가지로 변화시켜 가면서 전류를 측정한다. 이때, 신호인 선폭 M 과 전압 M^* 와 특성치인 전류 y 사이에는 $M \times M^*$ 를 새로운 신호로 한 비례식의 이상적 관계가 성립한다. 따라서, 비례식에 대한 동특성의 SN비를 분석함으로써 전사성과 기능성을 평가할 수 있다.



〈그림 8〉 신호와 실제 전사된 선폭

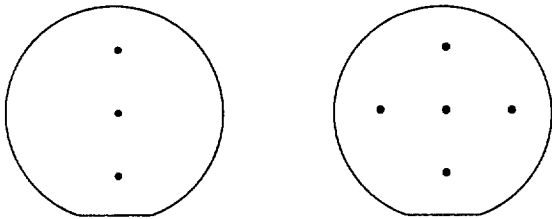
4. 박막형성 공정

막형성 공정의 주요 성능특성치는 막의 균일성이다. 막의 균일성은 다음 단계의 공정인 노광이나 에칭의 성능에도 크게 영향을 미치기 때문에 중요하게 연구되어야 한다. 박막형성에 대한 기존의 연구로는 Phadke[3] 등이 수행한 polysilicon deposition 공정의 최적화에 대한 연구 등이 있으나, 주로 막두께의 목표값이 하나로 정해진 정특성인 경우에 대해서만 수행되었다. 그러나 다양한 두께의 막에 대해서 막두께의 균일성을 확보하기 위해서는 동특성으로 다루어야 할 필요가 있다.

박막형성 공정에서 성능특성치는 박막의 두께이며 설계변수로는 증착온도, 증착압력, 반응가스의 유량 및 혼합비 등을 고려할 수 있으며 신호로는 공정의 중

류에 따라 다를 수 있으나 주로 증착시간이 사용된다 [10]. 신호와 막두께 사이의 이상적 관계는 비례식이므로 비례식의 SN비로써 분석한다. 한편, 신호가 증착시간일 때는 생산성의 관점에서 기울기가 클수록 좋으므로 주로 감도에 영향을 미치는 설계변수를 찾아 그 수준을 기울기가 크게 되도록 잡는다. 이러한 설계변수로는 증착온도를 고려할 수 있다.

잡음으로는 반응로 내부에서의 기체의 농도 구배나 흐름 패턴의 교란, 반응로의 길이 방향이나 수직 방향에 따른 온도의 변동 등을 생각할 수 있다. 그러나 이러한 잡음은 실험에서 직접 제어하기 어려우므로 반응로의 길이 방향을 따라 몇 개의 테스트 웨이퍼를 위치시키고 각 웨이퍼에서 상, 중, 하 또는 동, 서, 남, 북, 중앙에서 두께를 측정하여 잡음의 효과를 간접적으로 반영한다 (<그림 9> 참조). 한편, 막 두께에 대해서도 선펅과 같이 전기적 특성을 측정하여 균일성을 평가하는 방법이 제시되고 있다[10]. 즉, 전도성이 있는 막은 두 점간의 전류를 측정하고, 전도성이 없는 막은 두 점간의 정전용량을 측정하는 것 등이다.



(a)

(b)

<그림 9> 막의 균일성 평가를 위한 측정점의 예

5. 논의

최근 품질공학의 관심사는 기본기능의 연구에 모아지고 있다. 즉, 주어진 로버스트설계 문제에서 기본기능은 무엇이며 이를 대변할 수 있는 특성치는 무엇이 되어야 하는가 하는 문제이다. 특성치를 기본기능에 충실하도록 선택하지 않고, 기능이 제대로 발휘되지 못함으로써 발생하는 증상 (예를 들어 불량률)으로 삼

는 것은 생산자와 소비자 사이의 품질척도로서는 유용할 수 있으나 로버스트설계를 위해서는 능률적이지 못하다는 것이다[16, 17]. 기본기능에 대한 논의는 아직도 계속되고 있으나, 그 동안의 논의를 정리하면 다음과 같다[18].

기본기능 : 제품마다 고유하게 요구되는 기능, 즉 목적기능을 실현하는 기술적 수단의 기능. 또는 목적 기능 자체에 관련된 원리, 원칙.

여기서, 목적기능 자체에 관련된 원리, 원칙은 전사성이나 계측과 같은 경우에 입력과 출력 사이에 정확한 비례관계가 성립해야 한다는 것이다. 이러한 비례 관계는 목적기능 자체이지만 누구나 인정하는 원리, 원칙으로 기술 개발에 효율적으로 이용할 수 있기 때문에 기본기능에 포함시키는 것이다. 예를 들어, 3절의 패턴링 공정에서는 레티클의 패턴이 웨이퍼로 정확, 정밀하게 전사되면 바람직한 것이므로 전사성이 패턴링 공정의 기본기능이 된다. 그리고 3.3절에서 선펅의 특성치로서 전류전압특성을 연구하는 것은 이와 같은 기본기능에 충실한 특성치를 확보하려는 새로운 시도로 볼 수 있다. 주어진 문제에서 어떻게 기본기능을 정의하고 확보할 수 있을 것인가에 대한 논의는 아직도 계속되고 있으며, 반도체 제조에 있어서도 활발한 논의가 기대되는 부분이다.

본 논문에서는 로버스트 설계를 위한 실험계획에서 외측에 신호인자와 잡음인자를 설정하는 방법에 대해 주로 다루었다 (<그림 3> 참조). 한편, 다구치는 내측에 배치한 설계변수에 대해서는 주효과만을 파악하여 최적 조건을 결정할 것을 추천하고 있다[12, 13]. 이는 교호작용을 중시하는 전통적 입장에 배치되는 것으로서 그 동안 많은 논란의 대상이 되어 왔다. 이에 대한 다구치의 견해를 정리하면 다음과 같다[12]. 로버스트 설계 연구는 생산현장이나 사용현장이 아닌 연구실 수준에서 수행될 때가 많은데, 연구실의 결과가 환경, 시간, 규모 등의 외적 조건을 극복하고 생산현장이나 사용현장에서 재현될 가능성을 높이기 위해서는 연구실에서 강력한 주효과에 근거한 최적 조건을 결정하는 것이 무엇보다 중요하다는 것이다. 이러

한 목적에 부합하는 실험계획으로서 다구치는 $L_{18}(2^1 \times 3^7)$ 과 같은 직교표를 사용할 것을 권장하고 있다. $L_{18}(2^1 \times 3^7)$ 을 사용하면 2수준짜리 설계변수 1개와 3수준짜리 설계변수 7개까지를 18회의 실험으로 연구할 수 있으며, 1열과 2열에 배치한 설계변수의 교호작용을 제외한 모든 교호작용은 여러 열에 조금씩 나뉘어 등장한다. 따라서, 신뢰할 수 있는 주효과의 발견에 유리하다는 것이다. 이상과 같은 다구치의 제안은 수리적으로는 입증되지 못하였으나 많은 사례연구를 통해 경험적으로 그 타당성이 인정되기 시작하는 단계에 있으며, 앞으로 많은 경험이 누적됨에 따라 다구치와 전통적 입장이 보다 확실히 정리될 수 있으리라고 믿어진다.

끝으로, 본 논문에서 다루지 못한 부분으로서 조립공정의 계수분류치에 대한 분석은 다구치[12, 13]를 참조하기 바라며, 다특성치에 관한 분석방법은 Derringer와 Suich[19], Logothetis와 Haigh[20], Pignatiello[21], 서순근과 최종덕[22] 등을, 그리고 시뮬레이터를 이용한 회로설계에 품질공학적 접근을 시도한 예로서는 Phadke[23], Young 등[24], Bernardo 등[25]을 참조하기 바란다.

【참고문헌】

- [1] Phadke, M. S., Kackar, R. N., Speeney, D. V. and Grieco, M. J., "Off line quality control in integrated circuit fabrication using experimental design", AT&T Technical Journal, 62(5), pp.1273-1309, 1983.
- [2] Chung, H. K., Stuelke, D. D., Ulmer, R. P. and Larson, D. A., "One micron silicide gate length control using statistical design of experiments", Proceeding of the first U. S. Conference on GaAs Manufacturing Technology, Grenelefe, Florida, pp. 30-31, October 1986.
- [3] Phadke, M. S., Quality Engineering Using Robust Design, Eaglewood Cliffs, NJ: Prentice Hall, 1989.
- [4] DePinto, G., "A methodology for optimizing a constant temperature polysilicon deposition process", IEEE Transactions on Semiconductor Manufacturing, vol. 6, no.4, pp.332-342, November 1993.
- [5] Kackar, R. N. and Shoemaker, A. C., "Robust Design: a cost-effective method for improving manufacturing processes", AT&T Technical Journal, 65(2), pp.39-50, 1986.
- [6] Aceves, M., Hernandez, J. A. and Murphy, R., "Applying statistics to find the causes of variability in aluminium evaporation: A case study", IEEE Transaction on Semiconductor Manufacturing, 5(2), pp.165-167, 1992.
- [7] Schmidt, B., Dierl, H. and Kaltenbach, H., "Optimization of IC chip bonding process via Taguchi methods", ASI Fifth Symposium on Taguchi Methods, pp.475-485, 1987.
- [8] Jeng, Y. C. and Huang, M. F., "Optimization the thermalsonic bonding process for thick film hybrid IC by the Taguchi method", Microelectronics Reliability, vol. 31, no. 2/3, pp.501-510, 1991.
- [9] Kim, Y. G., Pavuluri, J. K., White, J. R. Busch-Vishniac, H. J. and Masada, G. Y., "Thermocompression bonding effects on bump-pad adhesion", IEEE Transaction on Components, Packaging, and Manufacturing Technology-Part B, vol. 18, no. 1, pp.192-200, February 1995.
- [10] 田口玄一, 半導體製造工程の技術開發, 日本規格協會, 1994.
- [11] Taguchi, G, System of Experimental Design, Vol. 2, UNIPUB / Karus International Publication and American Supplier Institute Inc, 1987.
- [12] 다구치, 개발·설계 단계의 품질공학, 품질공학강좌 1, 한국공업표준협회, 1989.
- [13] 다구치, 품질설계를 위한 실험계획법, 품질공학강좌 4, 한국공업표준협회, 1989.
- [14] 平和俊, 市川誠, 江本知正, "半導體製造工程と品質工學," 品質工學, vol. 4, No. 2, pp.9-15, 1996.
- [15] 田口玄一, 技術開發のための品質工學, 日本規格協會, 1994.
- [16] Mori, T., Taguchi Techniques for Image and Pattern Developing Technology, Eaglewood Cliffs, NJ:

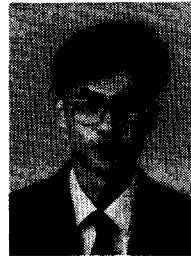
Prentice Hall, (1995).

- [17] 上野憲造, 품질공학이란 무엇인가, 월간 기계설계 10월호, pp.1-53, 1994.
- [18] 中部品質工學硏究會, “基本機能とは”, 品質工學, 2(3), pp.40-45, 1994.
- [19] Derringer, G. and Suich, R., “Simultaneous optimization of several response variation”, Journal of Quality Technology, 12(4), pp.214-219, 1980.
- [20] Logothetis, N. and Haigh, A., “Characterizing and optimizing multi-response processes by the Taguchi method”, Quality and Reliability Engineering International, 4, pp.159-169, 1988.
- [21] Pignatiello, J. J., “Strategies for robust multiresponse quality engineering”, IIE Transactions, 25(3), pp.5-15, 1993.
- [22] 서순근, 최종덕, “다성능 특성치에 관한 안정성 설계”, 품질경영학회지, 제22권 제3호, pp.34-53, 1994.
- [23] Phadke, M. S., “Design optimization case studies”, AT&T Technical Journal, 65(2), pp.51-68, 1986.
- [24] Young, D. L., Teplik, J., Weed, H. D., Tracht, N. T. and Alvarez, A. R., “Application of statistical design and response surface methods to computer-aided VLSI device design II : Desirability functions and Taguchi methods”, IEEE Transactions on Computer-Aided Design, vol. 10, no. 1, pp. 103-115, January 1991.
- [25] Bernardo, M. C., Buck, R., Liu, L., Nazaret, W. A., Sacks, J. and Welch, W. J., “Integrated circuit design optimization using a sequential strategy”, IEEE Transactions on Computer-Aided Design, 11 (3), pp.361-372, March 1992.



염봉진(廉奉鎭)

오하이오 주립대 산업공학과에서 박사 학위(1981)를 취득하였으며, Owens-Corning Fiberglass 선임연구원, Texas Tech University 조교수를 거쳐, 1984년 이후 KAIST 산업공학과 교수로 재직 중이다. 주요 관심분야는 회귀분석/실험계획법, 품질/신뢰성 공학 등이다.



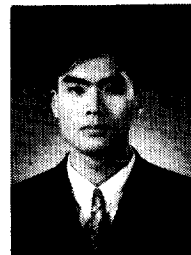
김길수(金吉秀)

한양대학교 산업공학과에서 학사(1991), KAIST 산업공학과에서 석사(1994)를 마치고 현재 KAIST 산업공학과 박사 과정에 재학 중이다. 주요 관심분야는 품질공학(다구치 방법), 실험계획 및 회귀분석 등을 이용한 제품 및 공정설계 등이다.



이필훈(李八勳)

고려대학교 산업공학과에서 학사(1994), KAIST 산업공학과에서 석사(1996)를 마치고 현재 KAIST 산업공학과 박사 과정에 재학 중이다. 주요 관심분야는 품질공학(다구치 방법), 다성능특성치의 절충문제, 공간패턴 분석 등이다.



박양길(朴洋吉)

한양대학교 산업공학과에서 학사(1995), KAIST 산업공학과에서 석사(1997)를 마치고 현재 KAIST 산업공학과 박사 과정에 재학 중이다. 주요 관심분야는 품질공학, 실험계획 및 분석 등이다.



김성준(金成駿)

연세대학교 산업공학과에서 학사(1989), KAIST 산업공학과에서 석사(1991), KAIST 산업공학과에서 박사(1995)를 마치고, 현재 강릉대학교 산업공학과 전임강사로 재직 중이다. 주요 관심분야는 다구치 방법 및 실험계획법, 품질관리, AI 응용 등이다.