

시뮬레이션기반의 에칭공정 생산운영대안 분석시스템

신용호* · 서정원* · 이태억* · 한익환** · 최 철**

A Simulation-Based Decision Support System for Operations of Etching Workstations

Yong-Ho Shin* · Jeong-Won Seo* · Tae-Eog Lee* · Ik-Hwan Hahn** · Cheol Choi**

〈요 약〉

혼류생산을 위한 반도체 웨이퍼제조라인중 에칭공정의 생산운영대안의 평가를 위한 시뮬레이션 기반의 분석시스템의 개발사례를 소개한다. 에칭공정의 공정특성 및 작업흐름을 소개하고 생산운영을 위한 의사결정문제를 설명한다. 생산운영대안의 평가 및 비교를 위해서는 시뮬레이션 모델을 활용한다. 웨이퍼의 회로계층의 수만큼 일련의 제조공정을 반복하는 반복방문 방식의 작업흐름 특성 때문에 생기는 타 공정과의 연관성을 반영하되 에칭공정의 작업흐름에 초점을 맞추기 위해 에칭공정 이외의 타공정을 단순화시키는 모델링기법을 사용하였다. 에칭배이내의 복잡한 작업흐름 및 장비운영제약 조건등을 모델링하기 위해 활용한 객체지향방식의 모델링기법의 적용사례를 소개한다.

1. 서론

반도체 제조라인에서 웨이퍼를 제조하기 위해서는 수백개의 세부공정단계(Process Step)가 필요하고 검사 및 조정작업 등을 포함한 복잡한 작업흐름(Job Flow)이 요구된다[1][2]. 반도체 제조공정은 웨이퍼내 회로계층(Circuit Layer) 수만큼 포토(Photolithography), 에칭, 이온주입(Implanting), 확산(Diffusion) 등의 일련의 공정을 반복하여 수행하므로 작업흐름이 반복방문(Reentrant)의 형태를 갖게된다. 따라서, 각 공정에는 다양한 회로계층의 작업을 위한 웨이퍼가 대기하게 된다. 회로계층마다 에칭세부공정이 다를 수 있어 작업물(Job)이 다양해지고 작업흐름이 복잡해진다. 특히

다양한 제품의 웨이퍼를 혼류 생산하는 경우 그 다양성 및 복잡성이 가중된다.

에칭공정은 포토공정의 후속공정으로서 포토공정에서 전사된 회로의 패턴을 따라 화학적 처리를 통하여 미세한 회로패턴을 웨이퍼 표면에 물리적으로 식각하는 공정이다. 에칭공정을 거친 웨이퍼는 후공정에서 식각된 회로패턴에 다른 물질을 증착하는 이온주입, 확산공정을 거쳐 회로를 완성하게 된다. 에칭공정에서 식각한 회로패턴은 웨이퍼의 품질에 큰 영향을 미치게 되므로 에칭공정 전후에 검사공정을 거치게 된다. 수율 극대화를 위해 매 웨이퍼 로트 또는 런(Run) 별로 사전 및 사후 검사와 장비 조정작업이 수행된다. 따라서, 작업흐름 및 장비운영 등에 공정기술과 연관

* 한국과학기술원 산업공학과

** LG반도체(주) 생산시스템개발그룹

한 제약조건이 많다. 특히, 에칭(Etching) 공정은 웨이퍼 특성 및 회로계층에 따라 화학적, 물리적 특성이 다른 세부공정(Process Step)이 요구되며 각 에칭공정 장비별로 수행 가능한 세부공정이 다르다. 또한, 에칭 공정 장비별로 세부공정을 수행 가능한 순서 및 횟수에 기술적 제약이 있다.

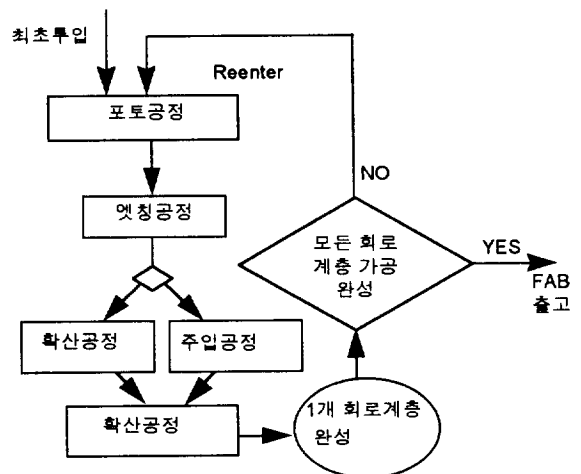
에칭공정의 작업흐름 및 공정운영의 복잡성으로 인해 생산효율이 나빠지기 쉬워 생산계획, 장비 및 공정 운영을 체계화하고 합리화하는 것이 중요하다. 기존의 반도체 라인에 대한 시물레이션 및 스케줄링은 대부분 포토공정의 장비운영, 배칭공정 장비의 운영 문제 등을 다루었다[3][4][5][6][7][8]. 전체 반도체 제조라인의 시물레이션, 생산계획 및 스케줄링에 관한 대부분의 연구들은 제조공정흐름을 단순화하여 각 공정내 세부작업흐름을 제대로 반영하지 못하고 있다. 따라서, 에칭공정의 생산계획 및 공정운영을 위해서는 에칭 세부공정뿐 아니라 검사, 선/후행 공정과의 관계, 작업자 배정 및 운영 방식, 공정 및 장비의 운영에 대한 기술적 제약조건 등을 감안한 에칭공정의 세부적인 작업흐름 및 장비운영을 고려하는 것이 필요하다.

본 연구에서는 다품종의 제품을 혼류생산하는 실제의 웨이퍼 제조라인을 대상으로 에칭공정의 생산운영을 합리화하기 위해서 생산운영대안을 사전 평가하기 위한 시물레이션 기반의 분석시스템의 개발사례를 소개한다. 에칭공정의 공정특성 및 작업흐름을 소개하고 생산운영을 위한 의사결정문제를 설명한다. 생산운영대안의 평가 및 비교를 위해서는 시물레이션 모델을 활용한다. 웨이퍼의 회로계층 수만큼 일련의 제조공정을 반복하는 반복방문 방식의 작업흐름 특성때문에 생기는 타 공정과의 연관성을 반영하되 에칭공정의 작업흐름에 초점을 맞추기 위해 에칭공정 외의 타 공정을 단순화시키는 모델링기법을 사용하였다. 에칭작업장 내의 복잡한 작업흐름과 장비운영 제약조건 등을 모델링하기 위해 활용한 객체지향방식의 모델링 기법의 적용사례를 소개한다.

2. 에칭공정의 작업흐름 및 공정운영

2.1 FAB내 공정흐름 개요

웨이퍼제조공정(Wafer Fabrication)은 크게 포토공정(Photolithography), 식각공정(Etching), 확산공정(Diffusion), 주입공정(Implanting), 증착공정(Deposition)으로 구분되며(〈그림 1〉을 참조하라) 세부공정단계(Process Step)는 총 100-400여개에 이른다. 각 웨이퍼는 10~30 개정도의 회로계층으로 이루어져 있으며 각 회로계층은 유사한 일련의 공정을 계층수만큼 반복수행하여 생성된다. 따라서, 전반적인 공정흐름은 반복방문방식의 흐름라인(Reentrant Flow Line)으로 분류될 수 있다. 각 공정의 장비들은 일반적으로 수개의 유사한 작업장(Bay)으로 구성되어 있다. 각 세부공정의 단계는 대개 수십분에서 수시간의 공정시간이 요구되며 개별 로트의 총 제조소요기간은 60일 이상이 소요된다. 완성된 웨이퍼는 일반적으로 별개의 조립라인에서 패키징되어 출하된다. 웨이퍼는 일반적으로 카세트(Cassette)라고 불리는 팔레트에 탑재되어 이송되고 공정장비에 투입된다. 한 팔레트는 일정숫자(예로, 25매)의 웨이퍼로 구성되며 이 단위의 웨이퍼 묶음을 일반적으로 런(Run) 또는 로트(Lot)라고 부른다.



〈그림 1〉 웨이퍼 제조공정 흐름

2.2 에칭 작업장의 장비구성 및 작업흐름

대상라인은 총 7개의 에칭 작업장(Bay)을 가지고 있으며 본 연구에서는 데이터 준비의 문제로 우선적으로 1번부터 3번까지의 3개 작업장을 대상으로 하였다. 각 에칭 작업장은 담당 세부 에칭공정을 수행할 전용 장비 및 공용장비와 검사장비를 갖추고 있다. 이들 작업장의 에칭공정을 수행할 전용장비는 12가지 모델의 총 49대가 있다(<표 1>을 참조하라). 장비군은 수행 가능한 세부 에칭공정 종류 및 제작사에 의해 분류되며 흔히 장비군(Device Group)이라고 부른다.

<표 1> 에칭 작업장의 장비구성

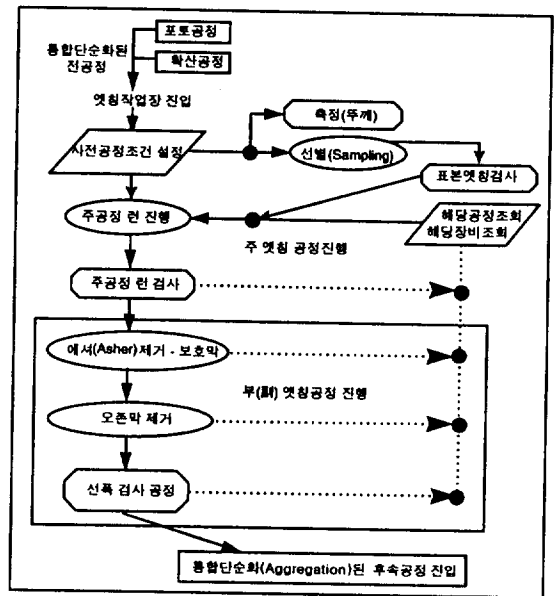
| 설치작업장 | 장비군 | 장비번호 | 대수 |
|-------|-----|--|----|
| 2 | 1 | 1,2,3,4,5,6 | 6 |
| 2,3 | 2 | 1,2,3,4,5,6,7,8 | 8 |
| 1 | 3 | 1,4(2),5(3),6(4), 7(5),8(6), 9(7),10(8) | 8 |
| 1 | 4 | 1,2,3,4,5,6 | 6 |
| 3 | 5 | 2(1),3(2),4(3),5(4) | 4 |
| 2,3 | 6 | 1,2 | 2 |
| 2 | 7 | 1,2 | 2 |
| 3 | 8 | 1,2 | 2 |
| 3 | 9 | 1,2 | 2 |
| 2 | 10 | 1,2 | 2 |
| 3 | 11 | 1,2,3,4,5,6 | 6 |
| 1 | 12 | 1 | 1 |

()는 누락된 번호를 재배열한 번호를 의미함.

각 에칭 작업장내의 작업흐름은 <그림 2>와 같다. 웨이퍼가 전공정인 포토공정 또는 확산공정을 마친 후 에칭공정에 도착하면 런내의 웨이퍼중 일부를 샘플링하여 검사하여 장비의 최적 공정조건을 설정하는 작업이 필요하다. 주(Main) 에칭작업이 완료된 후에는 사후 검사공정을 거치게 된다. 회로계층에 따라 주 에칭작업외에 보호막, 오존 등을 제거하는 부(副) 에칭작업이 추가로 진행되는 경우도 있다.

2.3 에칭 세부공정

에칭공정의 종류는 주공정인 Poly, Nitride, Oxide, Metal 에칭, 습식각과 부공정인 Asher제거, 오존제거 등이 있다. 회로계층(Layer)에 따라 이들은 다시 WELL, LOCOS, FG, LDD, MCNT SG, TG, LE, CONTACT, AL, TC, AL, MC 등의 총 25여개 세부공정(Process Step)으로 세분된다. 편의상 이들 세부공정명을 일련번호로 표시한다(<표 3>의 첫째 열 참조). 웨이퍼가 새로운 회로계층의 에칭작업을 위하여 에칭공정으로 진입할 때마다 새로운 세부공정을 순차적으로 수행한다. 웨이퍼 런중에는 제품종류와 작업할 회로계층에 따라 주 에칭공정의 세부공정만을 요구하는 반면 어떤 웨이퍼 런은 Asher제거, 오존제거 등의 부공정의 세부공정을 요구하기도 한다. 이러한 세부공정 요구사항 및 공정순서는 제품종류별 공정계획(Process Plan)에 명시된다. 대상라인에서는 RAM 3종과 ASIC 4종의 제품을 혼류 생산하고 있으며 전술한 에칭 세부공정들은 그 종류별로 구체적인 공정 recipe가 달라진다. 모든 에칭공정은 사전 조율공정을 위한



<그림 2> 에칭 공정의 세부공정 흐름

셋업이 필요한데, 이는 공정시간에 포함될 수 있다. <표 2>는 제품별 세부공정을 예시하고 있으며 음영으로 표시된 부분은 본 연구에서 대상으로 한 3개 작업장에서 수행되는 총 81개의 세부공정 Recipe들을 나타낸다.

생산량증대가 바로 라인전체의 생산량증대를 의미하는 것은 아니며 시간당 생산량은 전체라인이 균형화 되도록 라인에 작업물을 투입하는 주기(Cycle)에 의해 결정된다. 반면 옛칭공정에서의 제조소요기간을 단축함으로써 웨이퍼 완성품의 전체 제조소요기간을 단축

<표 2> 제품별 옛칭 세부공정 (일부)

| 세부공정 | RAM #1 | RAM #2 | ASIC #1 | ASIC #2 | RAM #3 | ASIC #3 | ASIC #4 |
|--------|--------|--------|---------|---------|--------|---------|---------|
| 1 | ■ | ■ | ■ | ■ | ■ | ■ | |
| 2 | ■ | ■ | ■ | ■ | ■ | ■ | |
| 3 | ■ | ■ | ■ | ■ | ■ | ■ | |
| 4 | ■ | □ | ■ | ■ | ■ | ■ | |
| . . . | | | | | | | |
| 22 | ■ | □ | ■ | ■ | ■ | ■ | |
| 23 | ■ | □ | ■ | ■ | ■ | ■ | |
| 24 | □ | □ | □ | ■ | ■ | ■ | |
| 25 | □ | □ | □ | ■ | ■ | ■ | |
| 담당공정 수 | 23 | 9 | 13 | 15 | 7 | 11 | 3 |

2.4 셋업, 고장 및 수리와 유지보수

반도체 장비는 고장과 수리 및 유지보수가 중요하다. 특히 옛칭장비는 웨이퍼표면을 식각하여 생기는 불순물이 발생하여 청소(Cleaning)작업이 요구된다. 본 연구에서는 분석하는 모든 장비에 대한 비가동시간을 수집하여 시뮬레이션 모델에 반영하였다. 특히, 장비군에 따라 특정 세부 공정을 3,4회 이상 연속진행할 수 없는 기본적 제약조건도 모델링하였다.

할 수 있고 옛칭공정에서의 제공재고도 감축할 수 있게 된다. 따라서, 옛칭공정에서의 TAT를 단축하기 위해서는 장비군별 세부공정 배정방안과 작업물별 장비 선정규칙을 합리적으로 결정해야 할 필요가 있다. 그리고, 라인에 투입하는 제품의 구성은 기간에 따라 달라질 수 있다(대개 월별로 변경). 이에 따라 옛칭공정 성능 특성이 달라지므로 장비배정에 관한 의사결정은 라인의 물량투입안이 결정될 때마다 달라져야 한다.

3. 옛칭공정의 생산운영을 위한 의사결정문제

옛칭공정의 생산운영을 위한 의사결정문제는 크게 나누어 장비군별로 세부공정 또는 세부공정별 장비배정 방안을 결정하는 문제와 각 런을 작업할 장비에 할당하는 문제로 구분된다. 대상 라인중의 옛칭공정을 합리화하기 위한 가장 중요한 관리지표는 옛칭공정에서의 제조소요시간(TAT)이다. 옛칭공정만의 시간당

3.1 장비배정계획(장비군별 세부공정 배정계획)

여기서의 계획은 장비군별로 어떤 세부공정을 담당할 것인가를 결정하는 것이다. 각 세부공정별로 수행할 장비의 모델을 결정하는 것이라고도 볼 수 있어 일명 장비배정계획이라고 부른다. 대기중인 런은 고유한 제품모델과 현재 작업할 회로계층이 정해져 있으므로 진행할 수 있는 장비군이 달라진다. <표 3>은 장비군별로 수행가능한 세부공정을 보여준다.

이러한 장비군별 수행가능한 세부공정에 따라 현재 각 장비별로 할당 세부공정계획은 <표 4>에 부분적으로 예시되어 있다.

엡칭 장비 중에는 전술한 바와 같이 현재 가공중인 세부공정을 정해진 수만큼 반복한 후 다른 공정으로 변환해야 하는 장비가 있다. <표 3>과 같이 공정별로 수행가능한 세부공정을 할당하더라도 일부 엡칭장비는 물리화학적 특성 때문에 특정의 세부공정을 반복 수행할 수 있는 횟수와 세부공정 전환순서에 기술적인 제약이 있다. 예를 들면, 특히 엡칭-4 장비는 3번 공정과 8번공정 중 하나를 3회 이상 진행할 수 없다. 따라서, 각 장비가 <표 4>에서 배정된 세부공정을 수행할 수 있으나 실제로 개별 런을 작업할 때에는 전술한 제약조건을 준수하여 그 공정을 반복하고 전환한다. 즉, 런의 처리순서나 장비에의 배정은 이러한 기본적인 제약조건을 따르도록 결정된다.

<표 3> 장비군별 수행가능한 세부공정

| 장비군 | 수행가능한 세부공정 |
|-----|----------------|
| 1 | 15,20,24 |
| 2 | 4,6,10,13,19 |
| 3 | 1,2,9,12,18,23 |
| 4 | 3,8,9 |
| 5 | 13,19 |
| 6 | 16,21 |
| 7 | 17,22 |
| 8 | 9 |
| 9 | 12,18 |
| 10 | 15 |
| 11 | 5,7,11,14,23 |
| 12 | 19 |

<표 4> 장비배정계획 (일부)

| 작업장 | 공정 장비군 | 장비 번호 | 장비 수 | 수 량 | 공정 수 | 적용 세부 공정 | 비 고 |
|-----|-----------|---------------------|---------|--------|---------|---|--------------------------------------|
| 2 | 엡칭-1 | 1,2,3,4, 5,6,7,8 | 6 | 50 | 11 | RAM #1 15 RAM #1 20 ASIC #1 15 ASIC #2 15 ASIC #1 20 ASIC #2 20 ASIC #2 24 RAM #3 15 ASIC #3 15 ASIC #4 15 ASIC #4 20 | 제품명 세부공정번호 |
| 2,3 | 엡칭-2 | 1,2,3,4, 5,6,7,8 | 8 | 50 | 6 | RAM #1 4 RAM #1 6 RAM #1 10 RAM #1 13 RAM #1 19 ASIC #1 4 ASIC #2 4 | 1,2,3,4 : 2번 작업장 5,6,7,8 : 3번 작업장 |
| 2 | 엡칭-7 | 1,2 | 2 | 50 | 11 | 모든제품의 17, 22 | |
| 3 | 엡칭-8 | 1 | 2 | 50 | 1 | RAM #1 9 | |

3.2 작업물별 장비선정(Dispatching)

각 장비군별로 여러대의 동일장비가 있으므로(〈표 1〉 참조) 생산진행과정에서 개별 작업물에 대해 필요한 세부공정을 수행할 장비를 선정해야 한다. 각 장비의 상태와 작업장에서 대기하고 있는 세부공정별 작업물의 수량을 감안하여 동적으로 결정하게 되며 Dispatching이라고 부르기도 한다. 본 연구에서 사용한 Dispatching규칙은 다음과 같다.

PrQ (Priority Queue) : 제품별 우선순위 체크후 대기물량이 많은 런을 선택

MQ (Maximum Queue) : 제품, 공정 우선순위에 관계없이 대기물량이 많은 런을 선택

PrW (Priority Work) : 우선순위를 먼저 고려하고 대기작업량(대기중인 런의 잔여작업시간으로 Work 이라고 한다)이 많은 런을 선택

MW (Maximum Work) : 우선순위에 관계없이 Work 이 많은 런을 선택

3.3 라인의 물량투입안

물량투입안은 일별로 대상 �칭작업장에서 생산할 제품모델별 수량을 결정하는 것이다. 이는 �칭공정의 운영을 합리화하기 위해 결정한다기보다는 제품주문의 접수상황이나 라인전체의 운영특성을 감안하여 결정된다. 대신, 다양한 물량투입 상황에 대해 �칭공정의 운영방안을 평가하기위해 정의된다. 〈표 5〉는 물량투입계획의 한 예를 보여주고 있다.

〈표 5〉 물량투입안 [웨이퍼 장/일]

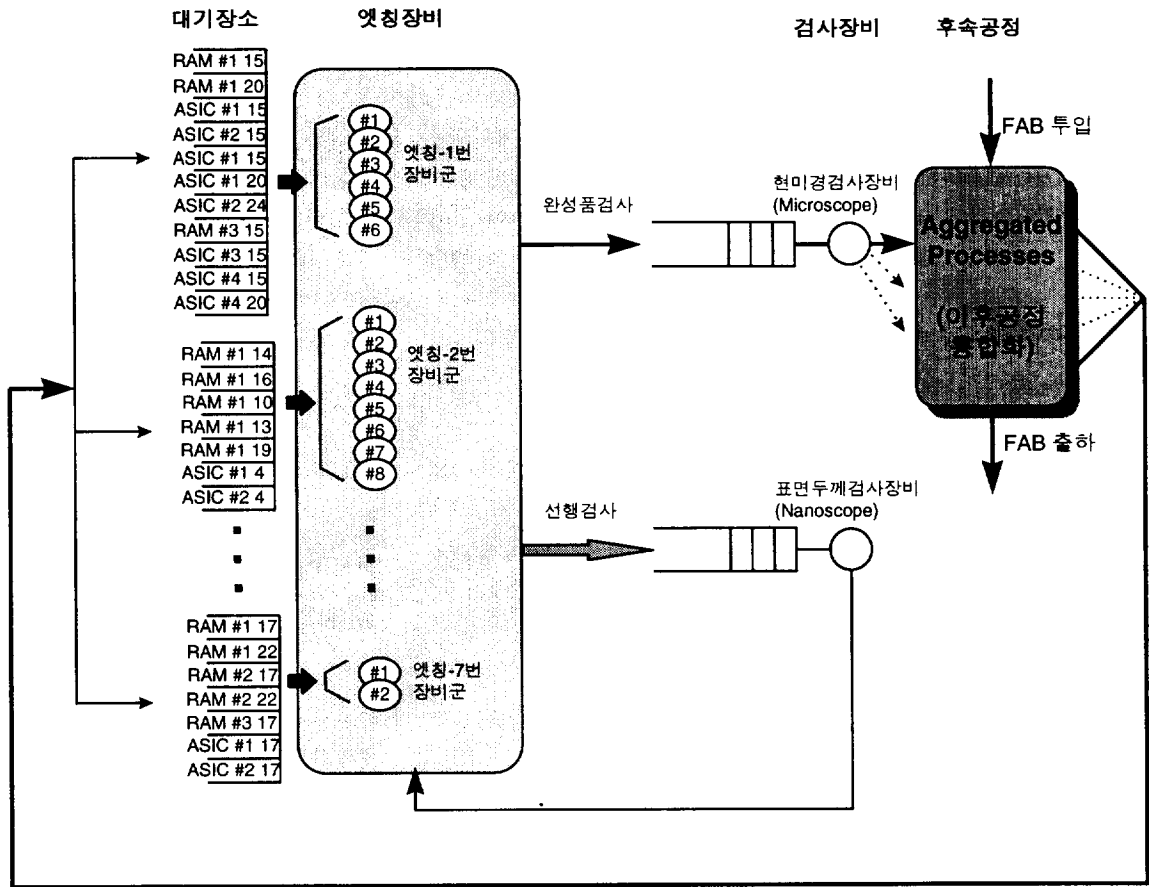
| 제품 | 물량안 | | | | |
|---------|-----|-----|-----|-----|------|
| | A안 | B안 | C안 | D안 | E안 |
| RAM #1 | 551 | 534 | 438 | 413 | 400 |
| RAM #2 | 113 | 145 | 122 | 145 | 137 |
| RAM #3 | 84 | 112 | 109 | 145 | 170 |
| ASIC #1 | 129 | 131 | 158 | 131 | 100 |
| ASIC #2 | 0 | 33 | 32 | 33 | 200 |
| ASIC #3 | 10 | 0 | 10 | 10 | 33 |
| ASIC #4 | 0 | 0 | 9 | 19 | 10 |
| 합 계 | 887 | 955 | 878 | 896 | 1050 |

4. 시뮬레이션 모델링

4.1 단순화된 논리적 작업흐름 모델(Aggregated logical Job Flow Model)

연구 대상 �칭 작업장들은 충분히 큰 작업 대기장소를 갖고 있다. 연구대상 작업장 1, 2, 3번에는 각기 전담 작업자 2명씩과 총괄 작업자 1명으로 7명씩 3교대로 24시간 작업을 수행한다. 작업자는 �칭장비의 로딩/언로딩/검사/이동(반송)등을 담당한다. �칭공정에서 대기중인 웨이퍼 런들은 요구하는 세부공정별로 구분하여 볼 수 있다. 따라서, 장비군별로 배정된 세부공정들을 각각에 대해 별개의 대기행렬이 있는 것처럼 생각할 수 있다(〈그림 3〉을 참조하라). 각 웨이퍼 런은 Nanoscope(표면두께 검사장비)에서 선행검사를 먼저 완료한 후에 �칭세부공정을 거치고 최종으로 Microscope(현미경 검사장비)에서 품질검사를 거친 후에 다음 후공정으로 투입된다.

〈그림 3〉에서 �칭공정을 완료한 웨이퍼는 통합후속공정(Aggregated Processes)으로 진입한다. 즉, �칭공정의 전공정인 포토공정과 후공정인 확산공정, 이온주입공정, 증착공정 등의 수백여개의 세부공정들은 세부적으로 모델링하지 않고 단일 대기행렬모형으로 단순화하였다. 즉, 매 회로계층마다 �칭공정이외의 공정들에서 소요되는 시간을 실제 라인에서 측정된 실적 데이터로 근사하였다. 이는 후공정의 개별적인 특수성의 영향을 배제하여 �칭공정의 고유한 운영특성에 초점을 맞추고 시뮬레이션 모델 개발노력 및 데이터 준비의 노력을 줄이기 위함이다. 이 방법은 동시에 작업물이 같은 공정을 반복방문하는 FAB의 특성상 �칭공정만을 분리하여 모델링하고 분석할 수 없는 기술적 어려움을 해결하는 방법이기도 하다. 이러한 통합(Aggregation)에 의한 근사화는 기존의 대기 네트워크에서 일부 대기 노드들을 단일 노드로 통합하여 분석하는 효과적인 방법인 FES(Flow Equivalent Server)기법[9], RTA(Response Time Approximation)기법[10][11] 등과 유사하다. 본 연구에서는 RTA기법을 사용하였다. RTA기법을 채택한 이유는 실측된 후공정에서의 총지연시간(즉, 후공정에서의 제조소요기간)



〈그림 3〉 옛칭공정의 단순화된 대기행렬 모형도

과 같은 지연시간을 갖는 단일 대기행렬(Single Queue)인 M/G/1 대기모형을 후공정으로 간주하는 방식이다. FES대신에 RTA방법을 사용한 이유는 실제 제조라인에서 후공정에 대한 평균지연시간에 대한 데이터를 관리하고 있기 때문이다. 이러한 후공정 통합에 의한 근사방식은 반도체 제조라인의 포토폰공정의 스텝퍼(Stepper)의 배치크기 및 작업순서 분석에 적용되어 효과적임이 입증되었다([12][13]을 참고하라). [12][13]에서 후공정 근사 단일대기모형의 서버 수를 변화시켜 후공정을 마친후 작업물의 순서가 변경되는 정도를 변화시켜가면서 분석해 본 결과 후공정에서의 작업물의 순서 변경정도에 거의 영향이 없음을 보여 순서변화가 전혀 없는 M/G/1 대기모형으로 근사하는 것이 타당함을 보였다. 그들은 또한 후공정에서의 서버의

작업시간의 분포에도 민감하지 않음을 보여 M/M/1 대기모형을 근사노드로 이용할 것을 제안하였다. 따라서, 본 연구에서도 후공정의 근사 대기모형의 변화에 따라 추정하고자 하는 TAT의 절대치는 영향이 있을지는 모르나 본 연구에서 목표로 하고 있는 생산운영대안의 상대적 비교에는 영향을 주지 않을 것으로 판단하여 M/M/1 대기모형을 근사노드로 사용하였다. 근사하는 M/M/1 대기모형의 입력률(Input Rate)은 대상 FAB라인 모델이 개방형 대기네트워크(Open Queue Network)이므로 라인에의 물량투입률과 같다고 가정하였다 (즉, 안정상태(Steady State) 모델을 가정함). 한편, 서비스율은 M/M/1 대기모형의 평균 지연시간이 $D = \frac{\lambda}{\mu(\mu - \lambda)}$ 로 주어지므로 실측된 후공정에서의 평균지연시간 \bar{D} 와 같음을 이용하여 $\mu = \frac{\lambda + \sqrt{\lambda^2 + 4\lambda / \bar{D}}}{2}$ 로 유도

된다. 본 연구에서는 3개의 옛칭 작업장만을 대상으로 분석하였으므로 나머지 4개의 옛칭작업장에서 수행되는 세부공정들 (<표 3>에서 음영표시되지 않은 부분에 해당)의 수행을 위해 소요되는 지연시간도 후공정 지연시간에 포함하였다. 물론 본 시뮬레이션 모델은 전체 옛칭작업장에 대한 모델로 쉽게 확장될 수 있다.

4.2 객체지향방식의 시뮬레이션 모델

본 연구에서는 옛칭공정내의 복잡한 작업흐름과 공정 및 장비 운영상의 제약조건들을 모델링하기 위하여 흐름 생산라인의 모델링에 흔히 사용되는 SIMAN 등의 프로세스중심의 시뮬레이션 모델링 도구보다는 모델링의 융통성이 높은 객체지향방식의 시뮬레이션 모델링 언어인 MODSIM II를 이용하였다.

옛칭공정을 객체지향방식으로 시뮬레이션 모델링하기 위해 작업장을 구성하는 개별 객체를 정의한다. 각 객체들이 가질 수 있는 상태를 정의하고 객체간의 상호작용을 파악하여 이에 따른 객체의 상태변화를 정의한다. 본 연구에서 정의한 객체모델은 공정을 진행하는 작업물객체(Part Object), 초기화되어 생성된 작업물을 작업장에 투입하는 작업물 발생객체(Part Generation Object), 작업장의 옛칭장비에 각각 대응되는 장비객체(Machine Object), 장비의 공정수행을 담당하는 프로세스객체 (Process_Q Object), 작업자에 해당되

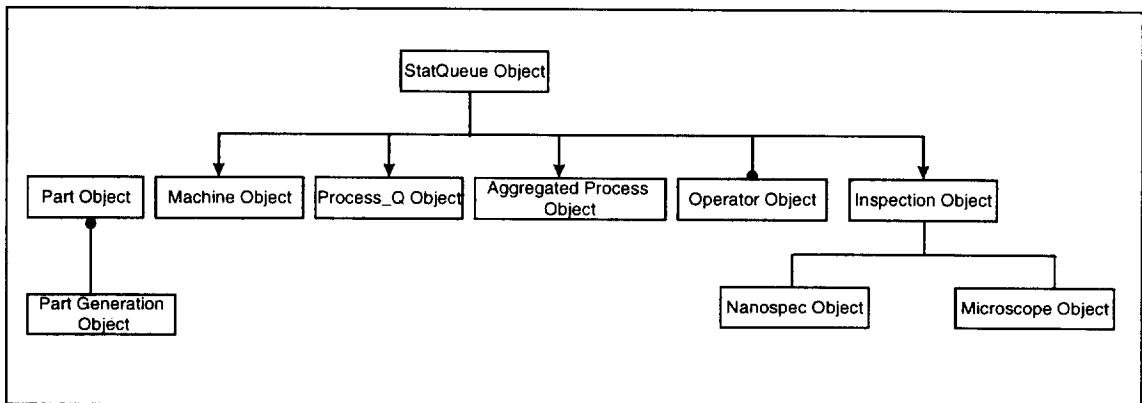
는 작업자객체(Operator Object), 그리고 검사장비에 대응되는 검사장비객체(Nanospec, Microscope Resource) 등으로 이루어져 있다(<그림 4>를 참조하라).

위의 작업장을 구성하는 객체들은 대부분 MODSIM II에서 제공하는 기본객체(Queue, StatQueue 등)를 상속하여 구현한다. 그 중 각각 작업물, 장비, 프로세스 플랜에 해당하는 Part_Obj, Machine_Obj, Process_Q_Obj 등의 속성치와 메소드를 간단히 살펴보면 <표 6>과 같다.

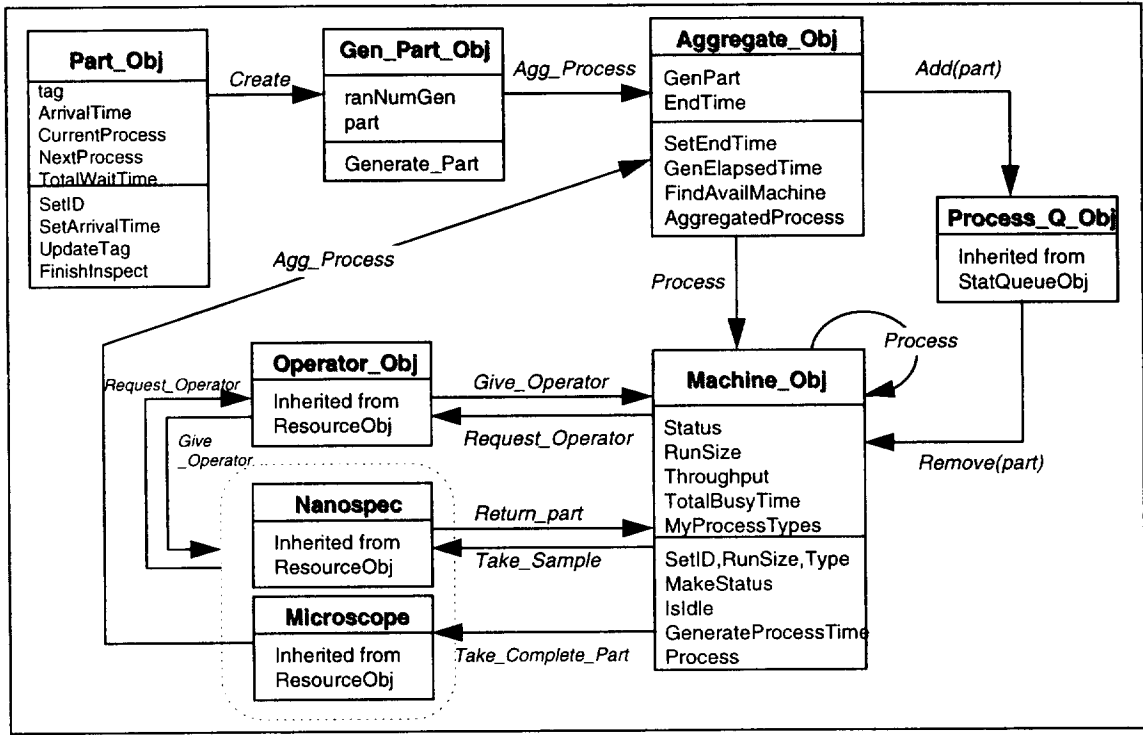
<표 6> 주요 객체의 속성과 메소드

| 객 체 명 | 속성치(Attributes) | 메소드(Methods) |
|------------------------|---|---|
| Part_Obj (Part Object) | tag Arrival Time Current Process Next Process Total Wait Time | Set ID Set Arrival Time Update Tag Finish Inspect |
| Machine Object | Status Runsize Throughput Total Busy Time MyProcess Type | Set ID, Run Size Type Make Status Is Idle Process Generate Process Time |
| Process_Q Object | Stat Queue 객체상속 | Stat Queue 객체상속 |

대상 모델내의 각 객체는 작업물흐름, 세부공정 및 장비운영 방법에 따라 상호작용을 하게 된다. <그림 5>는 옛칭작업장을 구성하는 객체들간의 상호작용 및 구성도를 보여준다.



<그림 4> 옛칭 작업장의 객체 모델 구조도



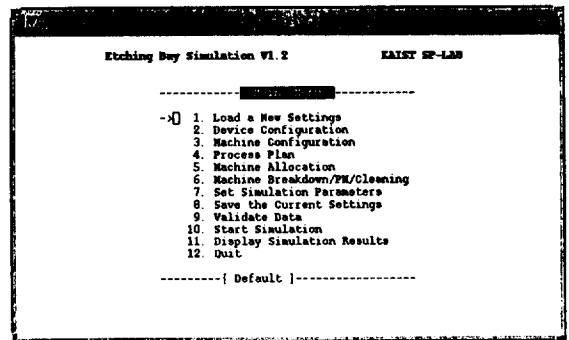
〈그림 5〉 시뮬레이션 모델의 객체구성 및 상호작용

장비별로 발생하는 고장, 예방정비, 장비청소는 월력(Calendar)기반 비가동시간표와 생산량기반의 비가동시간을 각각 반영하여 대기행렬 모델에서 우선순위가 가장 높은 customer로 선점적(Preemptive)으로 서비스를 받도록 모델링하였다.

5. 사용자 인터페이스

완성된 MODSIM II기반의 시뮬레이션모델은 입력 데이터 필드의 수가 매우 많고 복잡하여 화일형태로 관리하기가 용이하지 않다. 그래서 장비배정계획, Dispatching규칙, 물량투입계획 등을 사용자가 손쉽게 입력하고 결과를 분석하기 위한 사용자 인터페이스가 필요하다. 본 연구에서는 X-Window내 cursor기능을 이용하여 메뉴를 완성하고 각 메뉴별로 시뮬레이션에 필요한 데이터를 입력할 수 있는 부 메뉴를 추가하였다. 완성된 입력화일은 이미 컴파일된 MODSIM II기반의 시뮬레이션 모델과 연결되어 시뮬레이션이 수행

되며 그 결과를 메뉴를 통해 볼 수 있다. 이렇게 개발된 에칭공정 생산운영 분석시스템의 초기화면 예(〈그림 6〉을 참조하라)를 들어보면, 라인에의 투입될 제품의 구성, 작업장내의 구성, 각 제품별 프로세스 플랜, 장비군별 세부공정 배정계획, 장비의 비가동시간 정보(고장시간 등의 자료), 시뮬레이션 실험에 필요한 옵션(Dispatching규칙포함) 등의 순서로 구현되어



〈그림 6〉 에칭공정 생산운영 분석시스템의 주메뉴

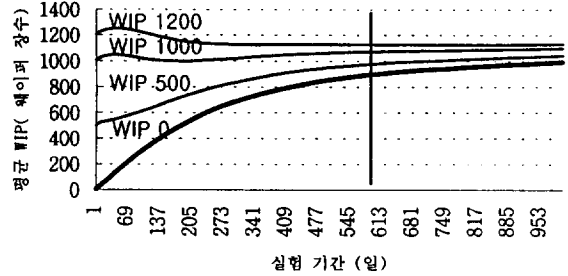
있다. 각 메뉴 항목을 선택하면 해당되는 입력사항이 나타나며 필요한 데이터를 입력할 수 있다.

6. 분석 및 운용 예

대상 작업장 모델에 대한 시뮬레이션의 결과로 다양한 통계량을 얻을 수 있다. 본 연구에서 목표로 한 장비할당안의 최적조건을 찾기 위해서 우선 제품의 세부공정별 TAT를 구한다. 장비별로 가동률, 비가동비율, 고장비율, 예방정비/청소 비율 등을 구하여 애로공정을 담당하는 장비를 확인할 수 있다. FAB내에서 생산되는 각 제품별로 생산량(일일 생산량)과 TAT의 평균 및 표준편차를 구한다. 그리고 각 공정별로 대기하는 제품의 물량을 알 수 있으며 안정상태에서의 FAB내부에 있는 제품의 수(WIP:Work-In-Process)를 알 수 있다.

본 연구에서는 생산운영대안의 상대비교가 목적이고 또 대상라인도 기존의 제품생산으로 재공재고가 안정화된 상태에 있으므로 전이기간을 배제하고 안정상태에서의 통계량만으로 성능지표를 산출하였다. <그림 7>은 다양한 초기 재공재고를 주었을 때 3년동안의 기간을 시뮬레이션하여 얻은 월별 재공재고의 변화를 예시한다. 초기 재공재고를 약 1000내지 1200장(웨이퍼)정도를 주었을 때 약 2년 후 안정상태에 도달함을 알 수 있다. 시뮬레이션 수행기간은 2년으로 한다. 본 연구에서는 전이기간을 줄이기 위해 초기 재공재고를 1000장으로 설정하여 8개월간의 전이기간을 거친 이후부터 16개월간의 안정기간동안의 통계량으로 성능지표를 산출하였다. 시뮬레이션 소요시간은 HP9000/710 Workstation에서 약 25~35분 정도 소요되었다.

개발된 시뮬레이션 모델에 의한 분석 예를 소개한다. 우선 실적 데이터를 분석하여 개선이 기대되는 병목공정을 파악하고 이 공정에 장비가 추가 배정되도록 장비배정안을 작성한다. 각 공정별로 순수공정시간은 일정한데 실제 공정별 체류시간은 대기시간으로 인해 증가하게 된다. 병목공정은 이 체류시간의 비율이 타공정에 비해 월등히 높은 공정을 가리킨다. 각 세부공정의 병목정도를 나타내는 지표로 세부공정을



<그림 7> 재공재고의 변화

마치기까지의 체류시간을 순수 세부공정작업시간으로 나눈 값을 사용하였다([14][15]를 참고하라). 이는 대기비율(Waiting Factor)이라고 부르며 제품별로도 구분하여 계산할 수 있다. 3개월간의 실적 TAT자료를 토대로 확인된 병목공정은 RAM #1제품의 경우 1, 2, 15, 20번 공정이다. 이 확인된 병목공정을 개선하기 위하여 다음과 같은 장비배정안(즉, 장비군별 세부공정배정안)을 구성하였다.

장비배정안 0: 해당 장비에서 가능한 모든 공정을 진행한다. 공정이 동일하더라도 제품별로 구분된 장비배정 제약을 없애고 공용으로 사용한다.

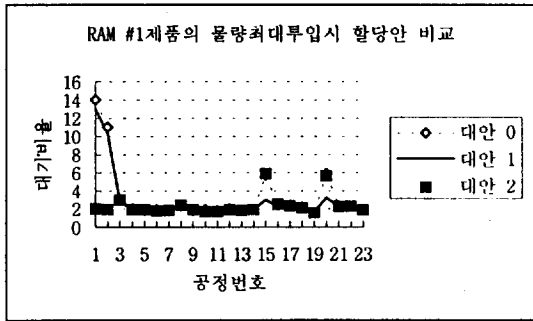
장비배정안 1: 현재 사용중인 장비배정안

장비배정안 2: 앳칭 1번 공정, 앳칭 2번공정의 담당 장비인 앳칭-3번 장비 1대를 추가하여 해당 공정에 할당한다.

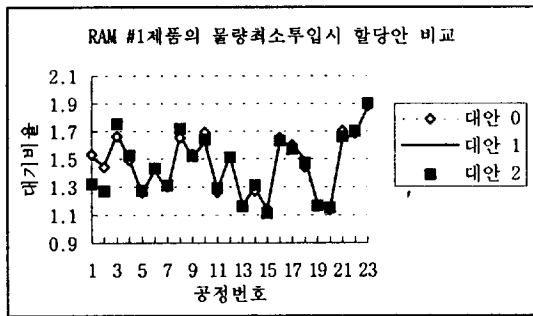
<표 5>의 물량투입안에 대해 이 세 가지 장비배정안에 대해 <그림 8>과 같은 시뮬레이션 결과를 얻었다. 장비배정안 0, 1은 장비군 3이 담당하는 1, 2번 세부공정이 애로공정이고 장비배정 2안은 15, 20번 공정에서 장비배정안 1에 비해 대기가 약간 늘어남을 확인할 수 있다.

다음은 물량투입 변화에 따른 TAT의 변화를 실험한다. <표 5>의 물량투입안 중에서 물량이 최대, 최소인 C, E안을 분석하였다. 물량투입안 E는 전체 투입량이 하루 1050장, 물량안 C는 878장이다. E, C안의 결과는 각각 <그림 8>과 <그림 9>에 나타나 있다. 현재 E안의 물량은 장비군 3의 생산능력이 부족한 것

로 나타났고, 장비배정안 2에 대해서는 장비군 3에 장비 1대를 추가하면 성능이 민감하게 변화함을 알 수 있다. 장비배정안 0의 경우는 장비의 공용운영 효과가 거의 없음을 알 수 있다.



〈그림 8〉 물량투입안 E의 장비배정안 대안 비교

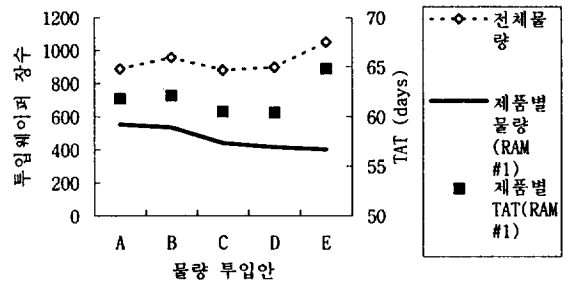


〈그림 9〉 물량투입안 C의 장비배정안 대안 비교

〈그림 9〉는 물량투입안 C에 대한 결과를 나타내고 있다. C안은 E안보다 상대적으로 투입물량이 적어서 장비배정 대안에 따른 차이가 거의 없음을 보여주고 있다. 즉, C안처럼 투입물량이 적은 경우 제품별로 병목공정이 없기 때문인 것으로 판단된다.

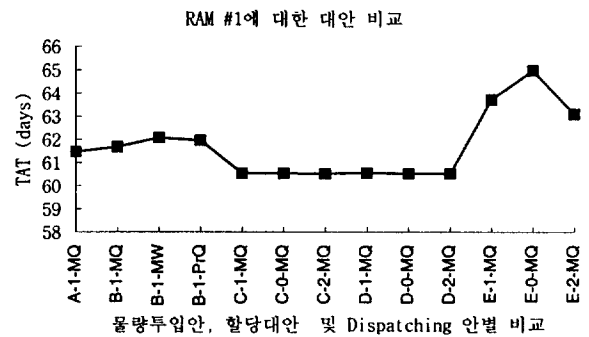
전체물량, 개별물량, TAT의 상관관계를 알아보자. 다음의 〈그림 10〉에 따르면 RAM #1의 개별물량이 감소하고 전체물량이 증가하는 경우에 RAM #1의 TAT가 증가하는 것을 확인할 수 있다. 그리고 각 제품의 TAT는 전체물량 변화에 민감하다. 이는 전체물량의 증가에 따라 RAM #1을 작업하는 장비가 기타 제품의 물량이 증가함에 따라 생산능력이 부족하기 때문에 풀이된다. 다른 실험에서는 RAM #1제품과 마찬가지로

ASIC #2제품도 동일한 투입물량에 대한 변화 패턴을 보여준다. ASIC #2는 물량투입안 B, C, D안에서 투입량이 일일 35장 투입되고, E안에서 일일 200장 투입되는 급격한 증가를 보인다. 전체물량이 증가하여 ASIC #2에 배정되어야 할 생산능력이 타 제품으로 분산되는 것을 알 수 있다.



〈그림 10〉 전체물량, 제품별물량, TAT와의 상호관계

이제 물량투입안과 Dispatching규칙을 비교해보자. 〈그림 11〉에서 RAM #1에 대해 대안표시는 물량투입안-장비배정안-Dispatching규칙으로 표시하였다. 또한, B-1-MQ, B-1-MW, B-1-PrQ에 해당되는 지표들은 동일한 물량투입안 B와 장비배정안 1에서 Dispatching규칙을 변경한 결과를 보여준다.

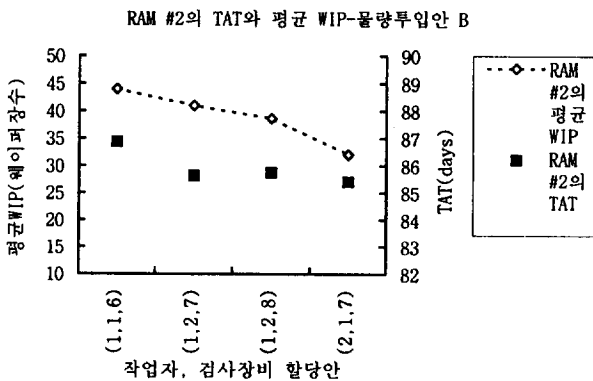


〈그림 11〉 DRAM 제품에 대한 대안별 TAT 변화

〈그림 11〉을 통해 B-1-MQ, B-1-MW, B-1-PrQ의 결과를 비교하면, Dispatching안으로 최대대기행렬길이를 이용한 안(MQ)이 가장 좋은 것으로 확인된다. 그리고 DRAM제품은 투입물량이 상대적으로 적을 경우

장비배정안이나 Dispatching에 영향을 적게 받는 것으로 나타났다.

마지막으로, 실제 �칭 작업장에서 매우 중요한 결 정변수로 알려진 작업자의 수, 검사장비의 수의 변화를 알아보고자 한다. <그림 12>에 따르면 Nanoscope 장비수의 증가가 시스템의 성능에 큰 영향을 주는 것 을 알 수 있다. 검사장비할당안은 (Nanoscope수, Microscope수, 작업자수)로 표시하였다. 작업자, 검사 장비의 증가는 곧 작업장의 성능을 높여주는 결과를 가져올 것이 예상되지만 비용의 증가를 수반하므로 상호절충하여야 할 것이다.



<그림 12> 작업자수, 검사장비의 제공재고와 TAT에 대한 영향

7. 결론

본 연구는 반도체 제조라인 중에서 작업흐름과 세 부공정 및 장비운영이 복잡한 �칭공정의 작업장들에 대하여 생산운영의 합리화를 위한 장비배정, Dispatching 등의 생산운영 의사결정문제를 시물레이션기법을 이용하여 분석하는 방법을 제시하였다. 이러한 분석 방법에 의해 생산운영이 크게 개선될 수 있음을 보였다. 반복방문방식의 작업흐름특성을 갖는 반도체 제 조라인에서 일부 공정 및 작업장을 대상으로 모델링 및 분석을 하기 위해서는 후공정을 통합단순화(Aggregation)하는 기법이 유효함을 재확인하였다. 개발된 시 물레이션 모델은 입력데이터만 변경함으로써 �칭공 정의 전체 작업장 또는 다른 FAB라인의 �칭 작업장

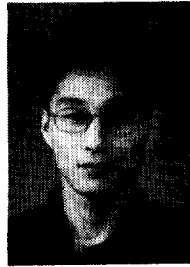
에 바로 적용할 수 있다. 이는 본 연구에서 개발된 객 체지향 시물레이션모델의 객체들이 작업장 및 장비구 성에 따라 쉽게 생성되어 프로세스플랜에 의해 연결 되기 때문이다. 본 연구에서 개발한 시물레이션 모델 을 활용하면 WORKSTREAM 등으로 집계된 실시간 생산현황 데이터와 연결하여 월별 또는 주별 및 일별 생산계획시스템의 구축에도 활용할 수 있다.

【참고문헌】

- [1] Landers, T. L., Brown, W. D., Fant, E. W. Malstrom, E. M., and Schmitt, N. M., Electronics Manufacturing Processes. New Jersey : Prentice-Hall, 1994.
- [2] Sze, S. M., VLSI Technology. McGraw-Hill, 1988.
- [3] Atherton, R. W. and Dayhoff, J. E., "Signature Analysis : Simulation of Inventory, Cycle Time, and Throughput Trade-Offs in Wafer Fabrication," IEEE Trans. Components, Hybrids and Manufacturing Technology., Vol. 9, No. 4, pp. 498-506, 1986.
- [4] Dayhoff, J. E. and Atherton, R. W., "Signature Analysis of Dispatch Schemes in Wafer Fabrication," IEEE Trans. Components, Hybrids and Manufacturing Technology, Vol. 9, No. 4, pp. 518-525, 1986.
- [5] Fowler, D. J. W., "Real-Time Control of Multiproduct Bulk Service Semiconductor Manufacturing Processes," IEEE Trans. Semiconductor Manufacturing, Vol. 5, No. 2, pp. 158-163, 1989.
- [6] Fowler, D. J. W. and Schruben, L. W., "Planning and Scheduling in Japanese Semiconductor Manufacturing," J. of Manufacturing Systems, Vol. 13, No. 5, pp. 323-332, 1994.
- [7] Glassey, C. R. and Resende, M. G. C., "A Scheduling Rule for Job Release in Semiconductor Fabrication," Operations Research Letters, Vol. 7, No. 5, pp. 213-217, 1988.
- [8] Uzsoy, G., Lee, C.-Y., and Martin-Vega, L. A., "A Review of Production Planning and Scheduling Models in the Semiconductor Industry Part I:

System Characteristic, Performance Evaluation and Production Planning," IIE Trans., Vol. 24, No. 5, pp. 47-61, 1992.

- [9] Chandy, K. M., Herzog, U., and Woo, L., "Approximate Analysis of General Queueing Networks," IBM J. of Research and Developments., Vol. 19, No. 1, pp. 43-49, 1975.
- [10] Agrawal, S. C., Buzen, J. P., and Shum, A. W., "Response Time Preservation: a General Technique for Developing Approximate Algorithms for Queueing Networks," Proc. 1984 ACM SIGMETRICS Conf. on Measurement and Modeling of Computer Systems, pp. 222-258, 1984. 8.
- [11] Viswanadham, N. and Narahari, Y., Performance Modeling of Automated Manufacturing Systems, New Jersey : Prentice-Hall, 1992.
- [12] Shin, Y. H., "Batching and Input Regulation in the Photolithography Process for Memory Chips Fabrication," Master Thesis, Dept. of I.E., KAIST, 1995.
- [13] 이태억, 신용호, 서정원, "반도체 제조공정의 생산 및 공정관리 시스템 : 제조라인 시뮬레이터의 개발," 과학기술처 특정연구개발과제 최종보고서, 한국과학기술원, 1996. 12.
- [14] Miller, D. J., "Implementing the Results of a Manufacturing Simulation in a Semiconductor Line," Proc. the 1989 Winter Simulation Conf., pp. 922-929, McNair, E. A. et al. (Eds.), 1989.
- [15] Miller, D. J., "Simulation of a Semiconductor Manufacturing Line," Communications of ACM, Vol. 33, No. 10., pp. 98-108, 1990.



서정원
1994년 한국과학기술원 산업공학 학사
1996년 한국과학기술원 산업공학 석사
현 재 한국과학기술원 산업공학 박사과정
관심분야 제조시스템 모델링 및 제어, 자동화통신, 시뮬레이션



이태억
1980년 서울대 산업공학 학사
1982년 한국과학기술원 산업공학 석사
1982년 대우조선(주) MIS/기획관리 ~1986년 과장
1991년 Ohio State Univ., Industrial & System Eng., 박사
1991년 한국과학기술원 산업공학과 조교수
현 재 한국과학기술원 산업공학과 부교수
관심분야 제조시스템 모델링 및 제어, 자동화통신, 스케줄링 및 시뮬레이션

한익환
현 재 LG반도체(주) 청주공장 생산시스템그룹 부장

최 철
현 재 LG반도체(주) 청주공장 생산시스템그룹



신용호
1993년 서울대 산업공학 학사
1995년 한국과학기술원 산업공학 석사
현 재 한국과학기술원 산업공학 박사과정
관심분야 제조시스템 모델링 및 제어, 자동화 통신