

CAD 업체의 CAD 개발 로드맵

강 창 록(한국멘토)
 최 세 열(시놉시스코리아)
 박 상 조(다반테크)
 김 동 식(케이던스)
 유 영 욱(서두로직)

I. (주)한국멘토(강창록)

Mentor Graphics' Integrated System Design Strategy

불과 10년전 IC는 수천개의 트랜지스터로 Printed Circuit Board 는 수백개의 노드로 구성되어 있었으나, 현재 IC는 수백만에서 수천만개의 트랜지스터로, Printed Circuit Board 는 수천개의 노드를 포함하는 수준에 이르게 되었다. 또한, 90년대 후반에 이르러서는 시스템을 실리콘에 적용시키는, 즉, SOS(System on Silicon) 과제를 구현하기 위한 노력으로 Design Methodology 와 Process Technology 에 큰 변화를 이룩하게 되었다. 이러한 전자 관련 기술의 급격한 설계 환경 변화에 Mentor Graphics는 다음과 같은 제품전략으로 이에 적극적으로 대응하고 전자기술의 혁신에 일익을 담당하고자 한다.

1. VPS(Virtual Prototype Simulation) 개념을 도입한 Hardware/Software Co-design & Verification, Emulation 기법(Seamless CVE, SimExpress외)

: 실제 Hardware 설계완료이전에 Software의 통합설계를 가능하게 함으로써 약 30% 이상의 설계 시간 단축효과를 기대할 수 있다. 또한 통신관련 제품 및 멀티미디어 제품등의 고속 Chip 설계시 H/W Emulation을 통하여 실제 동작 상태를 사전에 검증해 볼 수 있게 된다.

2. DSM(Deep Submicron) 설계를 위한 Physical Verification 및 Extraction 기술 (Calibre, xCalibre)

: 0.3M 이하의 Deep Sub-Micron(DSM) Process Technology을 겨냥한 새로운 Design Technology 로서, 회로 동작의 지연, Power, 노이즈 등의 제품의 신뢰성과 연관된 물리적 검증과 추출에 대한 새로운 접근 방법을 제시해 주고 있다. 정교한 Pattern을 Check해 낼 수 있는 Edge-base, Selective Promotion 및 Hierarchical

Injection 알고리즘을 통한 Performance의 극대화, 미래의 Design Tool 및 Flow의 변화에 쉽게 접근해 나갈 수 있는 Technology-Independent Rule 언어인 Standard Verification Rules Format (SVFR), Flat / Hierarchical, Multiprocessor 등과 같은 다양한 구성을 통한 Design Rule Check (DRC), Layout Versus Schematic(LVS)을 수행하며 XCalibre: Deep Submicron Hierachical 기생 소자 추출, 방대한 양의 전자 회로 정보 분리 및 분리된 데이터 관리, Post Layout Analysis을 수행할 수 있게 정보를 재구성하여 Chip 디자인에 피드백까지 해줄 수 있다.

3. IntraNet 을 활용한 Technical Design Process Management & Project Management Technology(WorkXpert)

: 최종제품 설계시 Team 또는 개인단위의 상호 기술간, 즉 IC/ASIC 설계, PCB 설계, 기구물 설계, 소프트웨어 설계등 모든 종류의 디자인 프로세스를 표준화하여 설계자동화에 활용하고 특히 기존의 IntraNet 을 활용한 Project Management 를 손쉽게 하여 40% 이상의 설계 시간 단축을 기대할 수 있게 한다.

4. 초고속 시스템, EMI/EMC, Noise & Crosstalk 해석을 위한 Interconnect Synthesis (IS-Synthesizer, IS-Optimizer, BD500, AutoThermMCM, Quiet외)

: High Performance System구현을 위해 Clock Speed, Rise Time은 빨라지고 Noise Margin은 점점 더 줄어들게 된다. 이에 따라 Interconnect Delay Budget은 적어지고, Signal Quality는 나빠지는 결과를 초래하게 된다. 이런것을 설계시에 고려하여 Board Pattern을 자동으로 Synthesis 하는 기술을 이용하게 됨으로써 One Pass에 System을 구현 할 수 있게 하는 최대한의 Time to Market, Cost Down 효과를 볼 수 있다.

5. 개념설계 및 알고리즘 레벨에서의 설계검증을 위한 High Level Design & Behavioral

Synthesis (Monet, Renoir, ModelSim, Leonard 외)

: Time to Market 요구에 부응하도록 VHDL 과 Verilog 두 HDL 언어에 대한 혼용 지원과 PC&UNIX와의 자유로운 File 교환을 기본 바탕으로 하여 Graphical HDL Design 환경을 통해 HDL을 생성함은 물론 Team Design을 원활히 하며, IP Block을 활용할 수 있도록 하고 있다. Area Cost 와 Timing cost를 최적화 시키는 Architectural Alternatives를 Behavioral Level에서 가능케 하고 Simulation에서 Debugging작업능률 향상을 위한 여러기능을 접할 수 있다. 일련의 연관된 흐름으로부터 Design Cycle을 극적으로 줄일 수 있게 하였다.

6. DSM ASIC 구현을 위한 Total DFT(Design for Test) 솔루션 (DFT Advisor, BSD Architect, FastScan, FlexTest, MBIST Architect 외)

: Test는 이제 Design과 더불어 생각하지 않을 수 없게 되었다. Boundary Scan과 BIST Logic 을 HDL로 생성하여 Design 초기 단계에서 검증할 수 있도록 하였으며, Full Scan과 Partial Scan 각각에 대해 ATPG로 생성된 Test Pattern 의 탁월한 압축율로부터 Test Time을 크게 줄여 줄 수 있다.

7. IP(Intellectual Property) 기술을 활용한 Design Re-Use Methodology(Inventra)

: DSM 공정은 기존의 각각의 독립된 칩들로 인식되어지던 MPU, Memory, DSP, I/O등을 하나의 칩으로 구현시킨다. 이러한 큰 칩을 설계할 때 기존의 트랜지스터 또는 게이트 레벨 설계 방법으로는 불가능 하며 이제는, 기본 기능 블록 단위의 설계법 (Block-Based Design) 도입이 시급히 요구되고 있다. 또한 각 블록들을 Soft Macro, Hard Macro 형태로 제공하기 때문에 새로 디자인하지 않고 시간과 경비를 획기적으로 줄일 수 있다.

8. 기타 Analog 및 DSP Mixed Signal Design, Low Power Design, RF Interface, 그리고

NT & UNIX Mixed Platform Solution등을 제공함으로써 'Deep Sub Micron' 기술 및 'System on Silicon' 구현에 필요한 완벽한 'Integrated System Design' 환경을 제공하고자 한다.

II. (주)시놉시스코리아(최세열)

System-On-a-Chip을 구현하기 위한 Synopsys의 개발 계획

반도체의 process기술이 급속히 발전함에 따라 0.25마이크론 이하의 설계 선폭에 500만개 이상의 transistor를 집적한 IC를 만드는 일이 일반화 되고 있습니다. 이와 같이 높은 집적도로 인해 예전에 PCB로 구성해야 했던 전체 시스템을 하나의 IC에 구현하는 System On a Chip (SoC)이 가능해지고 있습니다. IC의 집적도는 이와 같이 비약적으로 발전하는데 비해 설계 방법과 설계를 지원하는 EDA tool의 발전은 집적도의 증가를 잘 따라가지 못하고 있습니다. Synopsys에서는 SoC를 구현하기 위해서는 다양한 설계상의 과제들을 동시에 해결할 수 있는 다음과 같은 EDA solution이 필요하다고 믿고 있습니다.

- ◆ 수백만개 이상의 transistor를 가지는 거대하고 복잡한 회로를 능률적으로 설계하기 위한 Front-end design solution
- ◆ 0.25 micron이하의 설계 선폭을 가지는 초미세 회로를 효과적으로 설계하기 위한 Back-end design solution
- ◆ Front-end design과 Back-end design을 효과적으로 연결시키기 위한 Design planning solution

위의 3개의 solution들을 제공하기 위해 Synopsys는 다음과 같은 방향으로 EDA tool 및 관련 환경들을 개발하기 위해 노력을 기울이고 있습니다.

1. Higher Levels of Abstraction

현재 설계 방식의 주종을 이루는 RTL simulation과 synthesis로는 더 이상의 생산성 향상을 얻기가 어려운 상태입니다. HDL 기술 방식을 RTL에서 Behavioral Level로 한단계 올리는 것이 이와 같은 한계를 극복하는 방법이므로 Synopsys에서는 Synthesis를 중심으로 Behavioral Level의 설계 방식이 빠르게 도입될 수 있도록 할 것입니다. 또한 기존의 Logic Synthesis tool의 기능과 capacity와 performance를 향상시켜 동일 시간에 더욱 큰 design을 능률적으로 처리할 수 있도록 할 것입니다.

2. Design Reuse

SoC를 구현하기 위해서는 다양한 종류(datapath, DSP, memory, mcu, application specific function 등)의 IP (Intellectual Property) block들의 사용을 통한 Design Reuse개념의 도입이 필수적입니다. 한 회사에서 필요한 모든 IP를 모두 보유하거나 스스로 만드는 것은 불가능하므로 다양한 형태 (soft core, firm core, hard core 등)로 여러 공급자로부터 제공되는 IP block들을 설계환경내에서 손쉽게 사용할 수 있도록 해주는 방법이 요구됩니다. Synopsys는 다음과 같은 solution들을 개발하여 편리한 Design Reuse환경을 만들도록 할 것입니다.

- IP core simulation models
- IP core test solutions
- IP import, export, transport solutions
- synthesizable IP cores
- High performance datapath synthesis solutions
- IP core timing characterization solutions
- High performance/High Density ASIC libraries
- Design Reuse methodology development consulting

3. Verification

IC의 집적도는 매 6년마다 10배씩 증가하는 것으로 인정되고 있습니다. 그러나 이보다 더욱 중요

한 것은 IC의 기능상의 복잡도의 증가입니다. IC의 verification을 위해 필요한 test vector의 양은 최근 매 6년마다 약 1000배씩 증가되는 것으로 관측되고 있습니다. simulation에 필요한 시간은 급격히 증가하고 있으며 설계상의 중요한 bottleneck이 되고 있습니다. 또한 IC가 단순한 digital logic만이 아닌 Analog block 및 programable core와 그에 필요한 software를 포함하는 경우 이에 대한 verification solution도 제공되어야만 합니다. Synopsys는 다음과 같은 solution들의 개발을 통해 SoC를 위한 verification 환경을 구축해 나갈 것입니다.

- High speed cycle based simulation
- Formal verification solution
- Link to ASIC emulation
- Analog Digital mixed simulation solution
- Hardware Software co-verification solution

4. Timing

IC의 규모가 커짐에 따라 Full timing logic simulation에 의한 timing sign-off는 더이상 능률적인 timing verification methodology가 되지 못하고 있습니다. High speed static timing verification solution이 빠른 속도로 도입되고 있으며 많은 ASIC vendor들이 static timing analysis에 의한 timing sign-off를 지원하고 있습니다. Layout iteration을 줄이기 위해서는 ASIC library의 timing data가 정확하게 modeling되어 있어야 합니다. 또한 Logic Synthesis와 verification tool들이 동일한 timing model과 timing calculator를 사용하는 것이 바람직합니다. Synopsys는 다음과 같은 tool 및 환경 개발을 통해 SoC를 위한 timing verification 환경을 제공할 것입니다.

- High Speed full chip(gate level & transistor level) static timing analysis solution
- High performance 2D & 3D RLC extraction solution
- Accurate library characterization solution

5. Power & Reliability

집적도의 증가와 동작 속도의 증가는 필수적으로 소비전력의 증가를 불러옵니다. 반면에 IC들이 사용되는 전자 제품들은 갈수록 소형, 경량화 되고 있으며 휴대성의 증대가 요구되고 있어 소비 전력을 감소 시키는 것이 절대적으로 요구됩니다. 이와 같이 서로 상반되는 설계 요구사항을 만족시키려면 저전력 설계 방법론의 개발과 저전력 ASIC library가 필요합니다. 전력소비의 증가는 또한 IC의 고장 확률을 증가 시키므로 IC의 고장 확률 및 고장 가능 부분을 사전에 예측하고 검증하는 방법이 요구됩니다. IC의 규모가 증가함에 따라 High performance physical verification solution이 요구 됩니다. 특히 IC 설계가 대부분 hierarchical methodology에 이루어 진다는 점을 고려할 때 physical verification도 hierarchical methodology를 지원하는 것이 바람직 합니다. Synopsys는 다음과 같은 tool 및 환경 개발을 통해 SoC를 위한 저 전력설계 환경과 신뢰성 예측 및 확보를 위한 환경을 제공할 것입니다.

- RTL & Gate level power analysis solution
- Transistor level power analysis solution
- RTL & Gate level power optimization solution
- Transistor level power optimization solution
- Library and IP core power characterization solution
- IC reliability analysis solutions
 - Voltage drop
 - Current density
 - Power distribution
 - MTTF
 - Signal Integrity
 - Electromigration
 - Heating
- High performance physical verification solution

6. Interface between front-end and back-end design (Design Planning)

Deep submicron IC설계시 설계 과정을 지연시키는 중요 원인중의 하나가 front-end design을 통해 timing sign-off를 완료한 pre layout timing data가 post layout timing data와 큰 편차를 보이며 일치 하지 않는 경우가 많다는 점입니다. 이는 현재의 front-end design process상의 delay model이나 delay calculator가 deep submicron back-end design process상의 physical design methodology (Clock tree design, Power Grid design, Floorplanning, placement, routing 등)를 정확히 반영하지 못하기 때문입니다. 이를 개선하기 위해서는 front-end design process와 back-end design process를 보다 밀접하게 연결 시키고 back-end design process를 front-end design 단계에서 효과적으로 제어할 수 있는 방법이 개발되어야 합니다. Synopsys는 Front-end 설계 과정에서 최종 silicon의 behavior를 정확히 예측하고 제어할 수 있는 설계 환경개발에 계속 많은 노력을 기울이고 있습니다.

- Design Planning
- incremental ECO synthesis
- Post layout optimization

III. (주)다반테크(박상조)

2000 년대 Very Deep Sub-micron IC 설계를 위한 Avant!사의 전략

1. 서론

Deep Submicron 반도체 기술(0.5um 기술 이하)의 지속적인 발전에 따라 반도체 및 시스템 설계자들은 보다 강력하게 고성능의 칩(Chip)을 만들어 낼수 있는 잠재력이 어느때 보다 커 졌으며, 아울러 이러한 기술의 발전은 수백만 게이트의 집적 및 고속의 클럭 스피드를 동작시키는 설계를 가능케 하였다.

이러한 반도체 기술의 진보와 함께 병행하여 발

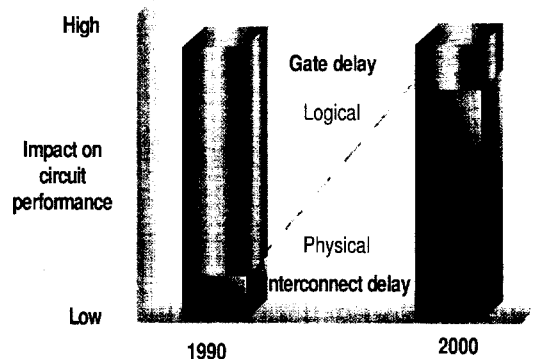
전되고 있는 설계 툴의 제공도 고 정밀의 반도체 설계를 신속히 이룰수 있는 발판이라 하겠다. 특히 0.5um 이하의 기술에서는 설계 중요성의 영역이 게이트 레벨의 지연(Gate Delay) 요소 보다는 신호의 상호연결 지연(Interconnection Delay) 영역으로 변화하면서 새로운 개념의 설계용 소프트웨어를 요구하고 있다.

따라서, 본 문에서는 Deep Submicron반도체 설계용 소프트웨어를 제공의 선두라 할수 있으며 최근의 Compass Design Automation사의 인수 및 TMA(Technology Modeling Association)사의 흡수로 E-CAD 와 T-CAD를 모두 지원하고 있는 Avant! Co.(Fremont,CA)사의 제품 현황 과 2000 년대의 Very Deep Submicron 반도체(0.18 um기술이하) 설계를 이룰수 있는 제품 전략에 대해서 간략히 설명하였다.

2. 기술의 변천 및 문제점

(1) 신호 지연요소의 변화

표 2-1 에서 보는 바와 같이 반도체의 크기가 계속 작아지면서 신호의 지연요소는 종래의 게이트 레벨에서 상호 전달 요소인 인터컨넥션의 전기적 특성들이 더욱 중요하게 대두되고 있음을 알수 있다. 실험 결과 1um 기술에서는 별다른 영향을 미치지 않던 인터컨넥션 지연이 0.35um기술에서는 반도체 성능에 상당한 영향을 미치는것으로 나타나고 있으며, 이는 게이트에서의 지연보다도 더욱 심각한 요인으로 받아들여지고 있다. 즉 신호의

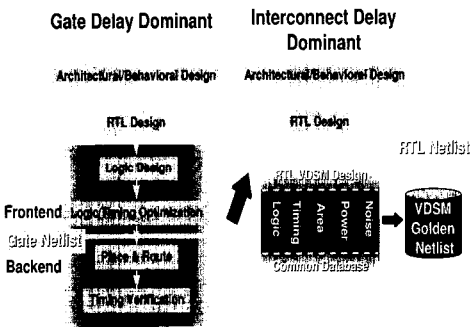


〈표 1〉 Signal Delay 요인의 변화

Feature size	0.35 μ m	0.25 μ m	0.18 μ m
Transistors/chip	12M	28M	64M
Chip frequency (MHz)	300	450	600
Wiring levels	4 to 5	5	5 to 6
Power supply	3.3V	2.5V	1.8V
Short-wire pitch	0.7 to 1.05	0.5 to 0.75	0.36 to 0.54
Interconnect	Planar	Planar	Planar
Metal height/width	1.5	2	2.5
Max interconnect (meters/chip)	380	840	2,100

<표 2> 기술의 변화 예측

VDSM Design Paradigm Shift



<표 3> Design Paradigm의 변화

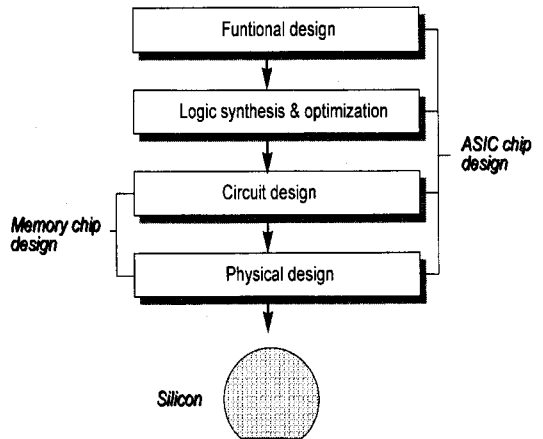
지연요소가 0.35um 기술 이하에서는 80~90% 정도 인터컨넥션에서 유발된다고 볼수 있다. 또한 향후 5년간의 반도체의 동작 스피드, 칩의 집적도, 그리고 반도체의 특성을 반영할수 있는 추이를 보면 표 2-2와 같다.

따라서, 지연요소를 해결하기 위해서 종래의 설계기법과 비교하여 볼 때 설계의 패러다임이 변화하고 있다는 것이다. 표 2-3에서 보는 바와 같이 Front-end 와 Back-end 의 개념 및 영역의 변화가 일어나고 있으며, 논리레벨의 sign-off와 마찬가지로 물리적 단계의 sign-off로 변화하고 있음을 알수 있으며, 설계환경 또한 급격히 변화하고 있다.

(2) Top-down 설계 방법

논리 합성 툴의 상용화와 함께 확산되고 있는

Top-down 설계 기법은 효율적인 설계기법의 정착과 함께 설계시간을 단축 할수 있는 획기적인 방법으로 받아들여 지면서 반도체 및 전자시스템의 설계에 적용되고 있다. Top-down설계 방법을 적용한 반도체 칩 설계의 과정에서는 통상적으로 기능설계(Function Design), 로직 합성 및 최적화(Synthesis & Optimization), 게이트 레벨 검증(Gate Level Verification), 그리고 Physical Layout 설계의 네 단계로 이루어 진다. 표 2-4 의 설계 과정에서 보는 바와 같이 주문형 반도체의 설계는 네 단계가 모두 포함되지만, 메모리 칩의 설계는 일반적으로 게이트 레벨 회로 설계 및 레이아웃 설계 단계 만이 포함된다. 칩 설계의 각 단계에는 그 특성에 맞게 분석 및 검증하는 자동화된 툴(EDA Software)들이 필요하다. 단계적으로, 로직 및 회로 그리고 타이밍을 분석하기 위한 각종 시뮬레이터의 사용, 논리합성툴의 사용, Floorplanner, 자동 배치 및 배선기의 사용, 물리적 단계의 검증(Physical Verification)등 다양한 툴들이 고객의 고유 환경 및 생산 공정에 맞게 이용되고 있다. 최근에 Top-down 설계접근 방법을 도입한 Deep Sub-micron IC설계 시에 대두되고 있는 인터컨넥션 지연을 해결하기 위해서 레이아웃단계의 Back-end 영역이 특히 중요하게 대두되고 있으며, 이를 해결하기 위해서 타이밍 드리븐



<표 4> Memory 및 Asic 설계흐름

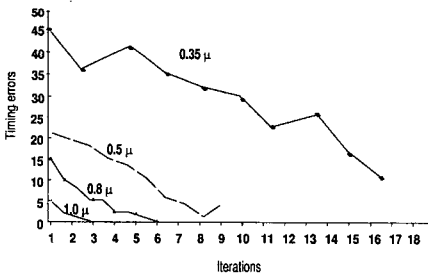
레이아웃(TDL, Timing Driven Layout) 과 Layout Optimization이 고객의 어려움을 해소할 수 있는 방법으로 받아들여 지고 있다. 아울러, Deep Sub-micron IC의 정확한 설계 및 생산을 위해서는 생산 공정과 일치한 높은 정확성을 갖는 라이브러리의 구축이 필수적이라 하겠다.

(3) Design Iteration의 증대

Deep Sub-micron IC 설계 시 엔지니어들이 직면하고 있는 또 하나의 문제는 타이밍에 대한 문제와 이를 해결하기 위한 반복횟수의 증대이다. 이 문제점은 인터컨넥션 지연요소와 함께 다루어 질 수도 있지만 표 2-5 에서 보는 바와 같이 설계 및 공정기술이 미세화 되면서 타이밍에 대한 에러 및 반복 설계의 횟수가 증대하고 있다. 앞의 Top-down 설계 과정에서 설명한 기능설계 영역에서는 실제적인 타이밍보다는 제품의 기능위주 설계를 이루기 때문에 구체적인 타이밍에 대한 문제는 레

기 위해서는 이제 더 이상 혼자 힘으로는 어려운 산업환경에 직면하고 있다. 최근 2~3년 사이에 대두되기 시작한 IP는 공용으로 다양하게 사용될 특정 모델을 개발하여 일종의 라이브러리화 하여 사용할 수 있도록 제공하는 것이다. 이러한 IP는 상위레벨의 기능단계를 제공하는 Soft IP, 중간단계의 Firm IP, 그리고 레이아웃된 단계의 Hard IP등 다양하게 제공되고 있다. 설계자의 입장에서 이러한 IP의 사용은 객관적으로 설계를 가속적으로 할 수 있겠지만 설계 기술 및 공정상의 선행사항 들을 많이 가지고 있다. 총체적으로 라이브러리들은 새로운 공정 기술들을 초기에 액세스 할 수 있도록 신속하게 작성되고 검증되어야 한다. 이들은 설계의 반복과 실패를 줄일 수 있도록 높은 정확성을 가져야 한다. 통계적으로 0.35 μ 설계에서는 라이브러리 모델들의 불확실성, 합성 및 로직 라이브러리 타이밍의 일괄성 없는 정보, 그리고 레이아웃에서의 인터 컨넥션등의 효과등 으로 인해 야기되는 타이밍의 오류를 줄이기 위해 20~25회의 반복이 이루어지고 있다.

The Timing Convergence Challenge



(표 5) 기술변화에 따른 Timing Error 및 Iteration 통계

이아웃 과정 및 인터컨넥션에서 야기되므로 완벽한 타이밍에 대한 검증은 레이아웃이 완료된 후 검증되어야 한다. 초기에 제품을 시장에 출하해야 하는 측면에서 설계반복의 증대는 비용 및 마켓 선점에 불리함을 가져온다.

(4) 다양한 IP(Intellectual Property) 및 라이브러리 모델의 사용

Time-to-Market을 충족시키고 기술을 선도하

3. VDSMIC설계를 위한 Avant! 사의 솔루션

(1) Avant! 사의 역사

미국의 캘리포니아 주 Fremont에 위치하고 있는 Avant! Co.(대표이사 Gerald Hsu)는 1991년에 ArcSys로 시작하여 Deep Sub-micron IC의 배치 및 배선전용 소프트웨어를 제공하면서 알려지기 시작하여 1995년 Layout Verification 소프트웨어를 제공하는 ISS(Integrated Silicon System)사의 흡수와 함께 회사 이름을 Avant! Co.으로 바꾸면서, 레이아웃 및 검증용 소프트웨어를 제공하는 회사로 발전하였다. 아울러 1996년에선 회로 시뮬레이터의 대명사 처럼 불리어오던 HSPICE의 Meta Software사와 Anagram사를 흡수하며 회로 검증 분야 까지 사업영역을 넓혔으며, 1997년에는 Compass Design Automation사의 흡수로 앞으로 SIP(Silicon Intellectual Property)사업을 가속하기 위한 라이브러리 사업을 시작하게 되었다. 또한 최근에는 반도체 공정 분야라 할 수 있는 T-CAD (Technology CAD)분야의 선두인 TMA

(Technology Modeling Association)사의 흡수로 Avant!사는 명실공히 Deep Sub-micron 분야의 50%의 시장점유율을 갖고 E-CAD와 T-CAD의 솔루션을 모두 제공하는 회사로 발돋움하게 되었다.

(2) 제품의 특성

Avant! 사는 Deep Sub-micron IC 설계 및 검증 분야를 선도하면서 고객에게 일원화된 환경에서 최대의 성능을 발휘할수 있도록 우수한 툴을 계속적으로 개발 발전시켜 나가고 있다. 사용하기 쉽고 탁월한 성능을 내는 제품의 제공이 당사의 전술이라 할수 있으며, 표 3-1에 보는 바와 같이 반도체 분야의 설계와 공정분석을 위한 툴을 제공하고 있다. 최근에 발표된 각종 분석결과를 보더라도 Deep Sub-micron IC분야의 설계에서는 경쟁사의 어느 툴 보다도 탁월한 것으로 report되고 있다.

(3) 신제품 개발 전략

2000년대의 Very Deep Sub-micron IC설계 지원을 위한 Avant! 사의 제품 개발 및 사업계획은 다음으로 요약 될수 있겠다.

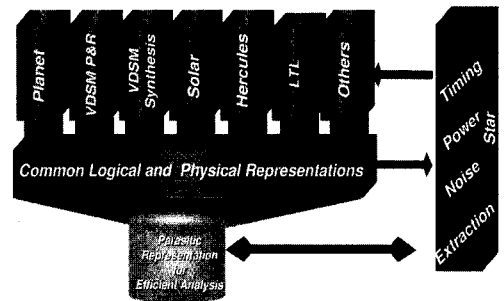
1) 공통 데이터베이스 기반의 설계환경 제공

있는 공통데이터베이스 기반의 설계환경 제공이란 Avant!에서 제공하는 Back-end분야의 우수한 툴들을 공통 데이터 베이스인 'Milkyway' 환경에서 사용될수 있도록 하여 데이터의 공유는 물론 생성의 최소화를 통해서 최대의 성능을 낼 수 있도록 하는 것이다.(표 3-2 참조)

2) 최고의 성능 툴 개발 및 설계 흐름 제안

설계 및 생산공정 기술의 계속적인 변화에 맞추어서 Avant!사는 기술을 선도할 수 있는 우수한 툴을 개발하기 위한 노력을 계속하고 있다. 논리시뮬레이션을 가속적으로 이루기 위한 Cycle Based

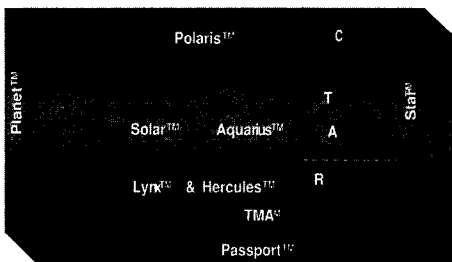
Milkyway VDSM Database



<표 7> Avanti 사의 통합 환경

Verilog Simulator(Polaris), Prototype Layout 및 설계의 예측을 위한 RTL 단계의 Floorplanner (Planet-RTL), Noise-Driven, Power-Driven, Timing-Driven등을 고려한 고 성능의 Placement 및 Routing tools(Apollo), 레이아웃 단계에서의 타이밍 최적화를 이루기 위한 합성툴(Physical Synthesis)의 개발,계층적 설계기법을 도입한 레이아웃 검증(Hercules), 각종 전기적 요소를 분석하기 위한 데이터 추출툴(Star-RC), Circuit 시뮬레이터의 대명사인 Star-Hspice와 Star-SIM을 통합한 새로운 툴의 보급, Power 분석용의 Star-Power, Star-Time등 2000년대의 Very Deep Sub-micron IC 설계를 위하여 신제품 개발에 심혈을 기울이고 있다. 아울러, 라이브러리의 정확도를

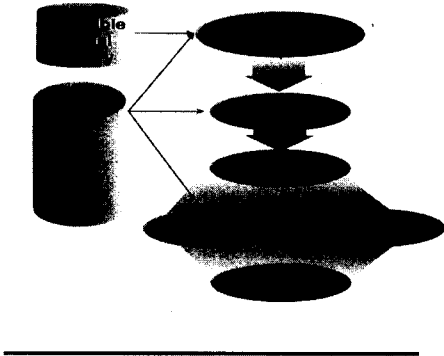
Product Universe for Deep Submicron ICDA



<표 6> Avanti 사의 제품군

많은 EDA 업계에서는 이기종간의 소프트웨어의 호환을 위해서 Framework개념의 공통된 사용자 인터페이스를 제공하여 왔다. 그러나, 반도체 및 전자설계자동화 분야에서는 각 설계 과정 마다 다양하고 방대한 설계 데이터가 생성되어 자체 또는 공용으로 이용되어진다. 즉 Avant!에서 추구하고

VDSM Design Flow



〈표 8〉 VDSM 설계 흐름

높이기 위한 Model Characterization, 공정과정의 성능향상을 위한 Process Characterization등이 Avant! 사의 서비스 그룹으로부터 제공 되고 있다. Very Deep Sub-micron IC 설계를 위한 당사에서 제안하고자 하는 개괄적인 설계 흐름은 표 3-3 과 같다.

3) SIP (Silicon Intellectual Property) 사업

어제의 시스템이 오늘날 하나의 칩화되는 경향이 두드러지면서 특정기능을 갖는 블록을 라이브러리화 하는 IP 사업이 새로운 영역으로 자리잡고 있다. 최근 Avant! 사는 Compass Design Automation사의 흡수로 새로운 Library 제공 업체로 부상하고 있으며, Galax!라는 별도의 법인을 설립하여 표준 라이브러리 및 고객위주의 최신 라이브러리를 개발 제공할 예정이다. 당사는 검증된 Hard IP 를 제공하는 유일한 업체로 설계 시간의 단축에 기여하게 될 것이며, 특히 Passport 라이브러리는 공정 프러세스에 독립적인것으로 45%이상 칩의 사이즈를 작게할수 있도록 만들어져 있다.

4) 컨설팅 및 설계 사업

고가의 소프트웨어의 사용율을 높이는 것은 중요한 일이다. 고객이 설계 과정에서 직면할수 있는 작은 단계에서 칩 및 시스템 설계에 이르기 까지

당사는 설계 및 컨설팅 사업을 펼치고 있다. 라

이브러리 특성(Library Characterization)의 검증, 공정 검증(Process Characterization), 논리 설계, 물리적 설계, 설계방법론 컨설팅 등 다양하게 고객의 요구에 부응하고 있다.

4. 맺음말

EDA 소프트웨어를 제공하는 업체에서 Very Deep Sub-micron IC설계분야를 선도하며, 2000년대 No.1 EDA 업체로의 꿈을 실현시켜 나아가고 있는 Avant! 사에 대한 소개 및 2000년대를 준비하기 위한 신제품 전략에 대해서 간략히 알아 보았다. 미 세화, 고 기능화, 고속화 등 갈수록 심화되는 경쟁력 속에서 우리 제품의 기술력 우의 및 시장의 선 점유를 위해서 선진기술을 조기 도입하여 사용도를 높이는 것이 최우선 과제라 할수 있다.

Avant!사는 국내산업의 발전과 더불어 함께 발전하고 국내 고객에게 양질의 서비스를 제공하기 위해서 1997년 1월부터 (주)다우기술(대표이사 김익래)과 합작사,(주)다반테크, 를 설립하여 영업 및 기술 지원을 하고 있다.

IV. 한국 케이던스(유)(김동식)

Cadence의 CAD개발 로드맵

Cadence는 세계 최대의 EDA Software 공급 업체로써, Digital IC/System, ASIC, Analog IC/System 그리고, Digital-Analog Mixed IC/System 등 중요한 전자 설계분야 전체에 제품을 공급하고 있다. 특히, 오늘날 보다 대규모/고속화한 IC설계, 보다 고정밀/고집적화된 System 설계에 있어서는, 단순히 제품의 Performance(크기, 동작, 속도)만이 아니라, Time-to-Market을 고려한 제품 개발이 필요하게 되었다. 이에 Cadence는 Tool간의 Data Interface로 인한 문제 발생 소지를 최소화하기 위해

- 모든 Tool에 대한 공용 Timing Model
- 모든 Tool에서 공유할 수 있는 공용 Delay

Calculation Algorithm

- 일관된(Consistent) Wire Extraction
- Placement 후 : 2D Extraction
- Routing 후 : 2D, 3Body
- Flow 상에서 모든 Tool간의 일관된 Timing Analysis 기능들을 제공하기 위해 노력하고 있으며, 이와 관련하여 다음과 같이 개발 일정을 제시하고 있다.
- 일관된 Timing Model : 97A(9504 : Pearl 제외)
- Non-Linear Timing Model 지원 : 97A(9504 : Pearl 제외시)
- Front-End Floorplanner : 9504
- RTL Floorplaning : 98A
- Constraint Manager : 98A
- 공용 Constraint Format : 97B
- 일관된 Delay Model : 97B
- 일관된 Timing Analysis 기능 : 97A

(1). 92년에 SUN OS Version을 내고, 93년에 Windows3.1 Version을 내었고, 96년에는 Windows 95에서 개발하여 시제품을 선보였다. 즉 지난 7년동안 OS 및 platform이 2년에 한번 꼴로 바뀌어서 tool의 개발 및 안정화에 많은 어려움이 있었다. 97년 현재 Windows 95/NT에서 IC tool은 세계 최고 수준에 도달했고, VHDL tool 개발에 치중하고 있다. 이에 대한 내용을 그림 1에 보였다^[2].

한편 세계 EDA 시장을 거의 장악하고 있는 미국에서는 70년대부터 mini/supermini computer에 운용되는 CAD system을 선보였고, 80년대에는 UNIX Workstation을 근간으로 한 EDA회사들이 우후죽순으로 나타나서 성장하여 왔고, 90년대에는 수개의 승자만이 시장을 지배하고 있다(그림 2). 한편 80년대 중반에 선보이기 시작한 MS-DOS상의 EDA tool은 90년대 초까지 성장하다가, Microsoft사에서 Windows 3.1, 95, NT를 연속으로 출시하는 추세에 따라서 점차 Windows용 EDA tool로 흡수당하고 있다. 세계시장의 EDA tool 또한 OS 및 platform에 따른 부침이 심했음을 알수 있다. 97년 현재 Windows용 EDA tool의 시장 점유율은 15%정도인데, 여러 전문가들이 예측하기를 2000년에는 Windows EDA tool들이 40-50% 시장점유를 하리라고 예측하고 있다. 이에 따른 Windows EDA 시장의 급격한 확대가 예상된다.

V. (주)서두로직(유영욱)

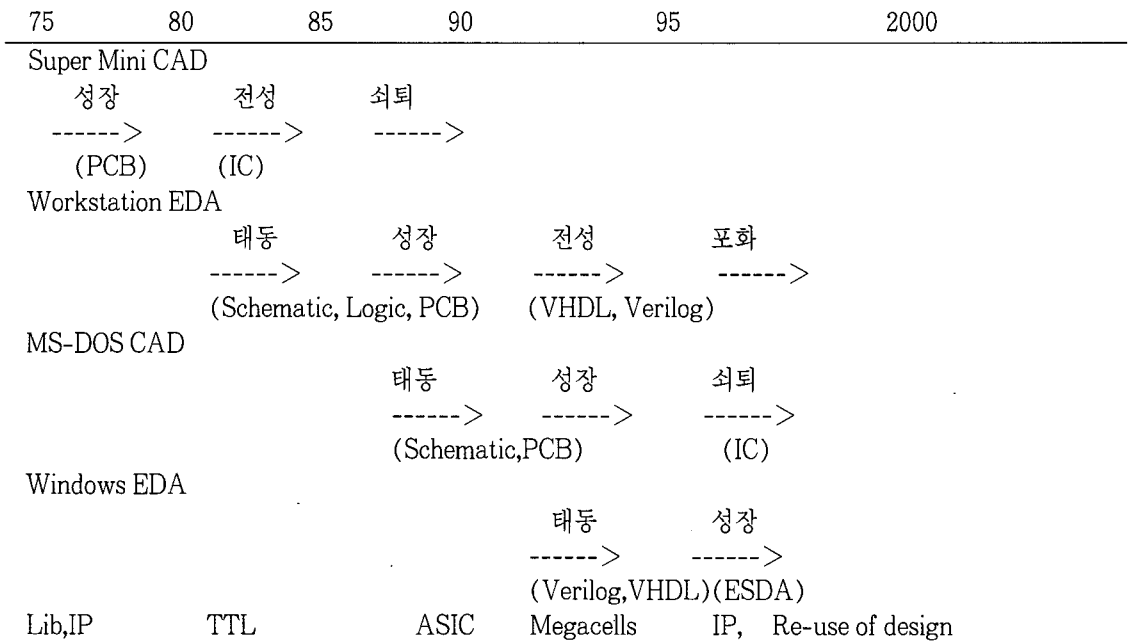
MyCAD Roadmap

1. EDA 기술 제품의 개요

MyCAD는 1990년 8월 처음으로 V1.0을 MS-DOS에 개발한 후에 꾸준히 개선되어오고 있다

90	91	92	93	94	95	96	97after
• Schematic editor, logic simulator, IC layout editor	• Enhance with delagging	• enhance Porting SPARC	& • Prototype of VHL simulator and synthesizer on SPARC station	• Logic and IC tools on Windows 3.1	• VHDL tools on Windows 3.1	• Schematic, Logic, IC tools, VHL tools on Windows 95/NT	• Major Enhancement of VHDL tool set with graphical capture
MS DOS	UNIX				Windows 3.1	Windows 95NT	since 1995

<그림 1> MyCAD의 개발 역사



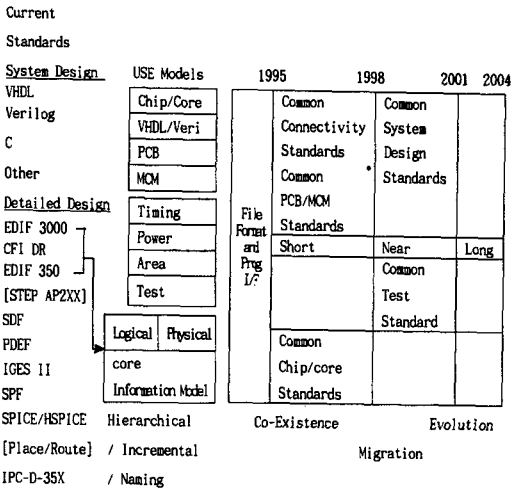
(그림 2) Platform 및 OS에 따른 EDA Tool의 성장 및 쇠퇴

2. 미국 산업체의 EDA Roadmap.

미국에서의 “EDA Industries Standards Roadmap”은 CFI(CAD Framework Initiative), EDAC(Electronic Design Automation companies) 및 SEMATECH에 의해서 후원되어 94년 4월에 처음으로 만들어졌고, 95년 9월에 수정되었다^[3]. 이 EDA Standards Roadmap Workshop은 EDA에서의 설계 및 시험 표준의 개발에 대해서 산업체 전체에 걸친 10년간의 road map을 만드는 일이다. Roadmap Working Group은 3개의 Group으로 되어 있는데, EII(EDA System Inter operability and Integration Working Group), DDM(Design and Data Management Working Group)과 TLM(Technology Libraries and Models Working Group)등이다. EDA Tool개발자, 사용자, integrator, 표준전문가, 정부, 학교 등분야에서 113명의 전문가들이 참가하고 있다.

이 Roadmap을 만들기 위해서, 복잡한 전자 시스템을 효율적으로 설계하기 위한 환경문제들을 분석하였고, 이에 따른 설계 및 CAD에 파급되는

문제들을 다루었다. 첫째 전자설계 부문에서 일어나는 중대한 paradigm변화는 실제 설계 방법을 크게 변화시키고, EDA툴 및 시스템에 새로운 요구사항들을 제시하게 되었다. 이러한 문제점들을 살펴보면 Innovation in System Level Design (Architecture and High Level Design Phases), Innovation in Design Process Management, Increased Codesign Across Design Discipline, New Architectural and Integration Concepts, Changing Business Practices, Pay-Per-View For Design Tools 등과 같다. 또 설계자와 CAD Integrator에 제기되는 문제로서는, Exploit Multiple EDA operating Environments, Use Diverse Databases and Formats, Use Tools from Multiple tool Vendors, Enforce Design Methodologies and Process Management, Reduce (or Maintain) cycle time, Reduce Design Costs, Maximize Return-on-Investment (Price/Performance)등이다. 이러한 문제들이 Design system(Infrastructure) Environment, Design Information(Design Data Representation)



〈그림 3〉 The EDA Industry Standards Roadmap

Environment, 그리고 Key Electronic Design and Test Interface에 대한 요구사항들을 생성시킨다. 이에 대한 Roadmap들을 동 보고서는 Chapter 4, 5,6에 제시하고 있다. 이중에 EDA Industry standards Road Map을 보면 다음과 같다.

3. MyCAD Roadmap

MyCAD는 5년이상을 OS 및 Platform의 변경에 따른 제품 및 기술 수정에 치중하다가, 96년부터 안정되어 가는 Windows 95에 가장 충실한 EDA tool개발로 집중하게 되었다. 미국의 Roadmap이 상당히 축적된 기술을 근거로 하였고, 거의 대부분 중요 EDA를 제공업체들이 참여해서 만들었다. 한편 대형 EDA회사들은 자신이 추구하는대로 EDA roadmap을 제시하고, 개발해 나가고 있다. 모든면에서 부족한 후발주자로서 기존업체의 표준 frame에 끼어 들 수도 없는데, 다행히 이 분야의 표준데이터형식인 VHDL, Verilog, EDIF, GDS/CFI 등으로 설계 자료의 교환이 가능하여 이들을 이용한 EDA tool개발에 치중하고, Windows에 최적화된 full-line EDA를 목표로 한다.

Windows 95/NT의 개발과 PC의 성능향상으로, 이에 근거한 EDA tool의 성능 향상이 기대되고, 2000년에는 Windows EDA Tool이 거의 시장의 50% 점유한다고 중요 시장조사기관과 EDA 회사

들이 예측하고 있다. MyCAD는 Version2.5부터 Windows 95/NT에 충실한 GUI, Editor방식, Inter tool동작방식등을 채택하고, 이 부문에서 선두를 가고자 노력하고 있다. 특히 96년부터 집중 개발하여 미국등 선진국에 보급하고 있는 Windows 95/NT용 IC tool들은 새로 쓰는 설계자들은 사용하기 쉬운점에서 크게 환영하고 있다.

근래에 극히 일부 회사에서 Windows에서 근거하여 EDA tool을 개발할 수 있는 공동 설계 환경(model)을 개발하고자 하는 노력이 있는데, MyCAD개발팀은 여기에 적극 참여할 예정이다. 시스템 설계용 tool인 ESDA와 VHDL/Verilog관련 툴들이 우선적으로 여기에 해당될 것이다. 차후에 physical설계용 tool(IC 및 PCB)에도 이러한 노력이 이루어지면 적극 참여할 것이다.

(그림 4)에 97년부터 5년간의 MyCAD roadmap을 보였다. System 설계용 tool 부문에서는 현재까지의 VHDL V2.1을 대폭 개선한 V3.0, VHDL/Verilog Code Generation하는 ESDA tool, 그리고 Verilog alpha version을 98년에 선보일 것이다. 99년에는 SW.HW codesign의 alpha version, 설계 최적화를 고려한 ESDA Version2.0, VHDL 및 Verilog를 한 개의 engine에 집적화할 것이다. Synthesis도 timing을 고려한 Synthesis 기능과 high-level synthesis를 도입할 것이다.

Schematic editor는 상당부분이 ESDA에 merge되고, gate 수준 editor는 더욱 Windows의 기능을 활용하게 한다. Logic simulate는 99년경에 Verilog에 합해진다. 현재 MySpice V2.1은 model개선, algorithm개선으로 schematic/IC layout tool과 함께 Windows에 최적화 한다. IC설계용 tool은 V3.0에서 수작업 edit기능을 완성하고, V4.0에서 auto placement/routing기능과 기본 cell 생성기능을 첨가하고, V5.0에서 deep submicron을 고려한 timing driven P/R 기능을 보장한다. PCB editor는 현 V1.0의 기능과 성능을 향상시킨 V2.0을 99년에 개발한다. 종합적으로 2000년에는 Windows 상에서 MyCAD tool set을 ESDA, VHDL/Verilog, Andog, IC, PCB설계용으로 완성시키고, 이에 대한 사용자의 요구사항과 수

97	98	99	00	01
		SW.HW Codesign & V1.0		
	ESDA V1.0	ESDA V2.0		
	(VHDL, Verilog code)(Internet EDA)			
VHDL				
Sim	V2.1	V3.0	VHDL/Verilog integrated Sim V4.0	Completion
Synthesis	V2.1	V3.0	VHDL/Verilog synthesis V4.0	of Full-line
	Verilog	V1.0	Verilog V2.0	EDA tool set
Schematic	V2.5	V3.0		on Windows NT
Logic Sim	V2.5	V3.0	Verilog/logic V4.0	in 2000,
Spice Sim	V2.1	V2.5	V3.0	Further
	(model improvement)(algorithm)			improvement
IC				in 2001
Layout	V3.0	V4.0	V5.0	
	(P&R, cell gen.) (Timing-driven)			
Verification	V3.0	V4.0	V5.0	
			(hierarchy)	
PCB				
Editor	V1.0			
Verif	V1.0		V2.0	
IC Tools	VHDL Tools	ESDA Tools	SW.HW codesign	Full-line EDA

〈그림 4〉 MyCAD development Roadmap

요에 적극 지원하는 체제를 갖춘다. 또한 Internet MyCAD의 형태도 선 보일것으로 전망한다.

참 고 문 헌

[1] 서두 설계 자동화기술 발표회, (주)서두로직 11월 28일, 1991년

[2] Young Uk Yu "VHDL Tool Development and Applications in Korea" APCHDL '97 Proceedings, Hsinchu Taiwan, Aug 18-20, 1997

[3] EDA Industries Standards Roadmap Review Version, sponsored by CFI, EDAC and Sematech April20 1994, modified September 29, 1995

저 자 소개



강 창 록

1951年 7月 6日生
한양대학교 공업경영학과 졸업

1975년 10월~1978년 2월 해군대학 교관
1978년 3월~1980년 11월 금호실업 WANG Computer 영업
1980년 12월~1984년 8월 CDK 영업대표
1984년 9월~1987년 4월 서울일렉트론 CAD/CAM 사업부장
1987년 5월~1993년 12월 멘토그래픽스 한국(MGK) 지사장
1994년 1월~현재 (주)한국멘토 (MKC) 대표이사

주관심 분야: 국내 기반기술 체제 구축

종합적인 설계 생산성 향상을 위한 컨설팅 활성화
반도체 및 시스템 핵심 선진 설계 기술의 국내 이양 및 국산화
CASE, RTOS 등 소프트웨어 엔지니어링 분야

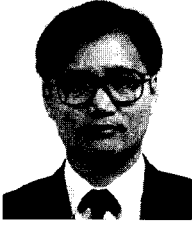


최 세 열

1946年 6月 2日生
현재(주)시놉시스 코리아 대표이사
한국 케이던스(주) 대표이사

미국 Cadence Design Systems Sales Director
미국 Silver Lisco Technical/Marketing Director
미국 NCA Design Automation Group R&D Project Manager
미국 Vairan Associates Computer Engineer

박 상 조



1958年 6月 8日生

1991年 8月 22日 아주 대학교 산업대학원 졸업, 석사

1997年 3月 5日 한양 대학교 경영대학원 입학(MBA)

1997年 1月~현재 (주)다반테크 사업총괄 이사
 1994年 5月~1996年 12月 (주)시뉴시스 코리아
 1992年 6月~1994年 4月 (주)인티그래프 코리아
 1989年 1月~1992年 5月 (주)밸리드 로직 시스템 코리아 및 케이던스 코리아

주관심 분야: EDA 설계 자동화, PCB/ASIC 설계 및 컨설팅

김 동 식



1955年 12月 18日生

1976年 3月~1981年 2月 한양대학교 전자공학과, 학사

1991年 서강대학교 MBA

1993年 1月~현재 한국 케이던스(유) 대표이사
 1991年~1992年 12月 한국 HP. Marketing 부장
 1987年~1991年 한국 HP 영업부, Sales Manager(부장)
 1981年~1987年 한국 HP 영업부, Sales Rep.
 1981年 2月 삼성전자 HP 사업본부 입사