

## 삼성의 VLSI CAD 기술

공 정 택

삼성전자(주)반도체 연구소 CAE팀

### I. 서 론

반도체 산업의 급속한 발전으로 deep sub-micron(DSM) 회로 설계 시대가 도래하였다. 수천만 트랜지스터를 내장한 system-on-a-chip(SOC)이 등장하고 클럭이 1GHz급으로 고속화될 뿐만 아니라 interconnect 딜레이 비중이 증가되어 설계의 난이도가 대폭 증가하였으나 total turn-around time은 줄어드는 실정이다. 또한, 칩 면적 및 성능의 tradeoff를 고려한 설계에서 소비 전력, signal integrity 등을 추가로 고려한 설계로 변천되었다. 이에 대응하기 위하여 기존의 설계 방법론과 단계별 CAD 툴의 혁신적인 개선이 필요하게 되었다. 0.25um 테크놀로지에서는 interconnect 딜레이가 전체 딜레이의 80% 이상을 차지할 수 있으므로 3차원 효과를 고려한 interconnect 모델링이 필수적이다. 또한, 회로 설계의 초기 단계에서 레이아웃의 배선 딜레이를 예측하고 각 설계 단계별로 예측된 타이밍 조건을 만족시키는 forward timing driven 설계 기법이 필요해진다.

SOC를 구현하기 위해서는 시스템 설계자의 노하우와 반도체 설계자의 실리콘 노하우의 결합이 필수적이며 이를 효율적으로 지원할 수 있는 설계 기법 및 CAD 툴이 필요하다. 시스템을 구성하는 하드웨어와 소프트웨어를 검증할 수 있는 시뮬레이션, 대형 회로의 고속 검증 툴, 설계 재활용을 위한 여러 가지 intellectual property(IP)의 활용, mixed-signal 설계 환경, 효율적인 테스트 기법 확보가 필요하다.

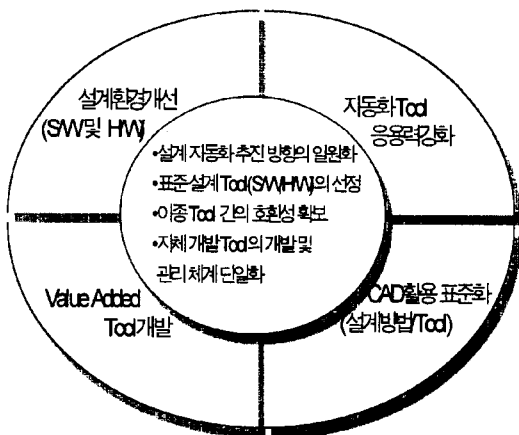
삼성전자(주) 반도체 부문에서 1983년부터 VLSI CAD 구축 업무를 본격적으로 시작한 이래 [1] 주요 제품 및 VLSI CAD 시스템 변화는 그림 1과 같다. 1980년 중반에는 트랜지스터, 게이트 레벨의 CAD 구축 및 컴퓨터 시스템 환경 강화에 역점을 두었으며, 1990년 초반에는 논리 합성, 자동 레이아웃, 각종 시뮬레이터 및 검증 환경에 주력하였으며, 현재는 technology CAD(TCAD), SOC 설계, deep submicron 회로 설계 및 고성능 칩의 커스텀 설계 환경 강화에 역점을 두고 있다.

1983	1990	1997
64K DRAM	4M DRAM	1G DRAM
4bit Mcom	8bit Mcom	32bit Mcom
Schematic Entry	Schematic Entry	High-Level Entry
Manual Layout	Auto P&R	Perf.-driven P&R
Slow Circuit Sim	Circuit Sim	Fast Circuit Sim
	Logic Sim	High-Level Sim
	DRC, EPC, LVS	Hierarchical LVS
		Logic/ Test Syn.
		Fast Verification
		Signal Integrity

〈그림 1〉 주요 제품 및 VLSI CAD 환경 변화 개략도

당사는 ECAD와 TCAD를 통합 운영하므로 설계 자동화 환경 구축의 시너지 효과를 얻고 있다. 업무 방침은 설계 경쟁력 강화를 위한 최상의 설계 환경 제공하는 것이며, 그림 2와 같이 정리 될 수 있다. 최상의 CAD 환경을 구축하기 위하여 당사에서는 다음과 같은 사항을 고려하고 있다.

1. 각종 상용 툴을 쉽게 수용할 수 있는 최적화된 통합 CAD 환경 구축
2. 최상의 CAD 툴의 확보
3. 기술 장벽 극복을 위한 자체 개발 툴 확보
4. 효율화된 최신의 설계 기법 확보



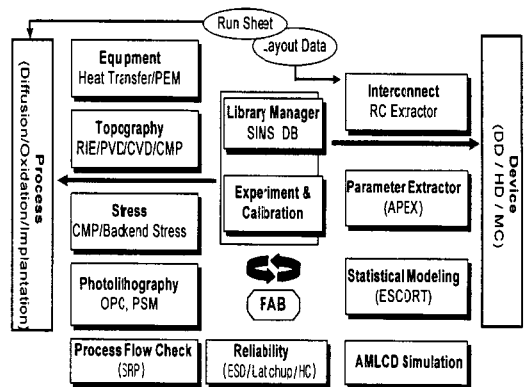
〈그림 2〉 VLSI CAD 업무 개략도

### 5. 설계 표준화 및 툴 표준화 지원

복잡하고 다양해진 CAD 기술을 분류하기가 용이하지 않으나, 본고에서는 삼성전자(주) 반도체 부분의 technology CAD 현황, deep submicron 설계에 대한 대응, SOC 설계 환경, 기타 설계 환경 강화를 위한 노력 등으로 나누어 기술한다(주로 소프트웨어 및 설계 기법 위주로 기술함).

## II. Technology CAD 현황

TCAD는 크게 공정 시뮬레이션, 소자 시뮬레이션, framework로 구분할 수 있다. 공정 시뮬레이션은 1) photo-lithography, 2) 이온 주입, 산화, 및 확산, 3) 증착, 식각, 평탄화 및 장비 시뮬레이션으로 구분할 수 있다. 소자 시뮬레이션은 1) 능동 소자, 2) interconnect, 3) 신뢰성(reliability) 시뮬레이션으로 구분할 수 있다. 당사의 TCAD는 1) 공정, 소자, 및 회로의 특성 분석, 개선 및 개발, 2) 정확도 향상, 사용 효율화 및 복합화를 통한 computational prototype system의 실현을 목적으로 하며 개략적인 TCAD 시스템 구성은 그림 3과 같다.



〈그림 3〉 당사의 TCAD 시스템 구성도

### 1. Photo-lithography 시뮬레이션

소자 크기의 감소로 photo 장비가 파장보다 작은 patterning을 요구함에 따라 분해능 향상 기술 (Resolution Enhancement Technology)이 필요하게 되었다. Phase Shift Mask(PSM)는 패턴 edge에서 contrast의 향상 및 분해능을 극대화하는 기술로서 당사에서는 half-tone과 alternative PSM의 자동 배치에 대한 알고리즘이 연구되고 있다. 또한 Off Axis Illumination(OAI)의 quadruple, annular aperture의 최적화를 통한 초점 심도 마진 향상, full-chip 레벨에서의 Optical Proximity Correction(OPC)의 optical 모델과 empirical 모델의 연구가 이루어졌으며 OPC empirical 모델을 이용한 device의 CD 변화 감소<sup>[2]</sup>, 전기적 특성 개선을 진행하였다. 또한, 반복되는 photolithography 작업의 경비 절감을 위해 photoresist 파라미터 캘리브레이션과 이를 토대로 메모리 디바이스의 bit-line 등의 패턴 최적화<sup>[3]</sup>를 시도하였다.

E-beam과 관련하여 자체 개발 시뮬레이터인 3D-EBLS를 이용하여 direct writing, mask 제조 공정에 응용하고 있다<sup>[4,5]</sup>. 또한, 차세대 photo 장비 및 공정 평가에 대한 예측 및 최적화 능력의 조기 확보에 노력하고 있다.

### 2. 이온 주입, 산화, 확산 공정 시뮬레이션

2차원 시뮬레이터의 정확성 및 예측성 향상과 3차원 시뮬레이션의 효율성 등에 대한 요구가 증대되고 있다. 이에 대한 대처로서 physics-based 공정 캘리브레이션, 자체 공정 모델링, database(DB) 구축과 사용자 인터페이스 환경 개선 등의 연구가 진행되고 있다.

이온 주입의 경우 SIMS DB의 지속적인 확장과 Monte Carlo 기법을 통한 moment 추출로써 자체의 해석 함수 테이블을 구축하고 있다. 이에 따라, 저에너지의 얇은 접합 깊이와 채널링 효과에 대한 정교한 시뮬레이션이 가능하다<sup>[6]</sup>.

LOCOS의 새부리 영역의 형상 예측과 더불어 trench의 산화 공정·모델링에 대한 연구가 진행 중이며, 공정 후 스트레스의 분포와 변화의 연구를

강화하고 있다<sup>[7]</sup>. 이는 스트레스가 공정의 프로파일 뿐 아니라 소자의 특성에 매우 민감하게 작용하고 있기 때문이다.

Rapid thermal annealing에 대한 transient-enhanced diffusion 효과의 정확한 예측을 연구 중이다. 또한 3차원에 대한 시뮬레이션을 위하여 산학 협동으로 3차원 공정 시뮬레이터를 개발 하였으며, 이를 계속적으로 유지 개선할 것이다.

### 3. 증착, 식각, 평탄화 및 장비 시뮬레이션

다층 배선 및 소자의 미세화에 따라 backend 공정의 시뮬레이션에 대한 요구가 증대되고 있다. Backend 공정 시뮬레이션 분야는 식각, 증착 및 chemical mechanical planarization(CMP) 등의 단위 공정 최적화, 형상 재현을 통한 식각/증착/평탄화 연계 공정 최적화 등이다. 식각 공정의 경우, 마스크의 형상 변화를 재현하여 oxide contact etching을 모델링 하였으며, Pt etching에 대한 형상 모델을 개발하였다<sup>[8,9,10]</sup>.

CMP 평탄화 공정에 대해 물리적인 2D/3D profile 모델을 개발하였으며, pattern density와 CMP 모델을 연계한 full-chip 레벨의 시뮬레이터를 개발하여 CMP 공정 최적화에 활발하게 적용하고 있다<sup>[11-13]</sup>.

CVD/PVD 형상 시뮬레이터의 경우, 공정 시뮬레이터의 인터페이스, 단위 공정 최적화의 적용 가능성, 다층 backend 공정에 대한 형상 재현성을 연구하고 있다. 향후, 단위 공정의 최적화를 시뮬레이션을 통해 가능토록 하기 위해 플라즈마 장비 시뮬레이터와 형상 시뮬레이터를 통합시킬 예정이며, 플라즈마 및 surface reaction DB를 구축할 것이다. 또한, 공정 시뮬레이션의 정확도 향상 및 void dependent stress 시뮬레이션을 위하여 여러 레벨에 대한 공정 시뮬레이터의 통합된 환경을 구축할 예정이다.

### 4. 능동 소자 시뮬레이션

능동 소자 시뮬레이션 연구는 고전적인 drift-diffusion, hydrodynamic, energy-balance 모델링과 Monte Carlo 및 분자학적 시뮬레이션으로 구성

된다. 고전적인 모델은 상용 툴에서 발전적인 방향으로 개발되고 있으므로 반도체 제조 회사에서 개발하는 것보다 효율적인 것으로 판단된다. 최근 부각되고 있는 Monte Carlo 시뮬레이션 기법은 수행 속도와 방법 (메쉬, 입자수의 의존성 등) 등이 개선이 되어야 한다.

모델의 중요성과 더불어 중요한 기술로서 inverse 모델링이 부각되고 있다. 2차원 도핑 프로파일의 측정이 난이하므로, inverse 모델링을 이용하여 캘리브레이션을 하면 효과적으로 소자 특성을 구할 수 있다. 특히, 2차원 확산을 고려해야 할 소자의 경우는 1차원 도핑 프로파일로는 그 특성을 시뮬레이션 할 수 없으며 inverse 모델링이 필수적이다. 이를 위하여 공정 캘리브레이션이 진행되었으며, inverse 모델링을 통한 능동 소자 시뮬레이션을 수행하고 있다.

### 5. Interconnect 시뮬레이션

Interconnect는 deep submicron 영역의 VLSI 동작 특성을 결정짓는 중요한 요인으로서 정확한 모델링이 요구된다. 현재 full-chip 레벨에서 interconnect를 추출하는 연구가 활발히 진행되고 있으며, TCAD 툴을 이용하여 시뮬레이션의 정확도 향상을 꾀하고 있다. 3차원 field solver를 개발한 바 있으나, 현재는 상용 툴을 사용하고 있다. 또한, interconnect에 대한 여러 공정 효과를 해결하기 위하여 형상 시뮬레이션과 field solver의 통합화가 추진되고 있다. 이의 실현은 공정 효과를 고려한 정확한 parasitics 추출, 저유전 절연막 구조 등의 연구에 활용된다. 현재 Monte Carlo 기법을 활용한 툴을 적용하여 여러 RC 추출 툴들의 정확도 검증을 진행하고 있다.

### 6. 신뢰성 시뮬레이션

TCAD를 latch-up, electrostatic discharge (ESD), hot-carrier, time dependent dielectric breakdown(TDDB), electromigration 분석에 적용하여 제품의 신뢰성을 향상시키고 있다. Latch-up 특성 분석에 소자 시뮬레이터를 널리 사용하여 왔으며, ESD 특성 분석에 많은 노력을 기울여 왔

다. ESD 특성에 대한 시뮬레이션은 소자-회로 혼합 모드로 수행되며, 레이아웃, 공정 변동에 따른 ESD 성능을 소자의 I-V 특성, lattice의 온도 등을 비교하여 분석, 개선할 수 있다. 소자 레벨에서 등가 모델링 및 physical device 구성 방법 등에 의해 ESD 방지 소자에 대하여 특성을 예측 개선할 수 있다<sup>[14]</sup>. 회로 레벨에서는 소자들의 snapback 모델링 및 온도 의존성을 고려하여 시뮬레이션을 진행하고 있다<sup>[15]</sup>. 회로 레벨의 시뮬레이션을 이용하여 소자의 열화 예측, TDDB특성으로부터 burn-in failure를 추출하기 위한 방법을 연구한 바 있다. 실제 발생하는 신뢰성을 모델링하는 데 한계가 있으며, hot carrier 및 TDDB 특성 분석을 위하여 측정 패턴의 설계, 측정 방법, 정확한 모델링 등의 연구를 진행할 것이다.

### 7. TCAD framework

당사의 framework<sup>[16]</sup>에 대한 기본 개념은 시뮬레이터는 상용 툴을 이용하고, TCAD 시뮬레이션 라이브러리를 구축하여 시뮬레이션 파일 및 SIMS 프로파일 등을 DB화하고, graphic user interface (GUI), 통계 해석법(response surface method, design of experiments 등)을 개발하여 통합화되고 사용이 용이한 환경을 구축하는 데 있다. 현재 공정 및 소자 시뮬레이션을 위한 통합화된 환경인 SANTA를 개발 활용하고 있으며, 향후에는 lithography, topography 및 3차원 시뮬레이션을 접목하여 TCAD 시뮬레이션을 수행할 수 있는 통합화된 환경을 구축할 것이다.

### 8. 기타 TCAD 응용

공정 변동에 따라 통계적인 회로 모델 파라미터를 추출하고, 전체 회로 성능을 예측할 수 있는 방법을 구축하였다<sup>[17,18]</sup>. 레이아웃 상에 존재하는 여러 종류의 트랜지스터 구조의 소자 특성을 3차원적으로 해석하고 상용하는 회로 모델링을 제공하는 MAENAD를 개발 활용하고 있다<sup>[19]</sup>. SOI 해석에 TCAD 툴을 활용하였으며<sup>[20]</sup>, TMA사의 Liquid의 모델 등을 개선하여 TFT-LCD의 소자 특성 개선 등에 활용 범위를 확대하고 있다. 각종

공정상의 사고 사례를 체계화하고 동일한 사고의 발생을 run sheet 제작시에 방지할 수 있는 툴을 개발하고 있다.

### III. Deep submicron의 대응

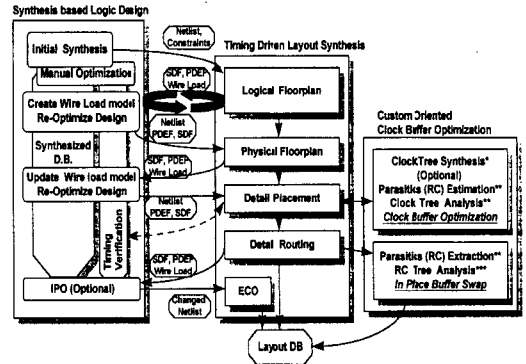
Deep submicron technology가 실용화되면서, 칩이 고밀도화, 대형화, 고속화되었으며, 저소비 전력, signal integrity, 신뢰성 등을 고려한 설계 환경이 필요하게 되었다. 칩 전체 타이밍 딜레이에서 interconnect 딜레이의 비중이 증가됨에 따라 기존의 설계 방법론 및 단계별 CAD 툴이 대폭 수정되어야 한다. 당사에서는 EDA Industry Council의 “EDA Industry Standard Roadmap-1996”, SEMATECH의 “Chip Hierarchical Design Systems -1995”에서 제시한 내용을 주축으로 대처해 나가고 있으며, 이를 분야별로 정리토록 한다.

#### 1. Interconnect 영향 분석

게이트 딜레이에 비하여 interconnect 딜레이가 차지하는 비중이 커지면서 레이아웃 이전 단계에서의 타이밍 검증이 어려워지고 있으며, 정확한 RC 추출, 정확한 딜레이 모델링 등이 문제로 대두되었다. 상용 툴들을 보면, RC 추출, RC reduction 및 compact interconnect modeling, 딜레이 해석 툴 등이 있으며, logical floorplanner, 이와 연계하여 interconnect 딜레이를 고려한 논리 합성 툴 등도 있다. 당사의 경우 자체적으로 logical floorplanner를 개발하였으며<sup>[21]</sup>, 효율적인 RC reduction 및 정확한 interconnect 딜레이를 계산할 수 있는 툴도 개발하였다. 여러 가지 툴에서 일관된 타이밍 정보를 활용할 수 있는 아키텍처 (central delay architecture)를 활용하여 레이아웃과 논리 합성 툴간의 정보가 효과적으로 교환될 수 있는 설계 환경을 구축하였다. 또한 커플링 캐패시턴스에 의한 딜레이 증가를 모델링할 수 있도록 하였다.

#### 2. 클럭 회로 분석

Interconnect 딜레이가 가장 중요하게 고려되어야 할 부분은 클럭 시그널이다. 클럭 시그널의 타이밍 딜레이가 회로 전체의 올바른 동작에 가장 심각한 영향을 주기 때문이며, 상용 툴들은 타이밍 driven 자동 배치 배선을 통하여 이를 해결하고자 한다. 그러나, 상용 툴을 적용할 경우에도 타이밍 오류가 발생하는 경우가 있어 당사에서는 논리 회로 설계 단계에서 레이아웃의 영향을 고려하기 위한 logical floorplanner의 개발 적용과 최종 레이아웃 후의 클럭 시그널의 타이밍 오류 발생 시 전체 자동 레이아웃의 재수행없이 타이밍을 수정할 수 있는 clock skew 최소화 툴을 개발 적용하고 있다. 그림 4에 당사에서 구축 활용 중인 타이밍 driven 레이아웃 설계 환경을 정리하였다.



〈그림 4〉 당사에서 구축 활용 중인 timing driven layout 설계 환경

#### 3. Signal Integrity, 신뢰성, 노이즈, electromagnetic interference(EMI) 해석

Deep submicron 설계에서, 종래에 무시되었던 커플링 효과가 중요하게 된다. 인접 신호선과의 간격이 좁아지기 때문에 커플링 캐패시터를 고려해야 회로 동작을 정확히 검증할 수 있다. 특히 동시에 여러 개의 시그널이 같은 방향으로 스위칭할 경우 파워 또는 접지 신호선의 전압이 변동하여 회로의 오동작 가능성이 증대된다.

당사에서는 현재 상용화되어 있는 parasitics 추출 툴을 이용하고, 측정 환경, 시스템 환경에 대한 모델을 이용하여, PCB의 등가 모델을 자동 생성

하는 프로그램인 ASIA를 개발하여 종래의 수작업 시 등가 회로 모델 발생에 소요되던 시간을 대폭 단축하였다<sup>[22]</sup>.

EMI는 그 원인에 따라 전도 방출(conducted emission)과 방사 방출(radiated emission)로 구분된다. 현재 개발된 상용 툴들은 주로 PCB에서의 EMI 해석에 초점을 맞추고 있으나 점차 IC의 EMI 문제도 다룰 수 있는 툴들이 개발될 추세이다. 당사의 경우 EMI에 대한 연구를 위하여 여러 가지 업무를 추진 중이다.

#### 4. Power 해석

최근 전자 제품의 portable화 및 칩의 소비 전력이 급격히 증대됨에 따라 전지의 수명 단축과 열 발생에 따른 패키지 비용 증가 등의 문제가 발생되고 있다. 또한, 소비 전력의 증가로 칩 내부 power line의 신뢰성 저하 및 electromigration 문제가 심각해졌다. 이를 효율적으로 대처하기 위해서는 저소비 전력 설계 기법 연구 및 power 평가 기법, power distribution 분석을 통한 안정적인 power line 배선 기법이 필요하다. 이러한 목적으로 RTL, 게이트, 트랜지스터에서의 소비 전력 예측이 가능한 상용 툴들이 등장하였다. 당사에서도 이러한 목적에 부합하여 상용 툴들을 도입하고 일부는 개발하여 사용하고 있다.

상용 트랜지스터 레벨 시뮬레이터에 자체 개발 schematic capture system을 integration하여 전력 소모의 유형 판별 및 문제 발생 위치를 신속하게 탐색 또는 수정할 수 있는 환경을 개발하였다. 또한, 논리 시뮬레이션 결과 발생된 각 셀의 input slope 및 output loading 캐패시터를 이용하여 소비 전력을 평가할 수 있는 환경을 구축하였다. 개발된 환경에서는 레이아웃으로부터 추출된 power line에 대한 parasitics를 이용하여 IR drop, electromigration 등도 분석할 수 있다. 공급되는 전원의 전압 강하에 따라 게이트 딜레이가 증가하므로 타이밍 에러가 발생할 수 있다. 이를 예방하기 위하여 floorplan 단계에서 power line의 폭과 칩 면적을 고려하여 설계할 수 있는 환경을 개발 중이다.

#### 5. 트랜지스터 sizing

타이밍 및 소비 전력 최적화의 효율적인 방법으로, 설계 constraint를 고려한 회로 최적화를 이용할 수 있다. 트랜지스터의 크기를 최적화하여 constraint를 만족시키도록 할 경우 technology migration과 같은 분야에 적용 효과가 크다. 현재 레이아웃의 technology migration 환경은 상용 툴을 활용 중이며 회로의 performance를 고려한 technology migration 환경 구축을 위한 연구를 진행하고 있다.

#### 6. 회로 시뮬레이션, 모델링, 파라미터 추출

Deep submicron 트랜지스터의 정확한 모델링에 대한 연구가 많이 이루어지고 있으며, 상용 툴들의 모델 표준화가 추진되고 있다. 당사에서는 캘리포니아 버클리 대학에서 개발한 Bsim3v3.1의 적용을 연구 중이다. 소자 모델의 정확성은 물론, 정확한 측정 및 파라미터 추출이 시뮬레이션의 정확도를 결정짓는 중요한 요소이다. 당사의 경우 오랜 기간의 파라미터 추출 경험을 바탕으로 이에 적합한 파라미터 추출 프로그램을 개발하여 활용하고 있다<sup>[23]</sup>.

회로의 대규모화에 따라 기하급수적으로 증가하는 회로 시뮬레이션 시간을 해결하기 위하여 상용 fast-timing 시뮬레이터를 도입하여 활용하고 있다. 바이폴라 모델도 포함하고 있어서 mixed-signal 회로의 시뮬레이션에도 적용이 가능하나, 아날로그 회로의 비중이 큰 경우에는 일반 회로 시뮬레이터에 비하여 비효율적이다. 한편, 트랜지스터 레벨의 소비 전력 평가, IR drop 해석 및 electromigration 해석용을 위하여 당사의 설계 환경에 integration이 용이한 fast-timing 시뮬레이터를 개발 중이다.<sup>[24, 25]</sup>

### IV. System-on-a-Chip (SOC) 설계 환경

SOC 설계 효율화를 위한 기본 요건은 IP를 이용한 building block 형태의 새로운 설계 방식의 정

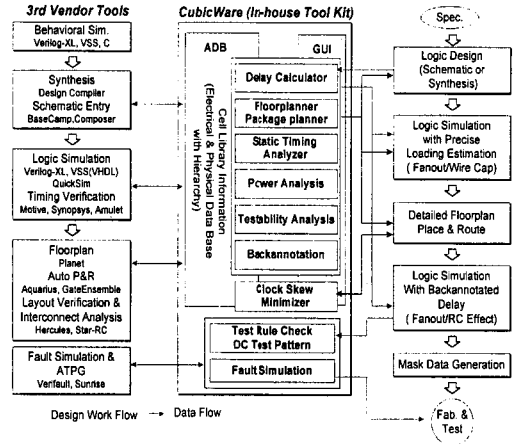
럽이다. 이러한 SOC 설계를 위한 환경을 기술토록 한다.

### 1. 새로운 구조의 회로 설계 및 레이아웃 설계

SOC 설계는 기존의 top-down 또는 bottom-up 방식 만으로는 효율적인 설계가 이루어 질 수 없기 때문에 두가지 설계 방식이 혼합된 설계 방식의 지원이 필수적이다. 이러한 설계 기법의 지원을 위하여는 설계 constraints의 계층적 관리가 필수적이며, 설계 초기 단계에서부터 타이밍, 소비 전력, 칩 면적 등을 비교적 정확하게 고려하기 위한 툴이 필요하다. 이러한 요구를 만족하기 위한 설계 자동화 툴로 1) 회로 설계 단계와 레이아웃 단계에서의 공통된 타이밍 정보를 계층적으로 관리할 수 있는 central delay architecture의 구성, 2) 회로 설계 단계에서 레이아웃의 영향을 예측할 수 있는 logical floorplanner 및 delay calculator, 3) 회로 설계 단계에서 power 평가 및 타이밍 분석을 위한 정적 시간 검증기가 필수적으로 필요하다. 또한, 이 설계 환경에서는 설계 효율의 개선을 위한 새로운 설계 process를 지원할 수 있어야 한다. 즉, top-down 설계 방식의 지원을 위한 논리 합성 툴과 floorplanner 간의 밀접한 인터페이스, 그리고 IP의 설계 재활용을 위한 building block 형태의 core based 설계 방식의 지원이 가능해야 한다.

Timing driven 설계 환경의 구축을 위해 선행적으로 준비되어야 할 사항은 각 설계 단계에 필요한 정확한 딜레이 모델링이다. 셀 라이브러리의 경우 input slope과 output loading을 고려한 pin-to-pin 딜레이 특성 및 power 소비 특성이 고려되고, interconnection 딜레이의 경우 RC에 의한 loading 효과가 고려된 설계 분석이 가능해야 한다.

Timing driven 회로 설계 및 레이아웃 설계 환경의 구축은 기존의 상용 툴이나 자체 개발 툴만으로는 실현에 많은 어려움이 있다. 당사에서는 이러한 개발 환경의 조기 구축을 위하여 상용 툴과 자체 개발 툴을 기반으로 그림 5와 같은 설계 환경 구축의 완성 단계에 있다.



(그림 5) Timing driven 설계 환경

### 2. 논리 설계 환경

논리 설계를 위한 CAD 환경은 최근에 많은 변화를 요구하고 있다. SOC 설계 경향으로 인한 회로 규모의 대형화로 논리 검증에 걸리는 시간이 설계 turn around time의 중요한 요소가 되었으며, deep submicron 회로에서의 interconnection 딜레이를 효율적으로 줄이기 위해 논리 설계 단계에서 레이아웃을 고려해야 할 필요성이 크게 대두되었고, 논리 자동 합성의 영역 또한 점차 상위 레벨로 올라가고 있다. 다음에 최근의 변화되는 설계 환경에 대처하여 구축 중인 논리 설계 CAD 환경을 약술한다.

#### 1) 논리 검증

회로의 규모가 수십만 게이트가 됨에 따라 event-driven 논리 시뮬레이터에 의해 function 및 타이밍을 검증하는 것이 비현실적이 되고 있다. 최근에 이의 해결을 위해 cycle boundary에서만 검증을 하는 cycle based 시뮬레이터의 이용과 논리 시뮬레이터에 의해 RTL의 golden model을 확보한 후 설계 각 단계 전후 회로의 일치성을 검증하는 formal verification 기법을 이용한 equivalence checker의 활용이 점점 요구되고 있다. Cycle based 시뮬레이터와 formal verifier는 각각 기존의 event-driven 시뮬레이터 대비 10배 이상의 속도 향상을 가져오는 것으로 알려져 있다. 당사는

최근 cycle based 시뮬레이터를 도입하여 활용하는 한편 formal verifier에 대한 기능 평가를 진행 중에 있다. 그러나, 이러한 cycle based 시뮬레이터와 formal verifier로는 function 검증만이 가능하므로 별도의 타이밍 검증을 위한 static timing analyzer (STA)의 활용이 요구되는데, 당사에서는 자체 개발한 STA인 Amulet<sup>[26]</sup>을 타이밍 검증에 활용하고 있다. 대규모 회로의 논리 검증 방법으로 정착되고 있는 function 검증과 타이밍의 분리 및 cycle based 시뮬레이터, formal verifier, 그리고 static timing analyzer의 설계 적용을 위한 CAD 환경이 정립 단계에 있다. 한편, 대규모 회로 검증의 속도 개선을 위하여 hardware accelerator, hardware emulator 등도 부분적으로 활용하고 있다.

논리 검증의 속도 향상을 위한 이상의 노력 외에 논리 검증 단계의 효율화를 위하여 testbench의 code coverage 툴과 testbench의 생성을 지원해주는 툴에 대한 연구, 그리고 보다 효율적인 source code debugging 툴과 출력 파형 분석 툴에 대한 연구도 지속적으로 진행하여 최상의 논리 검증 환경 구축에 노력하고 있다.

## 2) 논리 합성

일반적인 논리 자동 합성 툴 활용이 성숙되어 있는 상황에서 최근에는 레이아웃을 고려한 논리 설계를 위해 logical floorplanning 기법을 지원하는 툴들이 도입 및 자체 개발되어 활용되고 있다. 또한, 설계의 목적 함수로 과거의 chip 면적 및 지연 시간의 최소화에서 소비 전력의 최소화가 추가되어 논리 설계 단계부터 소비 전력을 줄이는 방향으로의 자동 합성 및 결과를 분석하는 툴 사용을 진행하고 있다. 한편, SOC의 경향으로 설계의 추상화 레벨이 높아짐에 따라 상위 레벨 논리 합성의 설계 환경을 구축하고 있다.

## 3) 설계 entry

설계 entry 방법은 80년대의 schematic capturing에서 90년대에는 HDL entry로 변천하였다. 최근에는 설계자가 HDL을 서술하는데 드는 노력을 줄여주기 위해 다양한 electronic system design automation(ESDA) 툴들이 CAD vendor

들에 의해 제공되고 있다. ESDA tool은 flow diagram, FSM diagram 등의 graphic entry로부터 HDL code를 자동 생성하는 tool로서 당사에서는 지난 수 년간 설계 적용을 위한 기능 평가를 하였으나 설계자에 의한 manual 방식의 HDL coding에 비해 여러 제약점들을 내포하고 있어 아직 설계에 적용하지는 않고 있는 실정이다. 반면에 자체 개발 schematic capture system인 BaseCamp를 중심으로 HDL entry와 schematic entry를 복합적으로 처리하는 설계 환경을 준비 중이다.

## 4) 시스템 설계

SOC 경향은 과거의 시스템 설계자와 칩 설계자의 업무 영역 경계를 사실상 없애는 결과를 초래하였다. 당사는 시스템 설계 단계의 algorithm validation을 위한 툴들을 DSP, 통신 등의 분야 회로 설계에 부분적으로 적용하여 왔으며, 향후 시스템 설계의 빈도가 점점 높아질 것이 예상됨에 따라 기존의 algorithm validation 툴 외에 hardware-software co-design 및 co-verification 툴 그리고 이들로부터 상위레벨 자동합성 툴로의 유연한 path를 구축하기 위한 연구를 진행하고 있다.

## 5) 테스트

SOC 설계에서 테스트의 중요도가 대폭 증대되고 있다. 당사는 이를 반영하여 테스트를 고려한 설계 기법을 지원하는 특수 조직을 두고 다양한 design for test(DFT) 기법을 설계에 제공하고 있다. Scan design 및 ATPG 활성화를 통해 테스트를 위한 노력을 줄이면서 효율적인 테스트 환경을 구축하고 있으며, testability 해석을 위하여 자체 개발 툴 적용으로 설계 초기 단계에서 테스트를 고려한 설계가 가능하도록 유도하고 있다. 테스트 시 사용하는 fault 모델로는 stuck fault 모델 외에 Iddq fault, path delay fault, inductive fault 모델 등 고품질 제품 전략에 필요한 fault 모델의 적용을 위한 준비를 하고 있으며, SOC의 core based 설계시 필요한 테스트 재활용 flow의 정착을 위한 환경 개선도 진행하고 있다.



### 3. Mixed-signal 설계 환경

아나로그 회로의 설계는 전통적으로 커스텀 레이아웃 방식에 의하여 이루어지고 있으며, 설계 검증 또한 회로 시뮬레이션에 의존하고 있다. 그러나, PLL, SCF, ADC 등의 회로들은 트랜지스터 레벨에서의 시뮬레이션 시간이 매우 길어, 설계 검증이 사실상 불가능하다. 또한, 고집적화에 따라 하나의 칩에 아나로그와 디지털 회로가 혼재하는 경우(mixed-signal 회로)가 점차 증대되어 이에 대한 효율적인 시뮬레이션 환경이 요구되고 있다.

Mixed-signal 시뮬레이터를 선정할 경우 기존 아나로그 및 디지털 설계 환경과의 호환성이 좋아야 한다. Mixed-signal 회로에 대한 full-chip 시뮬레이션에는 두 가지 방법이 적용될 수 있다. 1) 전체 회로 중에서 아나로그 부분이 dominant한 경우에는 mixed-signal 시뮬레이터를 적용하고, 2) 디지털 회로가 dominant한 경우는 아나로그 부분을 논리 시뮬레이터에서 사용하는 Verilog-HDL이나 VHDL로 모델링하여 논리 시뮬레이터에 의한 full chip 검증을 하는 방법이다.

아나로그 블록에 대한 라이브러리 구축은 설계 재활용이라는 측면에서 매우 중요하다. 라이브러리의 각 블록들은 모델링이 되어야 하며 현재 Verilog-A 및 AHDL이 industry 표준으로 활용되고 있다. 또한, 각 블록들에 회로 최적화 툴<sup>[27, 28]</sup>을 적용할 경우 동일한 기능이면서 다른 spec의 회로 설계가 용이해진다. 향후, 아나로그 library 구축을 통하여 아나로그 모델링, 회로 최적화를 연계시킨 아나로그 top-down 설계 환경을 구축할 계획이다.

### 4. 설계 자산(intellectual property)의 재활용

SOC에 대한 지속적인 시장의 요구에 대응하기 위하여는 보유한 설계 자산의 재활용을 위한 표준화와 새로운 설계방식의 정립이 필요하다. 제품설계에 활용되는 IP의 경우 기술 도입에 의한 것과 자체 개발한 것으로 구분할 수 있는 데, 자체 개발된 IP의 경우 설계 재활용을 위한 function 모델링과 protection 그리고 전기적 특성의 characterization을 위한 자동화 툴이 필요하다. 당사에서는 자체 개발 static timing analyzer인 Amulet의 기

능을 응용하여 function block (IP)의 전기적 특성을 characterize하는 flow를 구축 활용하고 있다.

IP 재활용을 위한 데이터 및 모델의 표준화는 VSI에서 제시하는 표준화 방향을 기준으로 실용화 가능한 부분부터 적용해 나가고 있다.

## V. 설계 환경 강화를 위한 노력

VLSI CAD 기술은 지난 20년간의 발전으로 많은 분야에서 성숙 단계에 와 있는 반면, 설계자가 느끼는 CAD의 지원은 아직도 미흡하다는 것이 일반적인 현상이다. 원인은 설계 각 단계별로 CAD 기술이 발전하였으나 적용 회로의 종류에 따라 많은 차이를 나타내고 있으므로 일괄적인 CAD 툴로는 최상의 효과를 낼 수가 없다는 것이다. 최근 이러한 gap을 없애기 위해 응용 분야별로 효율적 설계 기법을 창출하여 매우 긍정적인 효과를 얻고 있다.

### 1. 특화된 설계 자동화 flow 구축

설계되는 제품군별로 최적의 설계 flow를 구축하려는 노력으로 최근에는 LDI(LCD Driver IC), Micom, 전력 전자 제품의 설계 flow 개선을 통해 설계 기간을 단축하였다. 이를 위하여 설계자와 함께 종래의 설계 방법을 분석하고 문제점을 도출한 후 개선된 설계 방법의 제안 및 이의 실현을 수행하였다. 설계 flow 개선을 위하여, 아나로그와 디지털이 혼재한 mixed-signal 회로에서의 효율적 logic 및 fault 시뮬레이션 기법 정립, 제품군별 특화된 layout flow 정립, 회로 최적화 기법 적용, 효율적인 back-annotation 기법 적용 등 세부 설계 개선을 수행하였으며 이를 위해 필요한 툴의 자체 개발, 상용 툴과 자체 개발 툴을 이용한 전체적인 설계 flow 구축 등을 진행하였다. 이러한 특화된 설계 자동화 flow 구축으로 설계 기간을 50% 이상 대폭적으로 단축할 수 있었다.

### 2. 메모리 회로 설계 효율화

메모리 설계시 function 에러가 없는 제품을 단 기간에 설계하기 위해 설계 초기에 제품의 behavioral 모델을 제작 후, 메모리 제품의 behavioral 모델의 출력을 기대값으로 자동으로 structure 모델(netlist)의 출력과 비교하는 기능과 function 검증과 테스트 환경을 일원화한 flow를 구축하여 메모리 설계의 효율화를 이루었다. 또한 BaseCamp에는 메모리 제품의 회로 설계시 레이아웃이 고려되는 당시의 독특한 메모리 설계 기법을 지원하는 다양한 기능들이 내포되어 세계 최고 수준의 메모리 설계 기술을 이룰 수 있는 요소가 되고 있다.

### 3. 커스텀 레이아웃 설계 효율화

설계 기간을 단축하기 위하여 새로운 테크놀로지를 기존 레이아웃 설계에 재활용하는 기술, 커스텀 레이아웃의 자동화, 공정 margin을 확보하기 위한 설계 방식의 적용, 포토-마스크 제작상의 문제 등을 고려한 레이아웃 기술 전개 등 반도체 설계 및 공정 조건 변화에 따른 새로운 요구를 만족할 수 있는 레이아웃 기술을 연구하고 있다.

메모리 레이아웃 환경을 위하여 자체 개발 툴인 자동 배치 배선용 LayMan을 블록 단위까지 적용하여 설계 기간을 단축시키고 있으며, 다층 배선 자동화를 위해 over-the-cell 배선 및 compaction 기술 등의 개발을 진행하고 있다. 레이아웃 설계 재활용 기술은 기존 설계를 신공정으로 신속히 이전할 수 있는 기술로서 상용 툴을 도입하여 적용하고 있다.

검증의 효율화 방안으로 레이아웃 DB 크기를 줄일 수 있는 방법을 연구 적용 중이며 안테나 효과 체크 및 공정 마진 확보를 위한 데이터 처리에 특수 DRC를 운용하고 있다. 레이아웃 DB가 대단히 클 경우 상용 툴에서 처리 불가능한 경우가 발생하며, 당사는 자체 개발 툴인 레이아웃 DB handler를 사용하여 문제를 극복하였다. 또한, 레이아웃과 schematic의 cross probing, DRC/LVS/PG 등에 사용되는 각종 테크놀로지 및 DB를 관리할 수 있는 툴을 개발하였다.

### 4. 마스크 데이터 생성

마스크를 제작하기 위해서는 마스크 툴링 spec 작성과 E-beam fracturing 작업을 거치게 된다. 당사는 모든 마스크 데이터 관련 툴을 자체 개발하여 사용하고 있다. Turn around time이 경쟁력을 좌우하는 MASKROM 사업에서 고객으로부터 ROM code 입수 즉시 마스크 데이터를 출력하도록 Autogen을 개발하여 사용하고 있다. E-beam fracturing은 초기에 상용 툴을 사용하였으나 89년 이후 레이아웃 DB 크기가 커지면서 많은 문제가 발생하여 SafeGuard를 개발하였다.

SafeGuard는 2D bucket 처리 및 scan 알고리즘에 의한 sizing 기능과 boolean 기능이 강하고 중형 workstation에서도 대용량 마스크 데이터를 생성시킬 수 있으며 출력 파일 크기가 compact한 것이 장점이다. 변환된 마스크 데이터는 자체 검증 툴인 MaskCheck에 의해 블록 또는 레티클 레벨에서 slit 및 gap, overlap 등을 검증한다. 마스크를 제작하기 위한 툴링 spec과 마스크 제작 명령어로 구성된 jobdeck을 자동 생성시켜주는 MIG(Mask tooling Inform Generator)를 개발하여 휴먼 오류를 없애는 계기도 마련하였다. 또한 마스크 제작 생산성을 향상시키기 위하여 JAWS(Jobdeck Assessor With Smashing)를 개발하여 기존 마스크 제작 시간을 대폭 단축시켰을 뿐만 아니라 마스크 품질도 향상시킬 수 있었다.

5. 레티클 프레임 및 테스트 스트럭처 자동 생성  
칩 절단에 필요한 scribe line의 레이아웃은 포토 장비의 종류에 따른 다양한 레티클 프레임을 자동으로 생성시켜주는 툴 및 test element group (TEG) 자동 생성 툴을 개발하였으며, 수백개의 레이아웃 관련 응용 프로그램을 개발하여 사용하고 있다.

### 6. 설계 정보 통합 관리 시스템 (LMS)

설계 TAT의 단축을 위하여는 기존 설계 정보의 재활용이 매우 중요하다. 당사에서는 사내의 모든 설계자가 셀 라이브러리 정보를 공유할 수 있도록 통합 라이브러리 관리 툴을 개발하여 적용하고 있다.

## 참고 문헌

## 7. 기타 활동

메모리 모듈 PCB의 설계 환경을 개선하기 위하여 모듈 배선의 자동화와 분석을 위한 환경을 구축하여 설계 효율을 향상시켰다. 또한 회로 시뮬레이션, schematic entry, 파형 분석기를 하나의 통합된 환경 하에서 구동함으로써, 아나로그 설계 효율을 높일 수 있는 VSM<sup>[29]</sup>이라는 환경을 개발하여 사용 중이다.

## VI. 결 론

이상에서 삼성 전자(주) 반도체 부문의 VLSI CAD에 관하여, technology CAD 현황, deep submicron 대응 요소 기술, SOC 설계 환경, 기타 설계 환경 강화를 위한 노력 등으로 나누어 기술하였다. 최고의 반도체 종합 메이커를 지향하는 당사의 설계 경쟁력 강화를 위하여 최상의 설계 환경을 구축하였으며, 계속 최적의 성능을 유지할 수 있도록 노력하고 있다.

당사의 CAD 환경을 요약적으로 설명하면, 다양한 설계의 요구에 부응하기 위하여 최상의 상용 툴들과, 설계의 특수 need를 해소할 수 있는 자체 개발 툴들로 구성된 하나의 통합된 환경이다. 이러한 환경은 메모리 설계의 leading edge를 유지할 수 있는 기반이 되었으며, 설계 미세화 및 설계 데이터의 대형화에 따른 문제가 심각해지는 0.35 마이크로 이하 설계를 위한 자동화 환경을 구축할 수 있게 하였다. 끊임없는 반도체 테크놀로지의 발전, 설계 방법의 다양화에 신속하고 효율적으로 대처하기 위하여는 지속적으로 미래의 설계 변천을 예측하고 이에 맞게 대비해야 한다.

## 감사의 글

본고를 작성하는 데 많은 도움을 주신 오성환, 김택수, 최규명, 이홍주, 박영관, 유광재, 이기홍, 조동수씨에게 감사드립니다.

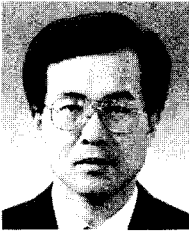
- [1] 공정택, "삼성의 VLSI CAD 시스템", 전자공학회지, vol. 16, no. 1, pp. 5-11, 1989.2.
- [2] C.H. Park, T.G. Kim, H.J. Lee, J.T. Kong, and S.H. Lee, "An Automatic Gate CD Control for a Full Chip Scale SRAM Device", BACUS, 1997.
- [3] C.H. Park, Y.H. Kim, C.S. Yun, K.H. Kim, and S.H. Lee, "Automatic Optical Proximity Correction Using Aerial Image Simulation and Newton Optimization Scheme", SSICT, 1996, pp 44-49.
- [4] Y.H. Kim, B.C. Ha, H.J. Lee, J.M. Sohn, J. T. Kong, and S.H. Lee, "3D Electron Beam Lithography Simulator V2.0 for the 1 Giga-bit Era Photomask Manufacturing", "97 BACUS, 1997.
- [5] Y.H. Kim, B.C. Cha, H.J. Lee, J.T. Kong, and S.H. Lee, "Electron Beam Lithography Simulation for the 1 Giga-bit DRAM Photomask Manufacturing", 5th ICVC, 1997, pp 130-132.
- [6] M.S. Son, H.J. Hwang, J.H. Lee, H.J. Lee, and T.S. Park, "Physically Based Three Dimensional Modeling of Ion Implantation for ULSI and GSI Device Technology Development and Manufacturing", 5th ICVC, 1997, pp 127-129.
- [7] J.H. Lee, M.S. Son, C.S. Yun, K.H. Kim, and H.J. Hwang, "Elasto-Viscoplastic Modeling for Three-Dimensional Oxidation Process Simulation", SISPAD, 1996, pp 83-84.
- [8] J.S. Park, H.J. Lee, K.H. Kim, and S.H. Lee, "Reactive Ion Etch Profile Simulation for a SiO<sub>2</sub> Contact Hole with Photoresist Mask Erosion", ECS, 1996. pp 710.
- [9] J.S. Park, H.J. Lee, K.H. Kim, and S.H.

- Lee, "RIE Process Limit Consideration Through Profile Simulation", SSICT, 1996, pp 112-117.
- [10] J.S. Park, H.J. Lee, J.T. Kong, and S.H. Lee, "Modeling of Polymer Neck Generation and Its Effects on the Etch Profile in Oxide Contact Hole Etching Using Ar, CHF<sub>3</sub>, and CF<sub>4</sub> Gases", SISPAD, 1997, pp 285-288.
- [11] Y.H. Kim, T.K. Kim, H.J. Lee, K.H. Kim, and S.H. Lee, "Pad Deformation and CMP Profile Simulation for Shallow Trench Isolation Process", ECS, 1996, pp 627.
- [12] Y.H. Kim, T.K. Kim, H.J. Lee, J.T. Kong, and S.H. Lee, "CMP Profile Simulation Using an Elastic Model on Nonlinear Contact Analysis", SISPAD, 1997, pp 69-72.
- [13] T.K. Kim, Y.H. Kim, H.J. Lee, J.T. Kong, and S.H. Lee, "Three Dimensional Modeling of SiO<sub>2</sub> CMP Based on Pad Deformation", AVS, 1997.
- [14] Y.K. Park, T.H. Kang, C.H. Choi, J.T. Kong, and S.H. Lee, "Improving the ESD Performance of Input Protection Circuits in Retrograde Well and STI structures", ESREF, 1997, pp 1461-1464.
- [15] Y.K. Park, Y.K. Park, C.H. Choi, J.T. Kong, and S.H. Lee, "The Capacitance and Resistance Effects on Charged Device Mode(CDM) ESD in High-Performance Memory Devices, 5th ICVC, 1997.
- [16] J.K. Park, T.S. Park, S.H. Lee, C.H. Choi, and K.H. Kim, "An Integrated TCAD System for VLSI Reliability Simulation", SISPAD, 1996, pp 151-152.
- [17] S.H. Lee, K.H. Kim, J.K. Park, C.H. Choi, J.T. Kong, W.W. Lee, W.S. Lee, J.H. Yoo, and S.I. Cho, "A Realistic Methodology for the Worst Case Analysis of VLSI Circuit Performances", SISPAD, 1996, pp 155-157.
- [18] S.H. Lee, C.H. Choi, J.T. Kong, W.S. Lee, and S.C. Hong, "An Efficient Statistical Analysis Methodology and Its Application to High-Density DRAMs". ICCAD, 1997, pp 678-683.
- [19] J.K. Park, C.H. Choi, Y.K. Park, C.S. Lee, J.T. Kong, M.H. Kim, T.S. Kim, and S.H. Lee, "A Characterization Tool for Current Degradation Effects of Abnormally Structured MOS Transistors", SISPAD, 1997, pp 41-44.
- [20] C.H. Choi, S.H. Lee, Y.K. Park, and J.T. Kong, "Analysis of Channel-Width Effects in 0.3um Ultra-Thin SOI NMOSFETs" SISPAD, 1997, pp 37-40.
- [21] 장명수, 진훈상, 이진용, 오성환, 이상훈, "CubicPlan : Logic 설계자를 위한 계층적 Floorplanning 시스템", ASIC DESIGN WORKSHOP 신진박사 논문발표대회 및 공개토론회, 1997.
- [22] J.H. Choi, K.H. Kim, J.B. Lee, T.S. Kim, J. T. Kong, and S.H. Lee, "A Simultaneous Switching Noise Analysis System and Its Application to High Speed Memory Module Design", 5th ICVC, 1997, pp 121-123.
- [23] C.H. Choi, J.K. Park, Y.G. Kim, K.H. Kim, and S.H. Lee, "New model parameter extraction Environment for the Submicron Circuit models", ISCAS 1993, May, pp1535-1538.
- [24] Y.G. Kim, A. Dharchoudhury, S.M. Kang, and K.H. Kim, "PESE : An Efficient Partition Based Electrical Simulation Environment : ", MWSCAS, Aug. 1995, pp57-60.
- [25] J.T. Kong and D. Overhauser, Digital Timing Macromodeling for VLSI Design, Kluwer Academic Publishers, 1995.

- [26] H.B. Kim, E.Y. Chung, J.T. Kong, and S.H. Lee "Timing Verification with Nonperiodic Gated Clocking", ISCAS 1996, pp 528-531.
- [27] Y.G. Kim, J.H. Lee, K.H. Kim, and S.H. Lee, "SENSATION : A New Environment for Automatic Circuit Optimization and Statistical Analysis", ISCAS 1993, May, pp1797-1800.
- [28] Y.J. Gu, Y.G. Kim, T.S. Kim, and S.H. Lee, "Development of Multi-Domain/Circuit Optimization System(HISENS)", submitted to 1998 EDAC.
- [29] C.H. Choi, J.K. Park, Y.G. Kim, K.H. Kim, and S.H. Lee, "Interactive and Knowledge-Assistant Environment for Advanced MOS model Parameter Extraction", JTC-CSCC, 1992.

---

## 저자 소개



孔 晶 澤

1958年 3月 3日生

1981年 2月 한양대학교 전자공학과 학사

1983年 2月 연세대학교 대학원 전자공학과 석사

1994年 11月 미국 Duke대학 전기공학과 박사

1983年 1月~현재 삼성전자 반도체 연구소 수석 연구원

주관심 분야 : 시뮬레이션 및 모델링, TCAD, VLSI 설계 자동화