

LG 반도체 EDA 환경과 기술

김 춘 경
LG 반도체 (주) DT 연구소

I. 서 론

반도체 생산 기술이 복잡해지고 제조 선 폭이 Deep-submicron(DSM 혹은 Nanometer) 이하로 좁아지면서 생기는 문제점으로 인하여 상용 소프트웨어 Vendor들이 제공하는 Tool만으로는 불충분 하기 때문에 자사의 설계 환경에 맞게 이식시키는 것과 각 소프트웨어 간의 호환성 및 통합 환경이 중요한 문제로 부각되고 있다. 뿐만 아니라 최근의 국내의 반도체 제조 회사들은 기억소자 개발의 성공을 지속 시키고 급변하는 시장에 능동적으로 대처하고 안정된 판로를 보장받기 위하여 ASIC 제품 개발에 눈을 돌리고 있다. 또한 설계 방법이나 응용 영역이 달라지면 새로운 소프트웨어가 필요하며, 이를 위하여 자사의 설계 방식 (Design Methodology)을 구축함과 동시에 설계자와 CAD 엔지니어들간의 정보 공유는 물론 첨단 기술에 대한 부단한 연구와 자체 개발을 통하여 설계 환경을 개선 보장해 나가야 할 것이다. LG 반도체의 DT (Design Technology) 연구소에서도 이러한 시대적 변화에 신속하게 대응하기 위하여 다양한 일들을 추진하고 있다. 즉, 설계 방식의 개발, 다양한 Technology의 Library개발, 소자 및 공정에 관한 TCAD기술 개발, 자사 특성에 맞는 CAD 소프트웨어 및 각종 Utility 등을 개발 하고 있다. 본문에서는 이들 기술에 대한 자사의 현황 및 향후 방향에 대하여 설명 하고자 한다.

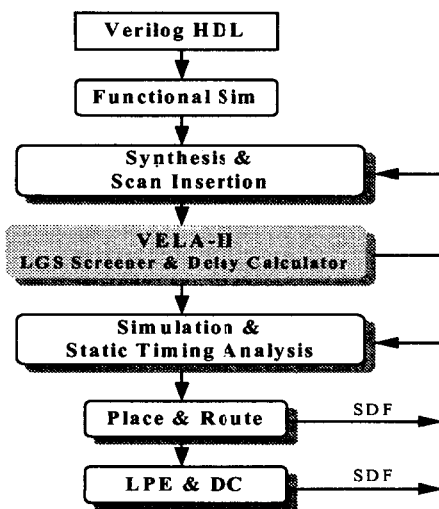
II. Design Methodology (ASIC 설계 환경을 중심으로)

ASIC 설계가 복잡화, 다양화, 대규모화 됨에 따라 이에 대한 설계 방식의 논의가 끊임없이 이어지고 있다. 현재의 ASIC설계는 대부분이 HDL (Hardware Description Language)을 이용한 Top-Down 설계 방식으로 진행되고 있다. 일반적으로 설계 환경은 매우 다양한 Tool들로 구성되어

있기 때문에 설계 Tool들을 효율적으로 연결하고 사용하기 편리하도록 Library와 다양한 소프트웨어들을 잘 구성하지 않으면 최대의 효과를 얻기가 매우 어렵다. 또한 다양한 기능 Block이 하나의 칩 내부에 들어가는 등 반도체 칩이 더욱 복잡해지고 제조기술이 DSM이하로 초 미세화 됨에 따라 기생 효과 등으로 인한 칩의 기능 저하는 물론 반도체의 세대교체 또한 급격하게 이루어지고 있다. 이러한 급변하는 상황에서 CAD Tool 사용자들이 편리함은 물론 질 높고 경쟁력 있는 설계 환경을 사용할 수 있도록 ASIC 및 Memory의 설계 방식을 적기에 개발해 낼 수 있어야만 할 것이다. 본 고에서는 LG 반도체의 일반적인 ASIC설계 환경에 대해서만 설명하기로 한다.

1. LG 반도체의 ASIC 설계 환경

LG 반도체의 현재 설계 환경을 논하기에 앞서 설계 환경의 변화를 정리하면 [표 1]과 같다. [표 1]에서 볼 수 있듯이 LG 반도체의 설계 환경은 특정한 Tool에 의해 구축되어 왔다. 그러나 고객의 다양한 설계 요구 및 우수한 EDA 소프트웨어의 등장으로 1996년 이래로 특정 툴에 종속되어 있던 설계 환경이 아닌 다양한 EDA Tool로 구성된 새로운 설계 환경의 구축이 필요하게 되었다. 이러한



〈그림 1〉 LG 반도체의 설계 흐름도

요구에 따라 현재는 [그림 1]과 같은 설계 환경을 제공하고 있다. 본 고에서는 각 Tool들의 특성에 대한 설명은 생략한다. 또한 LG 반도체에서 사용하고 있거나 평가 중인 소프트웨어 이름은 생략하도록 한다.

(1) Front-End 설계 환경

LG 반도체에서 설계자들이 사용하는 HDL (Hardware Description Language)이 Verilog-HDL을 위주로 하고 있기 때문에 Verilog 시뮬레이터를 근간으로 하여 설계 환경이 구축되었다. DFT(Design For Testability)를 하기 위해 합성 (Synthesis) 후에 Full Scan 방식으로 테스트 회로를 삽입한다. 현재 LG 반도체에서 사용하고 있는 Verilog 시뮬레이터는 성능이 낮아서 설계되고 있는 칩들에 대한 기능을 모두 검증하기에는 많은 시간이 소요된다. 따라서 안정성과 성능을 고려하여 현재 Event-driven 시뮬레이터(Compiled 방식)과 Cycle-based 시뮬레이터 및 병렬 시뮬레이터 (Parallel simulator)에 대한 평가를 진행하고 있다. 현재 평가 중인 시뮬레이터는 최근에 발표되어 부분적으로 문제점을 가지고 있으나 LG 반도체에서 설계 환경에 접목시킬 시기에는 안정되리라 예상된다. LG 반도체는 Delay Calculator로 자체 개발한 Vela를 제공하고 있다. Vela는 Logical DRC (Design Rule Checking) 기능과 Delay Calculation 기능을 가지고 있다. 현재 LG 반도체에서는 최종적인 논리 검증 툴로 Verilog 시뮬레이터를 사용하고 있으나 시뮬레이션에 의한 설계 기간의 지연을 줄이고 설계 검증 효율을 높이기 위해 Static Timing Analyzer에 의한 최종 검증도 검토하고 있다. 설계 시 라이브러리에 관련된 타이밍(Timing)의 일관성을 위해 Front-end 설계 시 Vela에서 생성된 SDF(Standard Delay Format)를 Annotation하는 방법을 적용하고 있다. Front-end 설계와 Back-end 설계 간의 타이밍 Correlation은 Front-end 설계 시 적용하는 Wire-load 모델의 정확성에 의해 좌우된다. 정확한 Correlation은 어렵기 때문에 설계 단계에서 타이밍 Margin을 갖고 설계가 이루어져야 한다. 앞으로는 배선(Interconnection)의 영향이 증가하기

〈표 1〉 LG 반도체의 Library 및 설계 환경의 변천사

Year	Process Technology	ASIC Type	EDA Tools
1985	3.5 um 3.0 um	Gate Array Gate Array	F/E : LSI Logic - LDS B/E : LSI Logic
1987	2.5 um	Standard Cell	F/E : LSI Logic - LDS / HILO B/E : Silva Risco - SC II
1990	2.0 um	Gate Array	F/E : Cadence - Verilog-XL B/E : Cadence - Gate Ense
1991	1.2 um	Standard Cell	F/E : Cadence - Verilog-XL B/E : Silva Risco - SC II / III
1992	1.0 um	Standard Cell	F/E : Cadence - Verilog-XL B/E : Silva Risco - SC III
1993	0.8 um	Standard Cell (vsc450/470) Gate Array (vgc450)	F/E : Compass B/E : Compass D/K : Synopsys, Verilog, Mentor
1995	0.6 um	Standard Cell (cb60) Gate Array (cg60)	F/E : Compass B/E : Compass D/K : Synopsys, Verilog, Mentor, Viewlogic
1996	0.5 um	Standard Cell (cb50)	F/E : Compass B/E : Compass D/K : Synopsys, Verilog, Mentor, Viewlogic
1997	0.35 um	Standard Cell (cb35) EXD (lgs035, EDL50) CBA (035)	F/E : Compass B/E : Compass, Aquarius-XO D/K : Synopsys, Verilog, Mentor, Viewlogic, Motive, Pearl, Sunrise, Vital
1998	0.25 um	Standard Cell (aspec035)	F/E : OpenTools B/E : OpenTool

* F/E : Front-End, B/E : Back-End, D/K : Design Kit

때문에 Pre-layout 시뮬레이션 시 기능과 타이밍 검증은 하여도 결국 P&R(Placement & Routing) 후의 타이밍과 다른 결과를 가져올 수 있다. 따라서 Pre-layout 시뮬레이션에서는 기능의 정확성만을 검증하고 실제적인 타이밍 검증은 P&R 후에 하는 방식으로 전환할 필요가 있다. 이

와 같은 경우 설계의 상위 수준에서 Pre-layout 시뮬레이션의 필요성에 대한 문제가 대두될 수 있다. 상위 수준에서의 Pre-layout 시뮬레이션의 대안으로 하드웨어 에뮬레이터(Hardware Emulator)와 Formal 검증이 고려될 수 있다. 하드웨어 에뮬레이터는 가격이 비싸다는 단점을 가

지고 있고 또한 FPGA 합성기 (Synthesizer)의 안정성 등을 고려하여야 한다. Formal 검증은 완벽하게 검증이 되지 않은 상태이고 또한 설계자의 결정 사항이 많다는 단점을 보이고 있다. 따라서 LG 반도체에서의 향후 설계 Flow를 구축하는 방향은 EDA 툴의 안정성과 LG 반도체에서 보유하고 있는 라이브러리의 이식성에 따라 결정될 것이다.

(2) Back-End 설계 환경

Verilog Netlist를 설계 흐름에서 기본적인 데이터로서 사용한다. 현재 설계되고 있는 칩들의 크기가 커지고 동작 주파수가 빨라짐에 따라 Clock Skew, 임계 경로의 타이밍 오류(Critical Path Timing Violation)등의 문제가 발생되고 있다. 현재 발표된 P&R 툴에서는 어느 정도 이에 대한 해결 방법이 제시되고 있다. Post-layout 시뮬레이션을 위해 P&R 툴로부터 SDF를 추출하여 사용하고 있으나 배선의 영향을 더 고려하기 위하여 LPE(Layout Parameter Extraction)와 Delay Calculation 기능을 갖는 툴을 이용하여 P&R 결과인 레이아웃 데이터로부터 RC 추출을 한 후 RC 데이터로부터 SDF를 추출하는 방법을 같이 적용하고 있다. 이때 입력으로 들어가는 기생 파라미터 값(Parasitic Value)은 TCAD 툴로부터 추출된 값과 측정치에 의한 값을 사용할 수 있다. TCAD 툴로부터 추출된 값을 이용하는 경우 CMP(Chemical Mechanical Planarization)공정에서는 정확성을 가지나 일반적인 CMOS공정에서는 Active영역과 Field영역의 Topology가 다르기 때문에 TCAD 툴의 결과를 적용하는 데 어려움이 있다. 테스트 칩에서 측정한 값을 적용하는 경우는 다양한 기생 파라미터 값의 추출이 테스트 칩에 구현되는 테스트 패턴에 종속되기 때문에 모든 기생 파라미터를 추출하기 어렵다는 문제를 가지고 있다. 따라서 LG 반도체에서는 이 두가지 경우를 적절히 조합하여 적용하고 있다. Delay Calculator의 경우 미국 SEMATECH에서 정리한 자료를 바탕으로 새로운 Delay Calculator에 대한 평가를 진행할 예정이다.

Back-end 설계 과정에서 대두되는 문제 중 하

나는 P&R을 할 때 Clock Tree 합성에 의해 Clock Buffer가 삽입되면서 입력된 Netlist와 다른 Netlist가 생성된다. 따라서 새로 삽입된 Clock Buffer가 있는 Netlist를 P&R 툴에서 생성할 수도 있으나 현재는 P&R 툴에서 출력하는 Verilog Netlist를 사용하기 위해서는 많은 수정 작업이 요구된다. 특히 P&R 툴에서 출력하는 Verilog Netlist가 설계 계층구조(Design Hierarchy)를 유지하지 못하고 Flatten된 상태이기 때문에 사용상의 어려움이 있다. 따라서 ECO(Engineering Changing Order)된 부분만 추가로 Netlist를 추출하여 합성 툴에서 다시 Netlist를 추출하는 방식을 적용하고 있다.

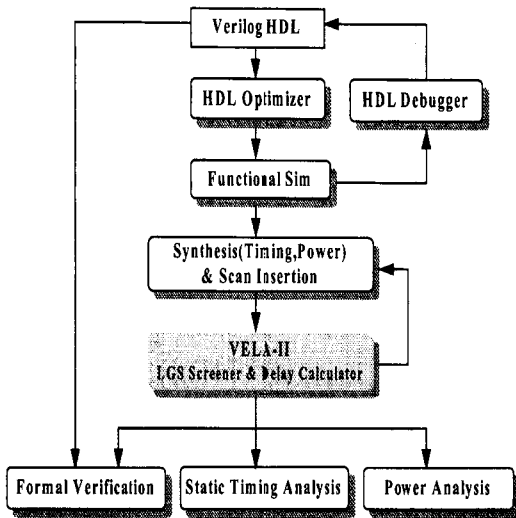
2. LG 반도체의 향후 ASIC 설계 환경 구축 계획

LG 반도체의 현재 설계 환경은 수십만 게이트의 회로를 설계 시에 적용 하기에는 적합하나 회로 크기가 100만 게이트에 근접하는 설계의 경우 EDA 툴의 제한적인 요소와 성능에 의해 설계 기간이 길어질 수 있는 문제를 가지고 있다. 이를 해결하기 위해 2가지 면을 고려하고 있다.

첫째, IP(Intellectual Property)를 이용한 설계 환경 구축

둘째, 새로운 개념의 툴 지원

IP를 이용한 설계 환경의 구축을 위해 LG 반도체는 지난해(1996년)부터 이에 대한 조사를 시작하였으며 현재 초기 단계의 설계 환경을 구축한 상태이다. IP 설계 환경 구축과 더불어 IP에 대한 DB(Data Base)화 작업을 진행할 예정이다. 새로운 개념의 툴 지원을 위해 우선적으로 고려하고 있는 것이 Front-end 설계 시간의 단축이다. 이를 위해 일차적으로 HDL 코드 Debugger에 대한 1차적인 평가를 마쳤으며 Cycle-based 시뮬레이터에 대한 평가를 진행하고 있다. 또한 이와 병행하여 Formal 검증 툴에 대한 평가를 진행할 예정이다. 또한 HDL 코드의 Redundancy를 제거 함으로서 칩의 면적을 줄이기 위해 HDL 코드 최적기(Code Optimizer)에 대한 평가를 계획하고 있다. 칩 크기 및 동작 주파수의 증가에 따른 Power 문제가 대두되고 있기 때문에 Power 분석에 관련된 툴의



〈그림 2〉 계획 중인 Front-End 설계 환경

평가도 하고 있다. 일련의 평가가 끝난 후 자체 평가에 의해 LG 반도체 설계 환경으로의 통합에 문제가 없다고 판단되면 [그림 2]와 같은 Front-end 설계 환경을 구축할 계획이다.

III. CAD 소프트웨어 개발

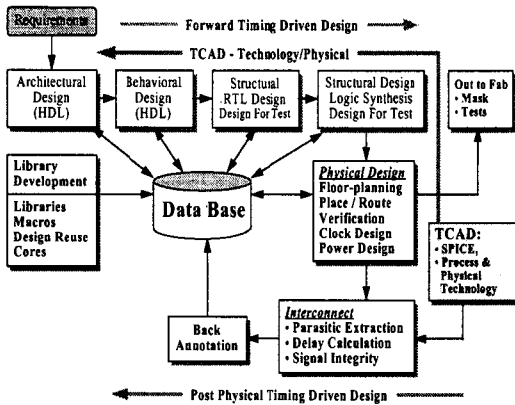
본 절에서는 80년대 말 이후 자사에서 개발한 CAD 소프트웨어에 대하여 간략히 소개하기로 한다. 개발을 시작할 당시만 하더라도 국내외적으로 반도체 경기가 불황으로 내려가고 있는 시기였다. 반도체 분야에 관심이 있는 사람이라면 누구라도 약 4년 주기의 반도체 불황이 있다는 사실을 잘 알고 있을 것이다. 또한 현재 설계 및 생산에서 발생하는 다양한 문제점을 상용 소프트웨어에 반영하여 적용 하는데 보통 1년반에서 2년 정도의 기간이 반드시 필요한 실정이다. 이러한 상황은 90년대 초까지 DRAM 위주였던 자사의 설계 상황에는 크게 영향을 미치지 않았다. 그러나, 최근의 초고속 DRAM, Media Processor, JAVA칩 등의 비메모리용 최첨단 제품의 조기 개발 및 시장 선점을 위한 치열한 경쟁이 전개되기 시작하면서 위와

같은 문제점을 CAD 소프트웨어에 반영하는데 소요되는 기간이 문제시 되는 상황이다. 이러한 고성능, 다기능 제품 설계의 현상과 문제점이 상용 CAD 소프트웨어에 충분히 반영되지 않는 현 상황에서, 자사에서는 2절에서의 Vela와 같이 Niche 소프트웨어들을 개발하여 문제점들을 신속히 해결하고 있다. 또한, 현재 CAD 소프트웨어 Vendor들이 시도하는 바와 같이 고객으로부터 설계 및 생산 설비와 관련된 자료를 반영 하려고 하고 있으나, 이는 곧 Vendor에게 설계 및 생산 기술이 종속될 우려가 클 뿐만 아니라 장기적으로는 소프트웨어의 비용이 증가할 소지가 크다. 따라서, 소프트웨어를 자체 개발 하므로써 상용 소프트웨어의 가격 인하는 물론 기술 축적에 따른 설계와 생산의 자동화 적용 여부 및 기간, 가격에 대한 경쟁성을 갖게 되는 효과가 있다.

정리하면, 첫째, 불황의 대비와 기술력 확보, 둘째, 반도체 설계에서 발생하는 다양한 현상과 문제에 대한 CAD 소프트웨어의 적용 기간의 단축, 셋째, 상용 소프트웨어가 제공할 수 없는 생산 (FAB) 관련 자료의 활용 등, 이 세가지가 원동력이 되어 CAD 소프트웨어의 자체 개발을 심화 시킴으로써 외국 기업에 대한 기술 종속을 극소화하고 자체 설계 환경에 맞는 Total Solution을 제공하여 최적의 설계 환경을 구축하기 위하여 노력하고 있다. 개발 초기부터 순수한 자체 기술로 국내 처음으로 전자 회로 설계용 CAD 소프트웨어를 개발하여 자사의 설계에 활용함과 동시에 소프트웨어 선진국인 미국의 TMA사와 Meta Software사 (현재 AVANT!사로 합병됨)에 수출함으로써 우리나라의 낙후된 CAD 소프트웨어 산업의 새로운 전기를 마련 하였다. 특히 차세대 반도체 (64 MDRAM급 이상) 설계에서 필수적으로 검증해야 하는 도선상의 지연과 도선 상호간의 간섭 현상을 추출/검증하는 환경의 개발과 회로 도면 편집 환경을 통합 함으로서 설계의 신뢰도를 향상 시킬 수 있을 뿐만 아니라 설계 기간을 획기적으로 단축 시킬 수 있다. 아울러 차세대 설계에서 필수적인 아날로그와 디지털 혼합 회로의 설계와 검증을 수행하고 한 화면에서 동시에 비교 분석할 수 있

는 환경을 구현하고 있다.

ASIC설계 초창기에는 설계자들이 회로 편집기를 이용하여 회로도를 입력하고 이를 시뮬레이션하여 검증한 후 레이아웃을 행하였다. 근래에 와서는 이와 같은 초보 단계를 벗어나 설계 검증 뿐만 아니라 논리회로 합성 툴을 이용하여 시스템 명세 및 기능 단계의 설계 조건으로부터 레이아웃을 자동 생성하는 CAD 소프트웨어가 상용화 되어 사용하는 단계에 이르렀다. [그림 3]은 이와 같은 설계 시스템 환경을 나타내고 있으며, 이들 모두를 자체 개발한다는 것은 간단한 일이 아니다. LG 반도체 DT 연구소에서 몇 단계의 개발 계획을 통하여 일부는 자체적으로 일부는 공동개발 등을 통하여 자립 기반 기술을 확보 해 나가고 있다.



(그림 3) 설계 시스템의 구조 (SIA 자료 참조)

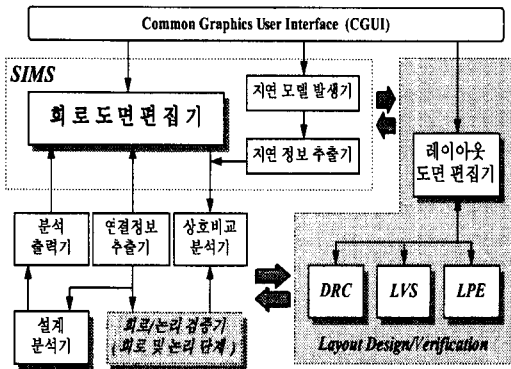
1. DSM, Nano시기를 위한 S/W 개발 준비 단계

상용 Tool이 제공하지 못하는 특정 기능을 가진 반도체 설계용 핵심 소프트웨어를 우선 개발하여 자사의 설계자들의 요구에 신속히 대응하고 상용 Tool과의 연계성을 통하여 설계 환경을 개선하여 왔다. 그 대표적인 예가 ESCAPE (Extended Schematic CAPtured system)로서 Linear IC, Memory설계에 사용 되었고 현재에는 ASIC 설계 용으로 기능이 확장되어 사용되고 있다. 이외에도 많은 Tool과 Utility들이 개발 되었다. MS-DOS 및 Window 3.1에서 수행되는 Schematic Capture

System (LogiCap), PC와 Workstation에서 동시에 수행되며 Verilog-HDL과 100% 호환성이 있는 논리 시뮬레이터(Logic Simulator: VELA), ASIC 설계에서 핵심 Tool중의 하나로 사용되는 Delay Calculator (VELA-DC)와 Verilog관련 Utility들이 개발 되었으며, IC 설계 후 마스크 (Mask) 데이터가 정확히 만들어졌는지 검증하기 위한 마스크 데이터와 GDS 데이터의 비교/검증 시스템, IC설계 후 공정 과정에서 사용되는 다양한 패턴들(Test Pattern, CD Bar, Vernier Key, Logic Test Pattern, Alignment Pattern, DRC Pattern, ... 등)과 Main칩을 마스크 위에 설계하는 Automatic Frame Design System, ROM 코드를 자동으로 생성하는 Mask ROM Code Generator 등과 Analog/Digital 파형 분석기와 같은 다양한 Utility들이 이미 개발되어 사용되고 있다. 또한 Back-end 툴로서 레이아웃 도면 편집기와 완전 주문형 반도체 설계용 자동 배치/배선용 소프트웨어도 이시기에 개발 되었다.

2. DSM 및 Nanometer용 Back-End Tool개발 및 부분 통합 단계

이 단계에서는 [그림 4]의 SIMS (SPICE Interconnect Modeling System)에서 보는 바와 같이 차세대 반도체 설계에 있어서 필수적으로 고려 되어야 하는 도선상의 지연과 도선 상호간의 간섭 현상을 추출/검증하기 위하여 회로 도면 편집기와 소자에 관련된 시뮬레이션 툴과의 통합 (ECAD Tool과 TCAD Tool의 통합) 시스템을 개발하여 설계의 신뢰도를 한층 더 높였다. 또한 설계 전반에 걸친 모든 설계 단계 중 초 미세 선 폭의 회로 설계 시 가장 중요하며 어려운 부분 중의 하나는 레이아웃 검증 분야 라고 할 수 있다. 따라서 LG 반도체 DT연구소에서 [그림 4]에서의 Deep-submicron 설계에 적합한 DRC (Design Rule Checker), LPE (Layout Parameter Extraction), LVS (Layout Versus Schematic)등과 같은 레이아웃 검증 소프트웨어를 개발 중에 있으며, 레이아웃 도면 편집기와 통합 환경을 구축하고 있다. 이 외에 Analog/Digital 혼합 회로 및



〈그림 4〉 DSM 설계용 EDA S/W의 구성도

RF회로와 같은 고주파 회로 설계 시 중요시 되고 있는 반도체 기판 잡음 분석 소프트웨어를 개발하고 있다.

3. 설계 전반에 걸친 통합 환경 구축 단계

자사가 보유하고 있는 상용 Tool과 자체 개발된 Tool간에 설계 전반에 걸친 통합 작업이 이단계에서 이루어 진다. 설계 환경의 일관성을 유지하고 설계 흐름을 매끄럽게 하기 위하여 단일 회사의 Tool로만 설계 환경을 구축 하더라도 Framework 상의 문제, Tool 각각의 기능상의 문제 등 많은 문제가 있다는 것을 우리는 경험한 바 있다. 2.2절에서 표현한 것과 같이, 자사 환경에 맞는 향후의 최적 설계 환경을 구축하기 위해서는 우리 스스로 통합 환경을 구축하여야만 한다. 따라서 이단계에서는 Floor Planning 및 자동 배치/배선 환경 개선, ATPG (Automatic Test Pattern Generation) 환경 개발 및 테스트 DB구축, 아날로그와 디지털 혼합 설계 환경에서의 시뮬레이션 소프트웨어 개발 및 통합, 상위 수준 (High-level), 전반부 설계 와 후반부 설계 툴의 통합과 동시에 자체 개발 소프트웨어가 상용 소프트웨어와의 경쟁적인 과정을 통하여 대치하게 될 것이다. 이러한 대치는 Niche의 목적과, 기 설명한 바와 같이 CAD 소프트웨어가 자동화하는 기간 단축 및 자사의 데이터 (Fab자료 등)를 응용할 수 있는 대 전제하에 수행될 예정이다. 이와 같은 세가지의 목적을 충족시킬 수 있는 방법과 EDA 기술을 확보

하여 차세대의 CAD 소프트웨어의 공급을 목적으로, 95년도부터 CAD 소프트웨어의 공동 개발을 진행하고 있다. [그림 4]에서 레이아웃 검증 소프트웨어가 공동으로 개발 되고 있으며, 이는 자사의 대형 설계 검증과 고속 검증이 가능하도록 설계되고 있다. 계층 기능(Hierarchical), ECO(Engineering Change Order), Concurrent 설계가 가능하도록 기능을 갖추고 있으며, 그 외 Over the Cell Routing Check, Composite 모드 등 자사의 설계 환경 구축은 물론 World-wide 판매가 가능하도록 하는 제품 특성을 갖추고 있다. 이미 97년도 DAC (Design Automation Conference)에 전시하는 등, 이 제품의 마케팅과 판매는 공동 개발사에 의하여 추진되고 있는 실정이다.

공동 개발의 시작은 CIDA社라는 작은 Start-Up (Venture Company)회사와 공동 개발을 시작 하여, 이후 이 회사의 기술력과 제품을 인정한 EPIC社에 의하여 1차 합병되었으며 EPIC社는 Synopsys社에 의하여 2차 합병 되었다. 1차 합병은 기술력과 제품의 대가로 미화 수천만 불이 지불 되었으며, 이로 인하여 자사는 공동개발에 따른 미화 수백만 불의 회수와 더불어 향후 이 제품의 사용권을 갖게 되었다. 이러한 M&A(Merge and Acquisition)는 마케팅과 Channel이 없는 상황이지만, 기존의 시장을 확보하고 있는 중/대 기업의 EDA회사가 Total Solution제공과 Synergy효과를 이끌어 낼 수 있는 Product Line 형성을 위한 Business적 행위라고 할 수 있겠다. ◎6년, ◎7년도는 Avant!社와 Meta Software社, Avant!社와 HDL社, Synopsys社와 EPIC社등의 M&A를 하는 EDA Business의 격동기라고 할 수 있다. 이와 같은 일련의 M&A로 말미암아, 고객에게 유리한 최고의 제품만이 살아남을 수 있는 반면에 유지보수의 문제점과 기존에 사용하던 소프트웨어를 대체하여야만 하는 부작용 등이 발생하고 있다. 이와 같은 문제점으로 인하여 자사의 독특한 설계 환경을 위한 CAD 소프트웨어 개발의 필요성이 대두됨은 물론 Start-up Company의 설립 요인이 되고 있다.

IV. 결 론

이상에서 LG 반도체의 EDA 환경 및 기술 개발, 특히 설계 방식(Design Methodology)과 CAD 소프트웨어 개발 현황 위주로 소개 하였다. 반도체 분야의 과거사를 돌이켜 보면 불과 10여년 만에 엄청난 변화가 일어났으며 현재에도 변화가 지속되고 있다는 사실을 반도체 칩의 집적도나 성능만 보더라도 미루어 짐작할 수 있다. 몇 년 전 까지만 하더라도 DRAM의 집적도가 Mega 단위였던 것이 최근에는 Giga 단위로의 기술 개발이 진행되고 있으며 ASIC 및 시스템 분야에서도 MPEC과 같은 멀티 미디어 칩, 메모리 내장형 시스템(Embedded System)과 같은 초 고집적 칩들이 속속 등장하고 있다. 이러한 일들은 반도체 소프트웨어 없이는 거의 불가능한 일들이다. 특히 Sub-quarter-micron 시대가 도래 하면서 나타나는 다양한 문제점으로 인한 반도체 설계의 어려움은 날로 더해 가고 있는 실정이다. EDA시장의 변화와 추세만 보더라도 80년대 후반까지는 주로 Tool에 기반을 둔 Point

Solution들이 대부분이었고 90년대 초반에는 Framework 중심의 폐쇄형(Closed) 설계 환경이 중심이었다. 90년대 중반 이후 최근에는 다양한 EDA Vendor들이 제공하는 Tool들에 대한 개방형(Open) 통합 환경이 이루어지고 있다. 이와 같은 현상은 반도체 제조 공정이 Deep-submicron으로 발전에 따른 다양한 문제점들 즉, 배선들의 간섭 현상, 전원과 문턱(Threshold) 전압의 감소, 회로 속도의 증가로 인한 Noise문제와 Capacitor Coupling, Substrate Noise, Clock Skew 등으로 인한 Signal Integrity문제 및 IR 강하로 인한 Power Integrity문제 등이 고성능의 CPU와 ASIC에 심각한 타이밍 문제를 유발한다. 따라서 FAB이 없는 특정 Vendor가 이 같은 모든 문제점을 해결하는 Tool들을 동시에 제공 한다는 것은 거의 불가능한 일이다. LG 반도체에서는 이러한 문제점들을 직시하고 FAB이 있다는 장점을 최대한 활용하여 자사 특성에 맞는 Tool과 최적의 설계 환경을 개발 하고 있다. 이렇게 할 때 만이 가속화되고 있는 무한 기술 경쟁 속에서 살아 남을 수 있는 것은 물론 반도체 종합 메이커로서 2005년 Best-5라는 목표를 달성할 수 있을 것이다.

저 자 소개



金 春 慶

1952年 1月 4日生

1974年 서울대학교 전기공학과 학사

1981年 Univ. of Iowa 석사

1984年 Univ. of Minnesota 박사

1974년~1979년 국방 과학 연구소 연구원

1983년 Metheus Corporation 연구원

1984년~1989년 General Electric R&D Center 연구원

1989년~현재 LG반도체(주) 상무이사

주관심 분야 : Silicon Compile