

도선 모델링 (Interconnect Modeling) 기술

I. 서 론

최근 10년 동안, 집적회로에서 트랜지스터 소자의 크기가 1마이크론보다 작아짐에 따라 한 칩에 내장된 소자의 갯수가 백 만개를 넘어서고, 또한 칩 사이즈는 점차 증가함에 따라 클락 신호선 등은 더 길어지는 현상이 나타났다. 국부적으로는 트랜지스터 소자 및 도선 길이가 짧아지고 트랜지스터 소자의 구동 능력이 증가되어 동작 속도가 크게 증가 되었지만, 클락 신호선 등과 같은 칩 전체에 걸쳐 있는 신호선들은 상대적으로 길이가 증가함으로써 이들의 RC 지연 시간 및 이로 인한 클락 스큐(clock skew) 현상들이 칩 전체의 최대 동작 속도를 결정하는 병목(bottle-neck) 현상으로 나타나게 되었다. 그리하여, 약 10년전부터 IC 설계자들과 캐드 툴 개발자들은 칩 내부의 도선 모델링 기술 분야, 특히 도선의 기생 R, C 요소들에 의한 지연 시간 예측 분야로 많은 연구를 수행하고 있다.^[1]

또한, 최근 CMOS 칩에서 도선의 캐패시턴스 성분이 다이내믹 전력 소모를 결정하는 주요 인자로 대두됨에 따라 전력 소모 예측 및 저전력 설계를 위해 도선 모델링 기술에 대한 활발한 연구를 수행하고 있다. 특히, DRAM 등의 CMOS 메모리 칩에서는 칩 내부에 워드 라인이나 비트 라인 등의 긴 도선들이 많으므로 이로 인한 지연 시간 및 전력 소모를 줄이기 위해 활발한 연구를 수행하여 현재까지 상당한 발전을 이룩하였다.^[2,3]

이와 같이 칩 내부의 도선 모델링 기술은 지금까지 주로 도선으로 인한 RC 지연 시간 및 다이내믹 전력 소모를 감소시키기 위한 연구에 집중되었다. PCB (printed circuit board) 레벨에서는 약 5년전부터 CPU의 클락 주파수가 50MHz를 넘어섬에 따라, CPU 칩과 캐쉬 메모리 칩을 PCB상에서 50MHz 이상의 고속으로 인터페이스 시키기 위해서는, PCB 신호선을 전송선(transmission line)으로 제작해야 하고, 전자파 반사 등의 현상을 없애고 가능한 빠른 시간 내에 신호 전압을 원하는 레벨로 안정시켜서 고속 동작을 달성하기 위해 모든

박 홍 준*, 김 찬 경*, 박 종 훈**, 손 영 수*

*포항공과대학교 전자전기공학과

**LG 반도체

전송선들을 터미네이션 시켜야 할 필요가 발생하였다. 그리하여, 현재 50MHz 이상으로 동작하는 시스템에서는 마더보드(motherboard)와 메모리 모듈(SIMM, DIMM등) 설계시에 전송선 해석을 적용하고 있다.

또한, 최근 1,2년전부터 400MHz 이상의 클락 주파수로 동작하는 마이크로 프로세서 칩들이 개발됨에 따라 칩 내부에서도 클락 신호선의 설계 등에 전송선 해석을 이용하고 있다. 이와 같은 고속 동작 시스템에서는 전송선에서의 전자파 반사, 인접한 전송선 간의 누화(crosstalk), 패키지 인덕턴스로 인한 그라운드 바운스 등의 신호 보전성(signal integrity) 문제가 발생하게 된다.

그런데, 현재 상용되고 있는 패키지 기술과 PCB 기술 대신 MCM(multi chip module) 기술을 이용하면 칩과 칩 사이의 간격을 훨씬 더 짧게 할 수 있어서 동작 주파수를 훨씬 더 증가시킬 수 있다. 그런데, MCM 기술은 현재의 패키지 및 PCB 기술에 비해 생산 가격이 월등하게 비싸므로, 가격 경쟁력이 극히 중요한 개인용 컴퓨터(PC) 시스템이나 DRAM 칩 분야에서는 MCM 기술 보다는 현재의 패키지 기술과 PCB 기술을 이용하여 동작 속도를 최대로 높이기 위한 연구를 집중적으로 수행하고 있다.

위에서 언급된 대로 도선 모델링 분야는 IC 칩 내부에서의 RC 지연 시간과 다이내믹 전력 소모 예측, PCB/MCM의 전송선 해석과 신호 보전성, 그 외 전자파의 복사(radiation)로 인한 전자파 간섭/호환(EMI/EMC) 등의 연구 분야로 구분된다.

본 논문에서는 이 중에서 IC칩 내부에서의 RC 지연시간, PCB의 전송선 해석, 전송선 누화와 그라운드 바운스 등의 신호 보전성 문제들을 설명하고, 상용 필드 솔버(field solver) 소프트웨어들과 칩의 I/O핀 특성을 기술하는 IBIS 형식과 PCB상에서의 고속 인터페이스 기법을 소개한다.

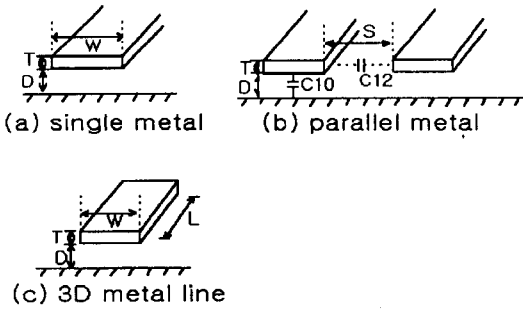
II. 칩 내부 도선(on-chip interconnect) 모델링

칩 내부의 폴리 실리콘이나 금속 도선들은 보통 RC도선으로 모델하여 신호의 지연 시간 등을 계산한다. 그런데, 집적회로의 최소 크기가 점차 0.35 또는 0.1 μ m급으로 접근함에 따라 금속 도선조차도 그 저항값이 매우 커지게 되어 도선 물질을 저항값이 비교적 작은 구리 등으로 대체하는 연구와 도선의 폭은 줄일 수 없어서 도선의 높이를 크게 하는 연구 등이 진행되고 있다. 또, 클락 주파수가 수백 MHz를 넘어서는 마이크로 프로세서 칩 등에서는 칩 내부의 클락 신호선과 같은 긴 도선에 대해서는 전송선 효과까지 고려하여 설계하고 있다. 도선의 저항값은, 고주파에서의 표피 효과(skin effect)로 인한 저항 증가 현상을 제외하고는, 도선 물질의 비저항값과 도선의 단면적과 길이 정보로부터 비교적 쉽게 계산할 수 있다.

여기서는 주로 도선과 칩 기판(그라운드) 사이와 도선과 도선 사이의 캐패시턴스를 구하는 방법과 엘모 지연 시간 식을 이용한 RC 도선의 지연 시간 계산 방법을 소개한다.

1. 도선 캐패시턴스

도선의 크기가 작아짐에 따라 프링징 필드(fringing field)의 영향이 커져서 직관적인 평판 커패시터 식으로 캐패시턴스 값을 계산하면 큰 오차가 발생한다. 그리하여, 필드 솔버(field solver) 소프트웨어를 이용하여 주어진 2차원 또는 3차원 도선 구조에 대해서 포아슨(Poisson) 방정식을 풀어 캐패시턴스를 계산하는 방법이 주로 사용되고 있다. 그런데, 포아슨 방정식을 푸는 과정은 시간이 많이 소요되기 때문에, 그림 1에 예로 보인 몇 가지 구조에서, 주로 사용되는 파라미터 범위에 대해 포아슨 방정식을 이용하여 캐패시턴스 값의 실험식을 구한 후 이를 이용하면 계산 시간을 크게 줄일 수 있다. 이러한 캐패시턴스 실험식들은 여러 연구자들에 의해 개발되었는데 그 중 대표적인 것



(그림 1) 실험적인 캐패시턴스 식을 구하기 위한 모델

[4]을 표 1에 보였다.

표 1에서와 유사한 공식을 이용하여 두 도선 사이 또는 도선과 그라운드 도체면 사이의 겹쳐진 넓이(area)와 겹쳐진 주변 길이(perimeter)에 대한 단위 면적당 캐패시턴스 C_{area} 와 단위 주변 길이당 캐패시턴스 C_{peri} 를 계산해 낼 수 있다. 각 도선 쌍들에 대해 계산된 C_{area} 와 C_{peri} 값들을 멘토, 케이던스, 마이캐드 등의 IC 레이아웃 프로그램의 룰(rule)파일에 입력시키면, 레이아웃 추출(layout extraction)시에 각 도선 쌍 간의 기생 캐패시턴스 값들을 다음 식을 이용하여 계산한 후 SPICE 네

트 리스트로 출력된다.

$$C_{ij} = C_{area} * Area(i, j) + C_{peri} * Peri(i, j) \tag{1}$$

여기서 i, j 는 각각 도선 i 와 j 를 나타내고, C_{ij} 는 도선 i, j 간의 기생 캐패시턴스 값이고 $Area(i, j)$ 는 도선 i, j 가 서로 겹치는 넓이이고 $Peri(i, j)$ 는 도선 i, j 가 서로 겹치는 주변 길이이다. 도선의 기생 저항 추출은 SPICE 네트 리스트 상에서 새로운 노드 생성이 필요하므로 보통 레이아웃 추출시에는 수행되지 않는다. 그 대신 설계자가 손으로 도선을 URC(uniform RC)라인으로 가정하여 이를 직렬로 연결된 몇 개의 RC 구간으로 바꾸어서 SPICE 시뮬레이션을 수행할 수 있다.^[1]

2. 엘모 지연 시간(Elmore delay time)

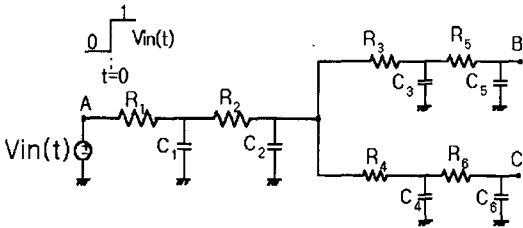
칩 내부 도선에서와 같이 R과 C만으로 모델되는 회로에서 입력 노드와 출력 노드 사이의 엘모 지연 시간은 입력 노드에 스텝 입력 전압을 인가할 경우 출력 노드의 전압이 0에서 최종값의 63% ($1 - e^{-1}$)에 도달하는데 소요되는 시간에 해당하는

<표 1> 그림 1의 구조에 대한 실험적인 캐패시턴스 공식^[4]

모델	캐패시턴스 식	
Single metal (a)	$\frac{C_1}{\epsilon_{ox}} = 1.15 \frac{W}{D} + 2.80 \left(\frac{T}{D}\right)^{0.222}$	
	적용 범위	$(0.3 < \frac{W}{D} < 3.0, 0.3 < \frac{T}{D} < 3.0, \text{error} < 6\%)$
parallel metal (b)	$\frac{C_{10}}{\epsilon_{ox}} = 1.15 \frac{W}{D} + 2.08 \left(\frac{I}{D}\right)^{0.222} - 0.07 \left(\frac{I}{D}\right)^{0.222} \left(\frac{S}{D}\right)^{1.34}$ $\frac{C_{12}}{\omega} = (0.03 \frac{W}{D} + 0.83 \frac{T}{D}) \left(\frac{S}{D}\right)^{-1.34}$	
	적용 범위	$(0.3 < \frac{W}{D} < 10, 0.3 < \frac{T}{D} < 10, 0.5 < \frac{S}{D} < 10, \text{error} < 10\%)$
3D metal line (c)	$\frac{C}{\epsilon_{ox}} = 1.15 \frac{WL}{D} + 1.4 \left(\frac{T}{D}\right)^{0.222} \cdot (2W + 2L) + 4.12 \left(\frac{T}{D}\right)^{0.728} \cdot D$	
	적용 범위	$(0 < \frac{W}{L} < 1, 0.5 < \frac{W}{D} < 40, 0.4 < \frac{T}{D} < 10, \text{error} < 10\%)$

다. 엘모 지연 시간은 IC 칩 내부의 도선으로 인한 지연 시간 계산과 스위치 레벨 시뮬레이터에서의 지연 시간 계산에 활용된다. 스위치 레벨 시뮬레이터에서는 MOS 트랜지스터를 스위치로 가정하고 이를 스위치 저항값으로 대체하여 모든 MOS 회로를 RC 회로로 바꾸어 지연 시간을 계산한다. 그림 2의 RC회로에서 입력 노드 A와 출력 노드 B 사이의 엘모 지연 시간 T_{AB} 는 다음 식으로 계산된다.

$$\begin{aligned}
 T_{AB} &= \sum_i R_i \cdot (R_i \text{에서 출력 노드 방향으로 보이는} \\
 &\text{캐패시턴스의 합}) \\
 &= R_1 \cdot (C_1 + C_2 + C_3 + C_4 + C_5 + C_6) \\
 &\quad + R_2 \cdot (C_2 + C_3 + C_4 + C_5 + C_6) \\
 &\quad + R_3 \cdot (C_3 + C_5) \\
 &\quad + R_5 \cdot (C_5)
 \end{aligned} \tag{2}$$



(그림 2) 엘모 지연 시간을 계산하기 위한 RC 회로

III. 전송선 (transmission line) 해석 기법

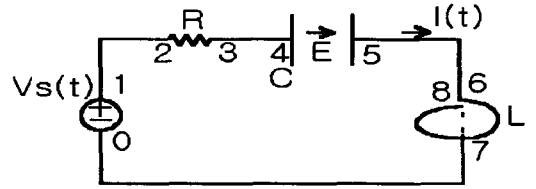
1. 전송선 해석을 해야 하는 경우

동작 신호 주파수가 비교적 낮은 기존의 집중회로에서는 다음의 네가지 가정이 대체로 성립하므로 집중 회로 모델(lumped circuit model)을 사용할 수 있어서, KVL(Kirchhoff voltage law)이나 KCL(Kirchhoff current law)을 사용하여 회로 해석을 수행한다.

(1) 회로 크기가 신호의 파장(λ) 보다 훨씬 작다.

- (2) 자속(magnetic flux) B는 인덕터 내에만 존재한다.
- (3) 변위전류(displacement current) dD/dt 는 캐패시터 내에만 존재한다.
- (4) 불완전한 도체는 저항뿐이다.

위의 네가지 가정을 사용하여 그림 3의 회로에 맥스웰 방정식 (식 3)을 적용하면 식 5와 같은 KVL식이 구해진다.



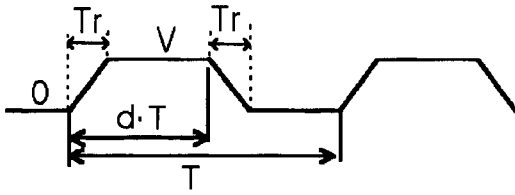
(그림 3) 집중 회로 모델로의 근사화

$$\oint E \cdot dL = -\frac{\partial}{\partial t} \int B \cdot dS \tag{3}$$

$$\int_0^1 E dl + \int_2^3 E dl + \int_4^5 E dl = -\frac{d}{dt} \{L \cdot I(t)\} \tag{4}$$

$$V_s(t) = R \cdot I(t) + \frac{Q(t)}{C} + L \cdot \frac{dI(t)}{dt} \tag{5}$$

식 3에서 E 는 전계 세기를 나타내는 벡터 양이고, B 는 단위 면적당 자속 밀도 벡터이고, dS 는 면적 벡터이다. 식 4에서 도선 1-2, 3-4, 5-6-7-8-0의 구간에서는 전계 세기 E 값이 0이 된다고 가정하였다. 즉 위의 각 도선 구간은 전위 값이 같은 등 전위 노드 (equi-potential node)로 가정하였다. 이 등 전위 노드 가정은 저주파 회로 해석의 기본 개념인데, 신호 주파수가 증가하여 신호 성분의 파장(λ)이 회로 크기와 비슷해지거나 더 작아지게 되면 저항 성분이 없는 도선에서도 위치에 따라 그 전위 값이 달라지게 된다. 그림 4는 시간에 대한 디지털 신호 전압의 파형이다. T는 신호 전압의 주기이고, Tr은 상승 시간이고, d는 듀티(duty)사이클이다.



〈그림 4〉 디지털 신호의 전압 파형

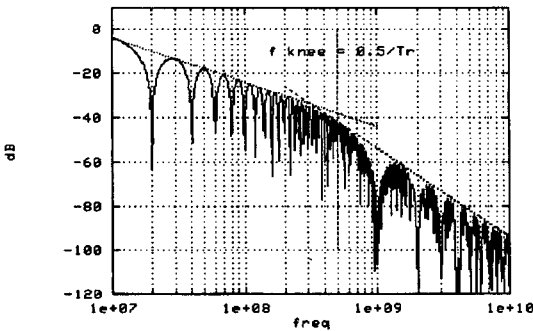
그림 4의 파형 $f(t)$ 에 푸리에 코사인 급수(series)를 취하면 다음 식과 같이 된다.

$$f(t) = a_0 + \sum_{n=1}^{\infty} a_n \cdot \cos\left(2\pi \cdot \frac{n}{T} \cdot t\right) \quad (6.1)$$

$$a_0 = V \cdot d \quad (6.2)$$

$$a_n = 2 \cdot V \cdot d \cdot \frac{\sin(n\pi d)}{(n\pi d)} \cdot \frac{\sin\left(\frac{n\pi \cdot Tr}{T}\right)}{\left(\frac{n\pi \cdot Tr}{T}\right)} \quad (6.3)$$

여기서 (n/T) 는 주파수 (헬쯔)에 해당한다.



〈그림 5〉 그림 4의 디지털 신호 전압의 주파수 스펙트럼

그림 5에서 $T=100ns$ ($10MHz$), $Tr=1ns$, $V=1V$, $d=0.5$ 일 때의 $f(t)$ 의 주파수 스펙트럼을 보였다. 식 6.3에서 $(n/T) \ll (0.5/Tr)$ 일 때는 a_n 의 최대 크기(envelope)는 (T/n) 에 비례하고, 즉 주파수에 반비례하고 $(n/T) \gg (0.5/Tr)$ 일 때는 a_n 의 최대 크기는 $(T/n)^2$ 에 비례하여 주파수 제곱에 반비례 하게 된다. 그리하여 경계 주파수 (f_{knee})

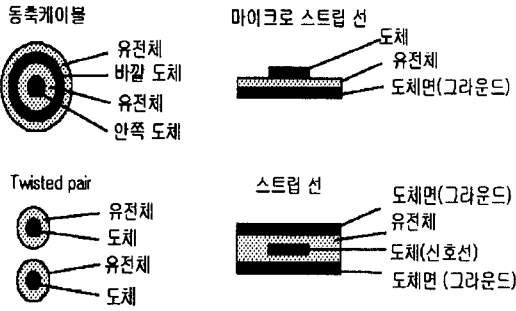
는 $0.5/Tr$ 이 되는데 신호 전압 $f(t)$ 의 주파수 스펙트럼에서 대부분의 에너지가 경계 주파수 f_{knee} 보다 작은 주파수 범위에 집중되어 있음을 알 수 있다. 그림 5에 보인 예에서 주기 $T=100ns$ 로서 신호 주파수는 $10MHz$ 이지만 상승 시간 Tr 이 $1ns$ 이므로 이 신호 전압의 주파수 스펙트럼은 경계 주파수($f_{knee}=0.5/Tr$)인 $500MHz$ 까지 상당한 에너지 성분을 가지게 된다. 따라서, 디지털 회로 시스템이 $500MHz$ 의 주파수 성분까지 잘 통과시킬 수 있어야 그림 4에 보인 신호 전압을 비교적 왜곡(distortion)없이 전달할 수 있다. 회로의 최대 크기가 주파수 f_{knee} 에 해당하는 파장 λ_{knee} 의 $1/8$ 보다 클 경우 전송선 해석을 해야 하는데, 여기서 최대 크기를 $\frac{\lambda_{knee}}{8}$ 로 정한 이유는 이 때 $\cos\left(2\pi \cdot \left(\frac{f_{knee}}{v}\right) \cdot \left(\frac{\lambda_{knee}}{8}\right)\right) = \frac{1}{\sqrt{2}}$ 로서 $-3dB$ 가 되기 때문이다. 여기서 v 전자파의 전파 속도이다. 그리하여, 전송선 해석을 해야 하는 경우는 다음 식으로 표시된다.

$$(\text{회로의 최대 크기}) > \frac{\lambda_{knee}}{8} = \frac{v}{8 \cdot f_{knee}} = \frac{v \cdot Tr}{4} \quad (7)$$

식 7에서 보면, 회로의 최대 크기가 신호의 상승 시간 Tr 동안 전자파가 전파되는 길이의 $1/4$ 보다 크게 될 경우, 종래의 집중 회로(lumped circuit) 모델 대신 전송선 모델을 사용해야 한다. PCB상에서 신호의 상승 시간 Tr 이 $1ns$ 일 경우 PCB상에서의 신호선의 최대 길이가 대략 $5cm$ 보다 크게 되면 전송선 모델을 사용해야 하고, 칩 내부에서 클락 주파수가 $500MHz$ 로서 신호의 상승 시간 Tr 이 $0.3ns$ 일 경우 클락 신호선의 최대 길이가 대략 $1.5cm$ 보다 크게 되면 칩 내부 회로 해석에서도 전송선 모델을 사용해야 한다.

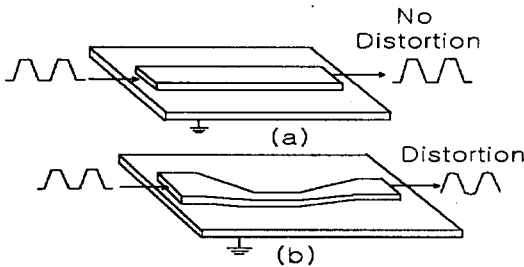
2. 전송선의 특성

어떤 신호선이 전송선(transmission line)으로 동작하려면 신호 전파 방향에 대해 수직으로 자른 전송선의 단면 모양이 모든 전파 길이에 대해 일정하게 유지되어야 한다. 그림 6에 전송선들의 단면 예를 보였다.

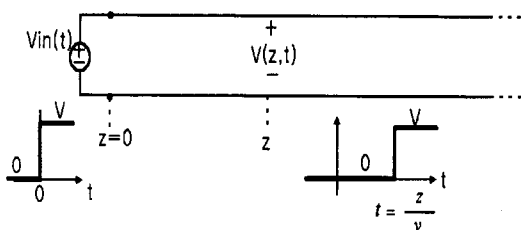


〈그림 6〉 전송선의 단면들

그림 7(a)에서 보인 도선 구조에서는 단면의 모양이 길이에 따라 일정하므로 전송선으로 동작하여 입사된 전압 또는 전류 신호가 왜곡됨이 없이 출력 되지만, 그림 7(b)에서 보인 도선 구조에서는 단면의 모양이 길이에 따라 달라지므로 전송선으로 동작하지 못하게 되어 입사된 신호가 왜곡되어 출력된다.^[5]



〈그림 7〉 (a) 전송선인 경우 (b) 전송선이 아닌 경우

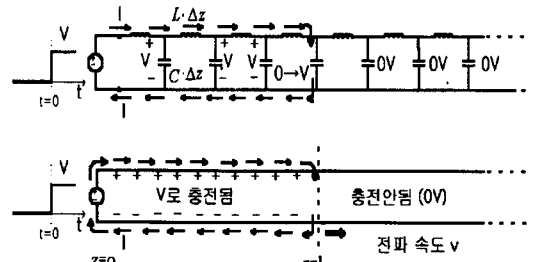


〈그림 8〉 전송선의 전파 특성

PCB 신호선의 길이는 보통 $\frac{\lambda_{free}}{8}$ 보다 크므로

PCB 신호선은 전송선으로 모델하고, 칩의 본딩 와이어와 패키지 핀의 길이는 보통 $\frac{\lambda_{free}}{8}$ 보다 작으므로 이들은 L, C 소자들로 모델한다.

전송선은 길이에 따라 그 단면의 모양이 일정하게 유지되므로, 단위 길이당 인덕턴스(L) 값과 단위 길이당 캐패시턴스(C) 값의 비율이 일정하게 유지되어 이 두 값의 균형(balance) 작용으로 전송선 자체는 시간에 따라 빠르게 변하는 신호 성분에 대해 일정한 값의 저항 성분으로 동작한다. 이 저항 값이 전송선의 특성 임피던스(characteristic impedance) $Z_0 = \sqrt{\frac{L}{C}}$ 이다.



〈그림 9〉 무한히 긴 이상적인 전송선에서의 신호 전파 (at $t=l/v$)

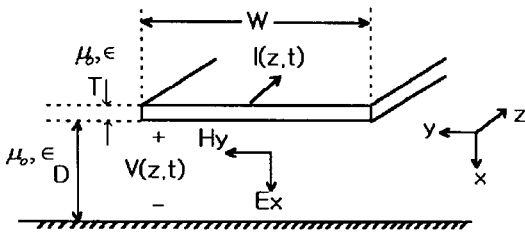
그림 9는 무한히 긴 전송선에 스텝 입력 전압원을 연결한 경우이다. $t < 0$ 인 시간 구간에서는 전송선에 인가된 전압과 전류는 모두 0이다. $t > 0$ 인 시간 구간에서는 전압원은 전송선의 모든 지점에서의 캐패시터 전압을 순간적으로 V 로 충전시키려고 하지만 이 경우 순간적으로 무한대의 전류가 전압원으로 부터 흘러 나와야 되는데, 인덕턴스 성분에 흐르는 전류는 순간적으로 변할 수 없고 시간에 대해 연속적으로 변하므로, 전류값은 전송선 캐패시턴스와 인덕턴스 성분들이 서로 균형(balance)이 이루어지는 점에서 일정한 값 I 로 결정된다. 일단 전압 V 로 충전된 캐패시터들은 더 이상 충전되지 않으므로 전압원으로 부터 출력되는 전류 I 는 그림 9의 V 로 충전된 지점들의 오른쪽 끝에 있는 새로운 캐패시터들을 0에서 V 의 전압으로 충전시키는데 사용된다. 그리하여, 전압 V 로 충전

된 지점들이 전파 속도 v 로 오른쪽으로 확장 되게 된다. 이를 다시 말하면, 전압 V 와 전류 I 를 가지는 전자파가 전파 속도 v 로 오른쪽으로 전파된다. 이 전압 V 와 전류 I 의 비율을 이 전송선의 특성 임피던스 Z_0 라고 부른다. Z_0 와 v 는 이 전송선에 맥스웰 방정식을 적용하면 다음과 같이 L 과 C 만의 함수로 유도된다.^[6]

$$Z_0 = \sqrt{\frac{L}{C}} \quad (8)$$

$$v = \sqrt{\frac{1}{LC}} \quad (9)$$

3. 마이크로 스트립 라인 전송선



<그림 10> 마이크로 스트립 라인의 단면

그림 10은 마이크로 스트립 라인으로 된 전송선의 단면이다. 전송선의 폭 W 가 유전체 두께 D 및 도체 두께 T 보다 매우 커서 프링징 필드(fringing field)의 영향을 무시할 수 있을 경우, 맥스웰 방정식으로 부터 다음의 관계식들을 유도할 수 있다.^[6]

$$V(z, t) = E_x \cdot D \quad (10)$$

$$I(z, t) = H_y \cdot W \quad (11)$$

여기서 E_x 는 x 방향의 전기 세기이고, H_y 는 y 방향의 자기 세기로서, 이 마이크로 스트립 라인 전송선에서 전파하는 E_x 와 H_y 성분만을 가지고 z 방향으로 전파하는 TEM(transversal electro-

magnetic) 파(wave)이다. 위 전송선에서 특성 임피던스 Z_0 , 전파 속도 v , 단위 길이당 캐패시턴스와 인덕턴스 L, C 들은 다음 식들로 유도된다.^[6]

$$Z_0 = \sqrt{\frac{\mu_0}{\epsilon} \cdot \frac{D}{W}} \quad (12)$$

$$v = \frac{1}{\sqrt{\mu_0 \epsilon}} \quad (13)$$

$$C = \epsilon \cdot \frac{W}{D} \quad (14)$$

$$L = \mu_0 \cdot \frac{D}{W} \quad (15)$$

여기서 $\epsilon = \epsilon_0 \cdot \epsilon_r$ 이고, ϵ_0 와 μ_0 는 각각 자유 공간(공기중)에서의 유전 상수와 자기 상수이고, ϵ_r 은 유전체 물질의 자유 공간에 대한 상대적인 유전 상수이다. 마이크로 스트립 라인의 폭 W 가 유전체 두께 D 와 비슷한 크기를 가져서 프링징 필드(fringing field)의 영향을 무시할 수 없는 경우에 대해서는 Z_0, v, C, L 에 대해 다음과 같은 실험 실들이 알려져 있다.^[5]

$$Z_0 = \frac{60}{\sqrt{\epsilon_{r,eff}}} \cdot \ln\left(\frac{5.98 \cdot D}{0.8 \cdot W + T}\right) \text{ [ohm]} \quad (16)$$

$$v = \frac{3 \times 10^{10}}{\sqrt{\epsilon_{r,eff}}} \text{ [cm/sec]} \quad (17)$$

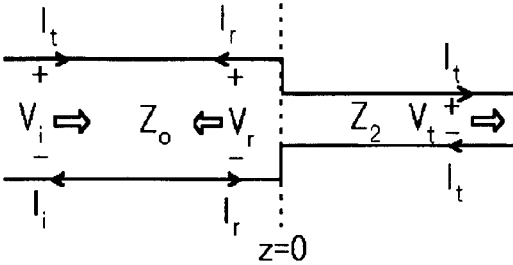
$$C = 5.56 \times 10^{13} \cdot \frac{\epsilon_{r,eff}}{\ln\left(\frac{5.98 \cdot D}{0.8 \cdot W + T}\right)} \text{ [F/cm]} \quad (18)$$

$$L = 2 \times 10^{-9} \cdot \ln\left(\frac{5.98 \cdot D}{0.8 \cdot W + T}\right) \text{ [H/cm]} \quad (19)$$

여기서 $\epsilon_{r,eff}$ 는 유효 상대 유전 상수인데, 마이크로 스트립 라인이 상대적인 유전 상수 ϵ_r 인 유전

체 물질로 다 둘러 쌓여 있을 경우 $\epsilon_{r,eff} = \epsilon_r$ 이 되고, 마이크로 스트립 라인의 반쪽이 공기중에 노출되어 있을 경우 $\epsilon_{r,eff} = 0.475 \cdot \epsilon_r + 0.67$ 로 주어진다. 위 식들의 유도 과정에서 자성 물질은 없다고 가정하였고 ($\mu = 1$), 또 위 식들은 W가 100 μm 이상인 경우에만 적용 가능하다. 위 식들에서 살펴보면, 전파 속도 v 는 마이크로 스트립 라인 전송선의 단면을 결정하는 파라미터들인 W, D, T 등에 무관하게 결정되지만, 특성 임피던스 Z_0 값은 폭 W가 클수록 줄어들고 유전체 두께 D가 클수록 커지게 됨을 알 수 있다.

4. 전송선에서의 반사(reflection) 현상



(그림 11) 특성 임피던스가 서로 다른 두 전송선을 연결한 회로

특성 임피던스가 서로 다른 전송선 두 개를 그림 11에서와 같이 연결 시킬 경우, 그 경계면에서 전자파의 반사가 일어난다. 그림 11에서 입사파 (V_i, I_i)가 $+z$ 방향으로 진행하고, 반사파 (V_r, I_r)가 $-z$ 방향으로 진행하고 투과파 (V_t, I_t)가 $+z$ 방향으로 진행하고 있다. 또, 경계면 $z=0$ 에서 전압과 전류는 경계면을 중심으로 서로 연속이어야 하므로 (고주파 신호인 경우에도 아주 짧은 거리 내에서, 즉 $z=0^-$ 와 $z=0^+$ 사이에서는, KVL과 KCL이 성립해야 함) 다음의 관계식들이 성립한다

$$V_i + V_r = V_t \tag{20}$$

$$I_i - I_r = I_t \tag{21}$$

위 식들과 특성 임피던스 관계식

$$\left(\frac{V_i}{I_i} = \frac{V_r}{I_r} = Z_1, \frac{V_t}{I_t} = Z_2\right)$$

들로부터 반사 계수 Γ 와 투과 계수 T 의 식들을 다음과 같이 구할 수 있다.

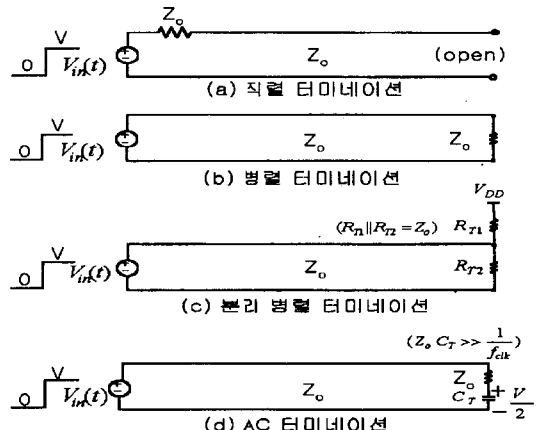
$$\Gamma = \frac{V_r}{V_i} = \frac{Z_2 - Z_1}{Z_2 + Z_1} \tag{22}$$

$$T = \frac{V_t}{V_i} = 1 + \Gamma \tag{23}$$

여기서 전송선 Z_2 는 부하 저항 $R_L = Z_2$ 로 바꾸어도 같은 결과를 얻는다. 예를 들어 $Z_2 = \infty$ (open)인 경우, $I_t = 0$ 이 되어야 하므로 $I_i = I_r$ 이 되고 $V_i = V_r$, $V_t = 2 \cdot V_i$ 가 되어 반사 계수 $\Gamma = +1$ 이 된다. 또 $Z_2 = 0$ (short)인 경우, $V_t = 0$ 이 되어야 하므로 $V_r = -V_i$ 가 되고 $I_r = -I_i$, $I_t = 2 \cdot I_i$ 가 되어 반사 계수 $\Gamma = -1$ 이 된다.

5. 전송선의 터미네이션(termination)

전송선에서 반사 현상이 많이 발생할 경우, 저주파 경우의 언더댐핑(ringing) 또는 오버댐핑 등의 현상과 유사하게 출력 신호가 원하는 범위에 도달할 때까지 시간이 많이 걸리게 된다.^[6] 이와 같은 전자파 반사 현상을 방지하고 신호의 안정 시간(settling time)을 최소화 하여 회로의 동작 속도



(그림 12) 터미네이션 기법들

〈표 2〉 터미네이션 방식의 비교

	series	parallel	split (*)	AC (**)
worst case delay	$2t_f$	t_f	t_f	t_f
maxium driving current	$\frac{V}{2Z_0}$	$\frac{V}{Z_0}$	$\frac{V}{2Z_0}$	$\frac{V}{2Z_0}$
RC time constant (C_L at $Z=l$)	$C_L Z_0$	$\frac{C_L Z_0}{2}$	$\frac{C_L Z_0}{2}$	$\frac{C_L Z_0}{2}$
신호 한주기 (T_{clk})당 소요되는 에너지	$\frac{V^2}{Z_0} \cdot t_f$	$\frac{V^2}{Z_0} \cdot \frac{T_{clk}}{2}$	$\frac{V^2}{Z_0} \cdot \frac{T_{clk}}{2}$ 절반: driver 절반: V_{DD}	$\frac{V^2}{Z_0} \cdot \frac{T_{clk}}{4}$

split (*): $R_{T1}=R_{T2}=2Z_0, V_{DD}=V$ 가정

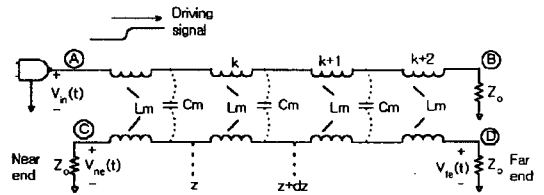
AC (**): DC balance 가정

를 최대로 하기 위해 전송선에 전송선의 특성 임피던스와 같은 값의 터미네이션 저항을 부착한다. 터미네이션 기법에는 그림 12에 보인 네 가지 기법이 있다.

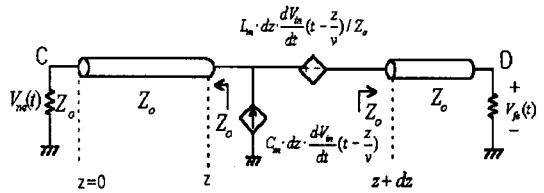
보통 PCB 전송선에서 터미네이션시켜야 할 전송선 수가 매우 많으므로 터미네이션을 위한 개별 소자 수가 최소가 되는 것이 바람직하다. 따라서, 그림 12의 네 가지 터미네이션 기법 중에서 직렬(series) 또는 병렬(parallel) 터미네이션 기법이 많이 사용된다. 표 2에서 각 터미네이션 기법의 특성들을 비교하였다. t_f 는 전송선의 한 끝에서 다른 끝까지 전자파가 전파되는데 소요되는 시간으로 전송선의 전파 시간(time of flight)이라고 불린다. 직렬(series) 터미네이션 기법은 병렬(parallel) 터미네이션 기법에 비해, 구동 회로가 공급하는 최대 전류 크기가 절반이고 전력 소모도 $(2 \cdot t_f)/T_{clk}$ 의 비율로 작지만 최대 지연 시간이 두 배가 되는 단점이 있다.

6. 전송선간의 누화(crosstalk) 현상

그림 13에서 보인 바와 같이 두 개의 전송선이 인접하게 위치하여 상당한 구간 동안 나란하게 달릴 경우, 두 전송선 간에 간섭(coupling) 현상이 발생하여 누화(crosstalk)가 생겨난다. 이 간섭 현상을 둘로 구분하면, 하나는 전계에 의한 간섭(electric coupling)이고, 다른 하나는 자계에 의한 간섭(magnetic coupling)이다. 이 두 개의 간섭 현상들은 그림 13에 보인대로 각각 단위 길이당 상호 캐패시턴스 C_m 과 상호 인덕턴스 L_m 으로 모델링한다. 그림 13의 회로에서 z 와 $z+dz$ 사이의 구간에서 발생하는 간섭(coupling) 현상에 의해 전송선 CD에 유기되는 누화 신호원들을 그림 14에 보였다. 전송선의 특성 임피던스 관계식에 의해 전류 $I_{in}(t)=V_{in}(t)/Z_0$ 인 관계식을 이용하였다.



〈그림 13〉 두 전송선간의 누화 현상 모델



〈그림 14〉 $[z, z+dz]$ 구간에서 발생하는 누화 신호원

그림 14에 표시된 두 종류의 누화 신호원에 의해 발생하는 근거리 누화(near-end crosstalk) 전압 $V_{ne}(t)$ 성분과 원거리 누화(far-end crosstalk) 전압 $V_{fe}(t)$ 성분을 구하는 과정을 다음에 보였다. 이 과정에서 z 와 $z+dz$ 에서 각각 전송선 쪽으로 들여다 본 임피던스 값은 둘 다 Z_0 이기 때문에 각각의 누화 신호원들이 $+z$ 와 $-z$ 방향으로 절반씩

나누어져서 진행한다는 사실을 이용하였다. $z=0$ 에서 $z=l$ 까지의 모든 구간에서 발생하는 누화 신호들의 영향을 다 합산하기 위해 z 에 대해 적분하면 $V_{ne}(t)$ 와 $V_{fe}(t)$ 의 식들을 다음과 같이 계산할 수 있다. 여기서 l 은 전송선 AB와 CD가 인접하여 나란하게 달리는 구간의 길이이다.

$$\begin{aligned}
 V_{ne}(t) &= \int_0^l \left[\frac{1}{2} \cdot C_m \cdot Z_o \cdot \frac{\partial V_{in}(t - \frac{2 \cdot z}{v})}{\partial t} + \frac{1}{2} \cdot \frac{L_m}{Z_o} \cdot \frac{\partial V_{in}(t - \frac{2 \cdot z}{v})}{\partial t} \right] \cdot dz \\
 &= \frac{1}{4} \cdot \left(\frac{C_m}{C} + \frac{L_m}{L} \right) \cdot \{V_{in}(t) - V_{in}(t-2) \cdot t_f\} \quad (24)
 \end{aligned}$$

$$\begin{aligned}
 V_{fe}(t) &= \int_0^l \left[\frac{1}{2} \cdot C_m \cdot Z_o \cdot \frac{\partial V_{in}(t - t_f)}{\partial t} - \frac{1}{2} \cdot \frac{L_m}{Z_o} \cdot \frac{\partial V_{in}(t - t_f)}{\partial t} \right] \cdot dz \\
 &= \frac{1}{2} \cdot \left(\frac{C_m}{C} - \frac{L_m}{L} \right) \cdot t_f \cdot \frac{\partial V_{in}(t - t_f)}{\partial t} \quad (25)
 \end{aligned}$$

여기서 $t_f = \frac{1}{v}$ 이다.

주위가 모두 균일한 유전 상수를 가지는 유전체 물질로 둘러 쌓여 있는 스트립 라인의 경우 ($C_m/C = L_m/L$)인 관계가 성립하여 $V_{fe}(t) = 0$ 이 된다. 그런데, 한 쪽이 공기 중에 드러난 마이크로 스트립 라인의 경우 C_m 값이 상대적으로 줄어들어 $(C_m/C) < (L_m/L)$ 이 된다. 이 경우 $(t_f/T_r) \gg 1$ 이 되면 $|V_{fe}(t)| \gg |V_{ne}(t)|$ 가 된다. 여기서 T_r 은 입력 전압 $V_{in}(t)$ 의 상승 시간이다. 그림 13의 회로에서 C 혹은 D 지점이 터미네이션 되어 있지 않을 경우, 누화 전압이 반사 현상에 의해 $2 \cdot t_f$ 시간 이후에도 나타나서 신호의 안정 시간을 증가시킴으로써 신호 보전성(signal integrity) 측면에서 더욱 나쁜 상황이 된다. 누화 현상을 감소시키기 위해서는 두 신호선들이 길게 서로 평행하게 달리게 하지 말고, 신호선 아래에 그라운드 혹은 전원 도체 평면을 가까이 위치시켜 C_m/C 와 L_m/L 값을 감소시키고, 신호선들 사이에 가능한 그라운드선 혹은 V_{DD} 선들을

교대로 배치시켜야 한다.

7. 손실 전송선 (lossy transmission line)

지금까지는 이상적인 무손실 전송선만을 고려하였는데, 실제로는 구리 도선의 표피 효과로 인한 직렬 저항 R 성분과 고주파에서의 유전체 손실로 인한 병렬 컨덕턴스 G 성분 때문에 전송선에서 손실 효과가 나타난다. 이 성분들은 그림 9의 전송선 등가회로에서 L과 직렬로 R 성분을 추가하고 C와 병렬로 G 성분을 추가하여 모델링할 수 있다. 실제로 구리 두께가 $35\mu\text{m}$ ($1 \text{ oz}/\text{ft}^2$), 구리 폭(W)이 1.78mm이고, 두께(D)가 1mm인 에폭시(FR4)를 유전체 물질로 사용하는, 공기중에 노출된 마이크로 스트립 라인을 제작하고 LCR 미터로 측정된 결과 적어도 저주파인 30MHz까지는 R 값이 ωL 값의 1/10보다 훨씬 작고, G 값은 ωC 값의 1/10보다 항상 작게 측정되었다.^[6] 위 측정 결과에 근거하여, R 값은 표피 효과에 의해 예측되는 대로 $\sqrt{\text{신호주파수}}$ 에 비례할 것이므로 신호 주파수가 수 백 MHz 대역에서도 $R \ll 0.1 \cdot (\omega L)$ 이 되어서 크게 문제되지 않을 것으로 예상된다. 다만 G 값은 측정된 75KHz에서 30MHz의 주파수 범위에서 거의 균일하게 $G \approx (1/30) \cdot \omega C$ 인 관계가 유지되었는데 수 백 MHz 대역의 신호 주파수에서도 이 관계가 유지될지는 불확실하므로 보다 더 고주파에서의 측정이 요구된다. 만일, [6]의 측정 결과대로 고주파 대역에서도 $R \ll (\omega L)$, $G \ll (\omega C)$ 인 관계식이 그대로 성립한다면 적어도 길이가 30cm 이한 PCB 전송선에서는 손실 효과를 고려하지 않아도 무방하리라고 판단된다.

그런데, 메모리 모듈 등의 비교적 큰 회로를 SPICE로 시뮬레이션할 때 무손실 전송선 모델 대신 손실 전송선 모델을 사용하면 시뮬레이션 시간이 많이 줄어 든다.^[7,8]

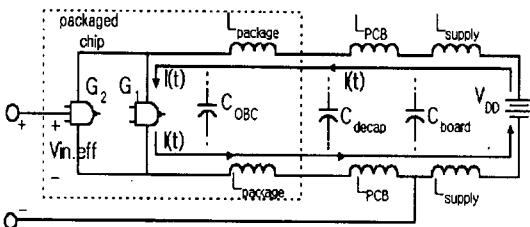
IV. 그라운드 바운스, 패키지 모델링, 전원 공급 회로, 노이즈 배분

1. 그라운드 바운스(ground bounce) 현상

IC 칩에서 패키지 인덕턴스와 PCB 인덕턴스 성분 때문에 칩 내부에 순간적으로 큰 전류가 흐를 때 $L \cdot \frac{di}{dt}$ 전압 강하에 의해 칩 내부의 그라운드 전위가 공급 전압의 그라운드 전위와 순간적으로 달라지는 현상이 발생하는데 이를 그라운드 바운스 현상이라고 부른다. V_{DD} 쪽에서도 이와 같은 현상이 발생하는데 이를 서플라이 드롭(supply droop)현상이라고 부른다. 보통 많이 사용되는 TTL 또는 LVTTTL(low voltage TTL) 레벨 인터페이스 방식에서는 그라운드 쪽 노이즈 마진(NML)이 V_{DD} 쪽 노이즈 마진(NMH)보다 작기 때문에 supply droop보다는 ground bounce가 주로 고려된다.

그림 15에 패키지 된 칩을 PCB 위에 실장시켰을 때의 공급 전원 등가 회로를 보였다. 칩 내부의 어떤 게이트 G1이 동작하여 칩 외부 캐패시터를 구동 하기 위해 전류 $I(t)$ 를 흘리고 있을 때 칩 내부의 다른 게이트 G2가 동작을 시작하려고 할 경우, G2의 유효 입력 전압 $V_{in,eff}$ 는 다음 식으로 주어진다.

$$V_{in,eff} = V_{in}(t) - (L_{package} + L_{PCB}) \cdot \frac{dI(t)}{dt} \tag{26}$$



(그림 15) 공급 전원 등가 회로

따라서, $L \cdot \frac{di}{dt}$ 전압 강하(보통 $\pm 0.1V \sim \pm 0.5V$)에 의해 G2의 노이즈 마진이 감소된다. 식 26을 유도할 때, C_{OBC} , C_{decap} 은 존재하지 않는다고 가정하였고, 칩 내부 전원 공급선의 $I \cdot R$ 전압 강하도 무시하였다. 보통 $L_{package} \approx 3nH$ (SOJ 패키지 경우), $L_{PCB} \approx 5nH$ (SIMM PCB) 정도의 값을 가진다. 게이트의 갑작스런 전류 변화에 대해, 가급적 인덕터를 통하여 공급 전압 V_{DD} 로부터 전류를 공급 받는 대신에 중간에 캐패시터들을 뒀으로써 이 캐패시터들이 게이트에 순간적으로 전류를 공급하게 해 주면 $L \cdot \frac{di}{dt}$ 전압 강하를 줄여서 그라운드 바운스 현상을 줄일 수 있다. 이를 위해 PCB 상에 위치시키는 캐패시터 C_{boards} , 가능한 한 칩 가까이 PCB 상에 위치시키는 칩-캐패시터 C_{decap} , 칩 내에 내장시키는 칩 내장 바이패스 캐패시터(on-chip bypass capacitor) C_{OBC} 등을 둔다. C_{OBC} 는 칩 내에서 보통 NMOS 트랜지스터의 게이트와 소스-드레인 간의 MOS 캐패시터를 이용하여 구현하는데, DRAM 칩에서는 C_{OBC} 값이 대략 3 내지 $5nF$ 정도이고 클럭 주파수가 400MHz 이상인 마이크로 프로세서 칩에서는 C_{OBC} 값이 100 내지 $200nF$ 정도의 값을 가진다. 그런데, C_{OBC} 는 칩 내부의 캐패시터 부하를 구동하는 데는 매우 유리하지만 칩 외부의 캐패시터 부하에 대해서는 전혀 쓸모가 없다.^[6] 따라서, C_{OBC} 는 칩 내부 캐패시터 구동 회로에만 연결하고, 외부 캐패시터 구동 회로(off-chip driver)에는 C_{OBC} 를 연결시키지 말아야 한다.

그라운드 바운스 현상은 동시 스위칭 노이즈(simultaneous switching noise) 현상이라고도 불리는데 그 이유는 다음과 같다. 예를 들어 32비트 데이터 버스를 구동하는 CMOS 출력 구동 게이트 회로에서 평균적으로 32비트 중 16비트가 동시에 V_{DD} 에서 0으로 구동하게 되면 순간적으로 큰 전류가 그라운드 핀을 통하여 흐르게 된다. 그리하여 그라운드 핀에 연결된 핀 인덕턴스 L 에 큰 전압($L \cdot \frac{di}{dt}$)이 유기되어 그라운드 바운스 노이즈 전

압이 매우 커지게 된다. 그리하여, 출력 구동 회로에서와 같이 여러 개의 게이트가 동시에 스위칭할 경우 그라운드 바운스 현상 또는 서플라이 드롭 현상이 두드러지게 나타나기 때문에 이 두 현상들을 통틀어 동시 스위칭 노이즈 현상이라고 부른다.

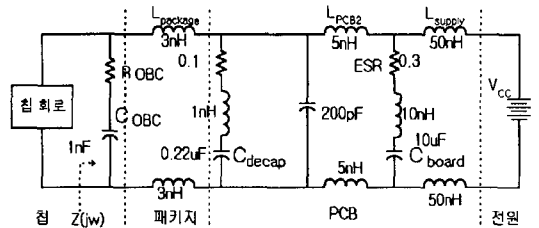
2. 패키지 모델링

칩 패키지는 칩의 물리적 충격으로 부더의 보호뿐만 아니라 칩과 외부 회로와의 신호 전달을 위해 본딩 와이어와 리드 프레임을 통해 칩 내부 패드의 작은 신호선 간격(보통 200 μm)을 PCB상의 패키지 핀 간격(보통 50mil(1325 μm))에 해당하는 큰 신호선 간격으로 확장시켜 칩의 사용을 용이하게 해 준다. 패키지들의 리드 프레임들은 인텔 486 PGA 패키지에서와 같이 전송선 형태로 되어 있는 것도 있으나, DIP(dual in-line package)나 SOP(small outline package) 등의 패키지들에서와 같이 리드 프레임 주위에 그라운드 도체면이 없어서 전송선 형태가 아닌 것도 있다. 패키지 핀의 캐패시턴스와 인덕턴스 값들은 3차원 필드 솔버 소프트웨어들을 이용하여 추출할 수 있다.^[7,9,10] 특히 패키지 핀의 인덕턴스 값은 그라운드 바운스 현상에 직접적인 영향을 미친다. 표 3에 몇 가지 패키지 형태에 대한 최대 자체 인덕턴스 값을 3차원 필드 솔버의 일종인 RAPHAEL을 이용하여 추출한 결과를 보였다. 패키지 핀을 각 신호선에 할당할 때, 전류가 많이 흐르는 출력 핀은 그라운드 핀 가까이 배치하면 두 핀에 흐르는 전류 방향이 서로 반대가 되기 때문에 상호 인덕턴스 성분에 의해 전체 루프 인덕턴스($2 \times$ 자체 인덕턴스 - $2 \times$ 상호 인덕턴스)가 줄어들어 그라운드 바운스 현상을 감소시킬 수 있다.^[5,10]

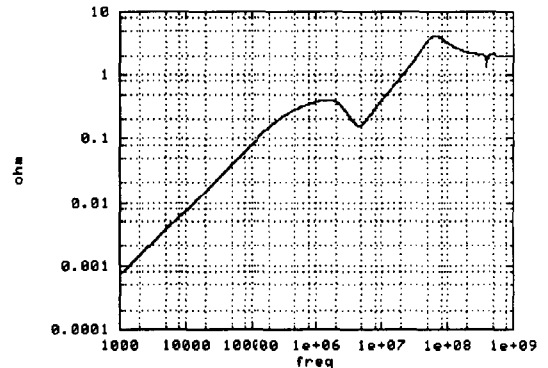
〈표 3〉 IC 칩 패키지의 최대 자체 인덕턴스 값^[3]

패키지	최대 자체 인덕턴스 값
14핀 DIP	10.7 nH
40핀 DIP	24.5 nH
160핀 CLCC	10.9 nH
168핀 PGA (인텔 486)	24.0 nH
24핀 SOJ	3.06 nH

에는 기생요소인 등가 직렬 저항(equivalent series resistance : ESR)과 인덕턴스 성분이 존재한다.^[13] 200pF 캐패시터는 PCB의 공극전압 도체면과 그라운드 도체면 사이의 평판 캐패시터이다. R_{OBC} 는 LC 공진 현상에 의해 $|Z(j\omega)|$ 값이 증가하는 현상을 막기 위해 추가된 저항으로 보통 1 내지 5ohm 정도의 값을 가진다. 그림 17에 $|Z(j\omega)|$ 의 SPICE 시뮬레이션 결과를 보였다. 모든 동작 주파수에서 $|Z(j\omega)|$ 값은 대략 4 ohm보다 작은 값을 가졌고 이 때 $R_{OBC}=2\text{ohm}$ 이다.



〈그림 16〉 공급 전압 회로의 임피던스를 구하기 위한 회로



〈그림 17〉 $|Z(j\omega)|$ 의 SPICE 시뮬레이션

3. 전원 공급 회로(power supply network)

칩 내부로부터 전원 공급 회로 쪽으로 들어다 본 임피던스 $Z(j\omega)$ 값은 고려하는 모든 주파수 영역에서 작은 값을 가져야 그라운드 바운스 등의 영향을 작게 받는다.^[11,12] 그림 16에 전원 공급 회로의 $Z(j\omega)$ 값을 구하기 위한 등가 회로를 보였다. $C_{board}(10\mu\text{F})$ 와 $C_{decap}(0.22\mu\text{F})$ 캐패시터들

4. 노이즈 배분(noise budget)

PCB 상에 IC 칩을 배치한 전자회로 시스템에서 주어진 노이즈 마진을 만족시키기 위해 각 노이즈 원(source)으로부터 발생하는 노이즈 전압의 최대 허용값을 명시하는 것을 노이즈 배분(noise budget)이라고 부른다. 표 4에 노이즈 배분의 한 예를 보였다. 여기서 RSS값은 각 노이즈 성분들이 통계적으로 서로 독립적인 랜덤 프로세스라고 가정하여 각 노이즈 성분의 제곱값을 합한 후 스퀘어 루트를 취한 것이다. 즉 $RSS = \sqrt{\sum_i (V_i)^2}$ 로서 산술 합계보다 RSS 값이 더 실제에 가깝다. 실제 노이즈 전압은 99%의 시간동안 RSS값보다 작은 범위에 놓인다.

(표 4) 노이즈 배분(noise budget) 예^[5]

노이즈 원(noise source)	Budget (mV)
그라운드 바운스 (simultaneous switching noise)	150
전송선 반사 누화	200
칩 내부 도선	75
커넥터	25
PCB 신호선	25
IR 전압 강하	350
칩 내부 도선	50
커넥터	10
PCB 신호선	10
기타	75
IC 칩 내부 노이즈 온도 변화	
칩 내부 도선	
노이즈 산술 합계	955
RSS 노이즈	450
DC 노이즈 마진	750

V. PCB 해석용 상용 소프트웨어, 측정 장비, IBIS 형식

1. PCB 해석용 상용 소프트웨어들

PCB의 신호 보전성 분석을 위해 여러 종류의 상용 소프트웨어들이 있는데, 이 중에서 RAPHAEL, GREENFIELD, PACIFIC NUMERIX 들에 대해 그 특징을 소개한다.

TMA사의 RAPHAEL은 전송선의 R,L,C,G 회로 파라미터들과 패키지 핀의 R,L,C 파라미터들을 추출하는 필드 솔버(field solver)로서 2차원/3차원 캐패시턴스 추출 프로그램인 RC2/RC3, 3차원 인덕턴스 추출을 위한 RI3와 위 세 기능을 종합적으로 이용할 수 있도록 해주는 RIL로 구성되어 있다.

QUANTIC사의 GREENFIELD는 PCB 도선의 외형과 그와 연결된 소자의 입출력 특성을 기술한 자료를 입력받아 도선의 누화(crosstalk) 잡음이나 신호 보전성 분석을 수행하는 기능과 마이크로 스트립 선과 스트립 선 등의 등가적 회로 모델 파라미터들을 추출하는 E.Z.Greenfield 2D, 특정한 3차원의 마이크로스트립 선의 불연속 요소를 추출하는 기능을 가진 E.Z.Greenfield 3D, 전송선에 대한 SPICE 등가 회로를 생성하는 Trline 등으로 구성되어 있다.

PACIFIC NUMERIX는 PCB 레이아웃 데이터 베이스를 입력으로 받아 PCB에 사용된 모든 종류의 전송선에 대한 2차원과 3차원 시뮬레이션을 자동 수행하여 그 특성 임피던스를 계산하고, 사용된 전원면과 접지면에 대한 정보, 각종 비아(via)에 대한 모델 파라미터들을 자동 추출하는 기능을 가진 PCB 신호 보전성 분석 소프트웨어이다.

이 외에도 상용 신호 보전성 분석용 소프트웨어들로 MAXWELL, QUAD, FATSHENRY와 FASTCAP[ftp://rle-vlsi.mit.edu] 등이 있다.

2. 측정장비

신호 보전성 측정을 위한 주요 장비로는 주파수 영역에서 측정하는 network analyzer와 시간 영역에서 측정하는 TDR(time domain reflectometer)이 있는데, 가격이 상대적으로 싼 TDR이 더 많이

사용되고 있다.^[14] TDR을 이용하면 PCB 전송선의 특성 임피던스, 불연속 특성(via, bending등), 누화 현상과 패키지 핀의 캐패시턴스와 인덕턴스 등을 측정할 수 있다.^[3, 4, 6]

3. IBIS 형식

패키지 된 IC 칩을 PCB 상에 위치시키고 전체의 회로 동작을 SPICE로 시뮬레이션 하고자 할 때 IC 칩 핀에서의 입력 및 출력에 관한 전기적 특성 정보가 필요하다. IBIS(input output buffer information sheet) 형식은 IC 칩의 내부 동작은 전혀 고려하지 않고 IC 칩의 핀에서의 기생 R, L, C 파라미터 값과 비선형 구동 특성 ($V_o - I_o$ 관계)을 기술하는 것이다. [<http://www.eia.org/eig/ibis>].

이 형식은 이제 세계적으로 산업체 표준(industry standard)으로 자리잡아 점차 상업적인 카드 프로그램들에서도 지원되기 시작하였다.

그런데, IBIS 형식에서는 칩 내부 회로가 전혀 고려되고 있지 않기 때문에, 칩 내부에 흐르는 전류와 패키지 핀과 PCB 신호선의 인덕턴스 성분 간의 상호 작용에 의해 발생하는 그라운드 바운스 등의 현상은 IBIS 데이터만으로는 해석할 수 없다. 앞에서 소개한 상업용 신호 보전성 해석 소프트웨어들에서도 IBIS에서와 마찬가지로 IC 패키지 핀에서의 입력 및 출력 특성만 간단하게 모델하므로 그라운드 바운스와 같은 IC 칩과 패키지 및 PCB 기생 요소들의 상호 작용에 의한 현상들은 해석할 수 없다.

이와 같은 상호 작용을 해석하기 위해서, 칩 내부 동작을 간략화 시킨 칩의 SPICE 모델을 제작하고 패키지의 R,L,C 기생 요소와 PCB 전송선 파라미터들을 2차원 혹은 3차원 필드 솔버로 추출하여 이들을 SPICE로 모델하고, 이 전체를 SPICE로 시뮬레이션 하는 방법이 사용되고 있다.^[7, 15, 16]

서는 4GHz의 신호 주파수까지도 동작시킬 수 있는데, 이 신호들이 패키지 핀과 PCB 신호선을 통하여 다른 칩으로 전달되는 과정에서는 기생 요소들로 인해 수 백 MHz의 동작 속도를 얻기가 매우 어렵다. PCB 대신 MCM(multi chip module) 기술을 사용하면 칩과 칩 간의 거리를 짧게 하여 신호 전달 속도를 이보다 훨씬 더 증가시킬 수 있으나 가격이 증가하므로 가격 경쟁력이 극히 중요한 DRAM 등에서는 여전히 값싼 PCB를 사용하여 칩과 칩 간의 신호 전달 속도를 최대로 만들기 위한 노력이 경주되고 있다. 이를 위해 제안된 방식들 중에서 대표적인 것들을 표 5에 보였다.

(표 5) PCB상에서의 DRAM 칩들과 CPU 칩 간의 인터페이스 방식들

인터페이스 방식	최대전달 속도[Mb/s]	전압 스윙[V]	터미네이션저항 [ohm]
LVTTL	66	3.3	없음
SSTL	100	0.8	50
Sync-2	500	1.6	50
Rambus-C	600	1.0	50
Rambus-D	800	0.6	28

PCB상에서의 칩과 칩 간의 인터페이스를 위한 신호 전달 속도를 최대로 하기 위해서는, PCB 신호선을 터미네이션 된 전송선으로 하는 것과, PCB 전송선 상에서의 전압 스윙 폭을 노이즈 마진이 허용하는 한 최소로 하는 것이 필수적이다. 이 외에도 고속 인터페이스를 위해 Rambus[<http://www.rambus.com>]에서와 같이 칩 간의 클락 스쿠(clock skew)를 최소로 하기 위해 신호선과 클락선이 같은 길이의 전송선 경로를 가지게 PCB를 설계해야 하고 칩의 패키지 핀 캐패시턴스 성분(2~5 pF/pin)까지를 고려하여 전송선의 특성 임피던스 값을 매칭(matching) 시키는 것이 유리하다.^[17]

VI. PCB상에서의 고속 입·출력 인터페이스 기법

현재 0.35 μ m급 CMOS 공정을 사용하면 칩 내부에

VII. 결 론

도선(interconnect) 모델링은 크게 IC 칩 내부의

RC 지연 시간 모델링과 PCB상에서의 전송선 모델링 분야로 구분된다.

IC 칩 내부의 지연 시간 모델링을 위하여 각 도선간의 캐패시턴스 값을 계산하는 과정과, 엘모 지연 시간 식을 이용하여 URC(uniform RC) 라인의 지연 시간을 계산하는 과정을 보였다. 전송선 해석이 필요한 경우는 (회로의 최대 크기) $> \frac{v \cdot Tr}{4}$ 인 사실을 보였는데, 여기서 v 는 전송선 상에서의 전자파의 전파 속도이고, Tr 은 디지털 신호의 상승 시간이다. PCB상에서 신호 주파수가 100MHz 이상이 되어 신호의 상승 시간 Tr 이 1ns 정도일 경우에는 PCB 신호선은 거의 대부분 전송선 해석을 적용해야 한다. 또한, 클락 주파수가 500MHz 정도인 마이크로 프로세서 칩에서도 긴 클락선의 경우 전송선 해석을 필요로 한다.

PCB상에서 고주파 신호를 왜곡 없이 전달하기 위해서는 전송선 구조를 사용해야 하고, 전자파의 반사를 없애므로써 신호의 안정 시간을 빠르게 하여 고속 동작이 이루어지도록 하기 위해서는 각 전송선들을 전송선의 특성 임피던스와 같은 값의 저항들로 터미네이션시켜야 한다.

또, 전송선의 특성, 특성 임피던스 식, 전자파 반사, 누화(crosstalk), 터미네이션 기법들에 관해 설명하였다. 패키지 핀 및 PCB 신호선의 인덕턴스 성분들로 인한 그라운드 바운스 현상은 칩 내장 바이패스 커패시터(OBC)를 이용하면 줄일 수 있다.

향후, IC 칩 내부와 칩 외부의 PCB상에서 수 백 MHz 또는 1GHz 이상으로 동작하는 회로 시스템들이 많이 개발될 것으로 예상되므로, 전송선 해석 기법은 IC 설계자나 카드 툴 개발자들이 필수적으로 숙지해야 될 분야가 될 것으로 판단된다.

참 고 문 헌

- [1] H.B.Bakoglu, "Circuits, Interconnections, and Packaging for VLSI", Addison Wesley, 1990.
- [2] K.Itoh, K. Sasaki, Y. Nakagome, "Trends in Low-Power RAM Circuit Technologies", Proceedings of the IEEE, vol 83, no.4, Apr. 1995.
- [3] 유희준, "DRAM design", 홍릉과학출판사, 1996년 11월
- [4] T.Sakurai, K.Tamaru, "Simple Formulas for Two-and Three-Dimensional Capacitances", IEEE Transactions on Electron Devices, vol. ED-30, no.2, pp. 183-185, Feb, 1983.
- [5] Paul Franzon, "Electrical Design of Packaging", Design Automation Conference Tutorial, 1993년 6월
- [6] 박홍준, 박종훈, 김찬경, "High Speed Digital 회로에서의 transmission line 효과, crosstalk, termination 및 ground bounce 현상", 슬라이드 모음집, 포항공과대학교, 정보통신연구소, Technical Report, no.PIRL-TR-97-9, 1997년 10월
- [7] 박종훈, "DRAM 칩과 SIMM 메모리 모듈의 신호보전성 분석에 관한 연구", 박사학위논문, 포항공과대학교, 1996년
- [8] 박종훈, 김찬경, 박홍준, "DRAM 동작을 포함한 메모리 모듈의 시간영역 분석을 위한 HSPICE 회로모델", 포항공과대학교, 정보통신연구소, Technical Report, no.PIRL-TR-97-7, 1997년 9월
- [9] Jong-Hoon Park, Hong-June Park, "A Measurement-based SPICE Circuit Modeling of VLSI Package Inductances Using the RAPHAEL 3D Simulation Program", 3th ICVC, pp.123-126, 1993.
- [10] 박종훈, 박홍준, "RAPHAEL 프로그램을 이용한 인텔 I486 마이크로 프로세서의 168 pin PGA 패키지 인덕턴스 모델링", 전자공학회는 문집 제 31권 A편 제10호 PP.94-100, 10월, 1994년
- [11] H.W.Johnson, M.Graham, "High-Speed Digital Design: A Handbook of Black

- Magic”, Prentice Hall, 1993.
- [12] K.Lee, “Modeling and Analysis of On-Chip and Off-Chip Power Supply Network”, 5th ICVC, pp.113-117, 1997.
 - [13] H.W.Ott, “Noise Reduction Techniques in Electronic Systems”, Second Edition, John Wiley and Sons, 1989.
 - [14] V.K.Tripathi, “EMI/EMC Effects in IC Design”, EPFL 단기강좌, Lausanne, Switzerland, July 4-8, 1994.
 - [15] J.H.Choi et.al, “A Simultaneous Switching Noise Analysis System and It’s Application to High Speed Memory Module Design”, 5th ICVC, pp.121-123, 1997.
 - [16] Jong-Hoon Park, Hong-June Park, Bo-Kyoung Choi, Oh-Hyun Kim, Si-Don Choi, “Simultaneous Switching Noise Analysis of a 16MB×9 DRAM SIMM Memory Module”, International Journal of High Speed Electronics and Systems, vol. 6, no. 4, Dec, 1995.
 - [17] Chan-Kyong Kim, Jong-Ki Nam, Jae-Yoon Sim, Hong-June Park, Jong-Sun Kim, Soo-In Cho, “Investigation of Requirements for High-Speed DRAM Interface using Rambus-C as an Example”, 5th ICVC, pp.118-120, 1997.

저자 소개

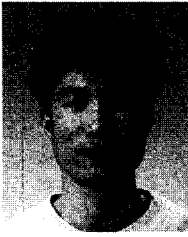


朴 鴻 濬

1956年 10月 11日生
 1979年 2月 서울대학교 공과대학 전자공학과 학사
 1981年 2月 한국과학기술원 전기 및 전자 공학과 석사
 1989年 5月 University of California, Berkeley, 전자 공학 박사

1981年 3月~1984年 7月 한국전자통신연구소 연구원
 1989年 1月~1991年 5月 INTEL사(U. S. A) Senior Engineer
 1991年 6月~현재 포항공과대학교 전자전기공학과 조교수, 부교수

주관심 분야: 고속 및 저전력 집적회로 설계, PCB 전송선 및 집적회로 소자 모델링



金 燦 景

1973年 7月 3日生

1992年 3月~1996年 2月 경북대학교 전자전기공학과(B.S)

1996年 3月~현재 포항공과대학교 대학원 전자전기공학과
(M. S)

주관심 분야: 전송선 모델링과 해석을 포함한 PCB 신호 보전성, 저전력 IC 설계



朴 鍾 勳

1961年 3月 24日生

1980年 3月~1984年 2月 연세대학교 전자전기공학과(B.S)

1984年 3月~1986年 2月 연세대학교 전자전기공학과(M.S)

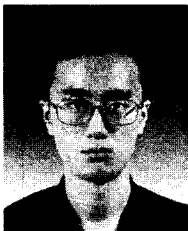
1992年 3月~1996年 2月 포항공과대학교 대학원 전자전기공학과
(Ph.D.)

1986年 1月~1989年 12月 금성반도체(주) 중앙연구소 연구원

1990年 1月~1992年 3月 금성일렉트론(주) 선임연구원

1996年 9月~현재 LG반도체

주관심 분야: ASIC 설계, IC 전송선 및 패키지 모델링 및 해석



孫 寧 洙

1974年 2月 14日生

1993年 3月~1997年 2月 서강대학교 전자공학과(B.S)

1997年 3月~현재 포항공과대학교 대학원 전자전기공학과
(M.S)

주관심 분야: PLL 및 고속 CMOS 회로 설계, 전송선 모델링과 해석을 포함한 PCB 신호 보전성