

CDMA 방식의 이중대역 전력증폭기의 설계 및 제작

正會員 윤 기 호*, 유 태 훈**, 유 재 호**, 박 한 규***

Design and implementation of dual band power amplifier for 800MHz CDMA and PCS handset

Gi Ho Yun*, Tae Hoon Yoo**, Jae Ho Yoo**, Han Kyu Park** *Regular Members*

요 약

본 논문에서는 국내향 800MHz CDMA 와 PCS(CDMA 방식)에서 동시에 사용될 수 있는 이동통신 전화기의 핵심부품인 이중대역 전력증폭기 모듈에 대한 연구를 기술하였다. CDMA 방식의 전화기가 갖는 사용빈도가 가장 높은 출력(10~15dBm)이 선형영역인점을 고려하여 중단전력증폭용 GaAs FET의 DC 동작점을 B급으로 제한하므로서 배터리 사용시간을 연장하였다. 따라서 낮은 동작점에서도 우수한 선형성을 가진 2개의 Plastic GaAs FET로서 모듈을 구현하였고 입출력단에 주파수 분리회로를 설계하여 2개의 주파수 대역을 사용할수 있게 하였다. 모듈의 소형화를 위해 다층기판을 사용하였으며 협소한 전송선로간의 전자기결합과 기판 각 층간의 via hole 등은 전자기 해석을 통해 회로 설계에 반영하였다. 모듈 전체 크기는 0.96CC(22×14.5×3mm³) 이고 출력 10~15dBm에서 모듈 총전류는 130mA이다. 선형특성은 출력 28dBm(CDMA,800MHz)와 23.5dBm(PCS)에서 IS-95에서 규정하는 ACPR(Adjacent Channel Power Rejection)보다 2~3dB 여유도를 가진다.

ABSTRACT

In this paper, the design and implementation of dual-band power amplifier which is used as a critical part for mobile phone to be simultaneously working at a dual band, 800MHz CDMA and PCS frequency band is described. DC operating point of power FET is limited to Class-B to enable long talk time considering that the typical power range of CDMA phones in working is around 10 to 15dBm, i.e., linear range. The power amplifier which employs two GaAs FETs with good linearity at a low operating point has duplexer circuit to separate two frequency bands at input and output stage. Electromagnetic analysis for via holes and coupling between narrow transmission lines is included to design a circuit. Module size of 0.96CC(22×14.5×3mm³) and maximum module

*호남대학교 전자공학과
**연세대학교 전자공학과
***연세대학교 전자공학과
論文番號:97184-0603
接受日字:1997年 6月 3日

current of 130mA at output power range, 10 to 15dBm are attained. The power amplifier module has achieved ACPR performance with 2 to 3dB margin from IS-95 requirement at output powers, 23.5dBm for PCS and 28dBm for 800MHz CDMA respectively.

I. 서 론

아날로그 셀룰라 시스템으로 이동통신 시대를 시작한 우리나라는 급증하는 수요자와 기술발달에 힘입어 CDMA 방식을 채택한 800MHz 대역의 디지털 이동통신 시대를 개막하였으며 꾸준한 이동전화 수요는 놀랄 정도로 상승하고 있다. 이제 다시 '97년 하반기부터 서비스될 국내향 PCS는 국내 셀룰라전화기 시장에 일대 전환기를 가져다 줄 것이며 전화기 가격 하락, 통화료 인하등 여러 이동전화 시스템 간의 극심한 경쟁을 예고하고 있다.

한편 여러시스템이 공존하는 가운데 이들간에 공동으로 사용할 수 있는 전화기가 필요하며 아날로그 방식인 AMPS와 800MHz CDMA 시스템을 공동으로 사용하는 Dual mode 전화기는 이미 상품화되었고 여기에 사용되는 전력증폭기 연구가 발표[5]된 바 있다. 그러나 97년 하반기에 국내 PCS서비스가 계획됨에 따라 800MHz CDMA와 PCS 시스템에서 공동으로 사용될 순수 디지털 방식의 이중대역(Dual band) 전화기 개발필요성이 제기되고 있으며 부품차원에서 이를 위한 전력증폭기 개발이 선행되어야 한다.

한편 기존의 이동통신용 전화기 사용에 있어 커다란 문제점은 배터리 사용시간이며 송신용 전력증폭기가 이를 좌우하는 것은 주지의 사실이다. 따라서 전력증폭기의 효율을 개선하기 위한 연구가 아날로그 이동통신용 전화기에서부터 부단히 연구[1-4]되어 왔다. 그러나 디지털 이동통신 방식에서는 전력증폭기의 효율 뿐만 아니라 이와 전기적인 성능면에서 상충되는 선형성이 중요하고 특히 CDMA 방식의 전화기에서는 이에 대한 IS-95 요구사항을 만족해야 한다.

그간 디지털통신용 전력 증폭기의 효율과 선형성 개선을 추구하는 많은 연구[6-10]가 있어 왔으며 주로 0.5Watt 이상의 고출력레벨에서 반도체 자체의 구조 개선을 통해 A급 혹은 AB급에서 최적 정합회로를 구현하였다. 설계 방법에 있어서도 비선형 등가모델에 근거한 설계방법과 Load/Source pull 방법이 주류를

차지하였다. 그러나 소형화가 중요한 전화기용 전력 증폭기는 좁은 공간에서 오는 전송선로간 및 모듈기구와의 전자기적 결합이 성능에 영향을 주기 때문에 비선형 등가회로에 의한 접근은 실제특성과는 거리가 있다.

본 논문에서는 2개의 GaAs MESFET로서 이중대역 CDMA 디지털 방식의 셀룰라전화기에 사용될 핵심부품인 전력증폭기 모듈을 구현하고자 한다. 특히 전력제어가 중요한 CDMA 방식의 이동통신 전화기가 실제 동작환경에서 대부분의 시간을 최대 출력전력에서 사용하기 보다는 선형 특성을 보여주는 10~15 dBm 근처의 출력에서 동작한다는 통계를 토대로 이 전력레벨에서 전화기의 배터리 소모전류는 종단 전력증폭용 소자의 동작점 전류에 의해 결정되므로 동작점을 B급이하로 설정하고 CDMA에서 요구하는 선형성(ACPR, Adjacent Channel Power Rejection 이하 ACPR 이라 칭함)을 최대출력(PCS: 23.5dBm, 800MHz CDMA: 28dBm)에서 만족하도록 한다. 이를 위해서 동작점이 낮은 B급 상태에서도 선형성을 유지하도록 게이트 전압변화에 대해 일정한 trans-conductance(Gm)를 갖는 종단 GaAs Power FET을 선정하였고 이 동작점에서 CDMA 신호원을 Auto-tuner에 인가하여 Load/Source-pull 방법으로 중심주파수에서 IS-95에서 기준으로 하는 ACPR를 만족하고 여러 성능을 trade-off하는 최적 임피던스를 측정하였다.

측정된 최적임피던스와 주어진 산란계수로부터 전력증폭기를 설계하였으며 모듈소형화로 인한 전송선로간, via hole 그리고 선로와 기구간의 전자기적 결합특성은 전자기 해석을 통해 설계에 반영하였다. 특히 종단 전력증폭소자는 F-급 동작을 할 수 있도록 입출력 임피던스가 고려되어 설계되었다. 두 개의 주파수대역을 분리하기 위해 높은 분리도를 갖는 여파기들을 모듈의 입출력단에 위치시키고 interstage 정합으로는 두 개의 주파수 대역에서 동시에 정합이 이루어 지도록 한다. 또한 회로의 크기를 줄이기 위해 다층기판을 사용하였다.

II. 고효율 전력증폭기 기본이론

전력증폭기는 능동소자를 구동시키는 동작점의 위치와 부하임피던스의 특성에 따라 Class A, Class B, Class AB와 Class F등의 동작증폭기로 구분할 수 있으며 각기 장단점을 가지고 있다. 특히 전력효율을 개선하기 위해서는 증폭기에서 발생하는 고조파 출력전력을 최소화시키는 것이 중요하다. 이는 FET에서 이상적인 스위치동작이 되게하여 기본주파수의 전력만이 부하에 전달되도록 하는 것으로서 그림 1과 같이 전압은 구형파로 이상적인 스위치로서 동작시키고 드레인 전류는 이상적인 B급 파형을 형성시킨다. 이때 Class F 동작이론은 동작점과 고조파에 대한 출력임피던스를 다음과 같이 조절하므로써 그림 1과 같은 출력전압, 전류파형으로 만들고 이를 통해 드레인 효율을 최적화 시키는 방법이다[1]. 즉, 식(1)과 같이 드레인에서 출력단을 바라보았을 때, 기본주파수(ω_0)의 임피던스(Z_{fund})에 대해서는 정합되어 있고 짝수고조파의 임피던스(Z_{even})는 단락회로로, 홀수고조파 임피던스(Z_{odd})는 개방회로로 되어야 한다. 한편, 그림 1(b)의 전류파형은 게이트 바이어스를 핀치오프 전압에 두어 얻을 수 있다.

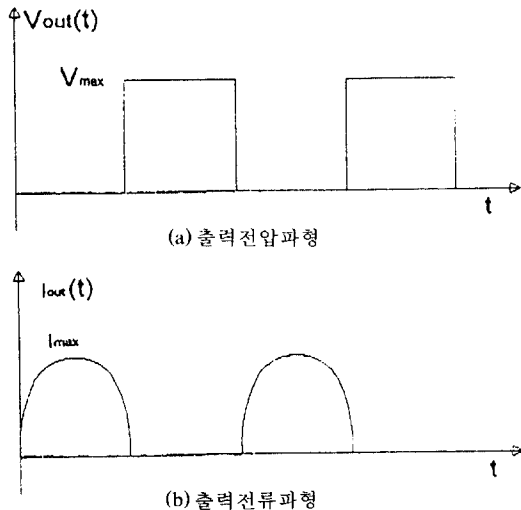


그림 1. Class F 동작증폭기의 출력파형
Fig. 1. Output waveform of Class-F power amplifier

$$Z_{even} = 0 \Omega \text{ (Short circuit)}$$

$$Z_{odd} = \infty \Omega \text{ (Open circuit)}$$

$$Z_{fund} = \frac{\frac{2}{T} \int_T V_{out}(t) \sin(\omega_0 t) dt}{\frac{2}{T} \int_T I_{out}(t) \sin(\omega_0 t) dt} = \frac{4V_{max}}{\pi I_{max}} \Omega \quad (1)$$

여기서 T 는 그림 1의 교류신호의 전압(V_{out})과 전류(I_{out})의 주기이고 V_{max} 와 I_{max} 는 이들의 최대값이다. 기본파를 제외한 홀수차의 고조파와 짝수차의 고조파전력은 식(1)의 출력임피던스 조건들에 의해 이상적인 경우 출력에 나타나지 않는다[1]. 따라서 기본파만으로 구성된 출력단의 최대 출력전력 ($P_{RF, max}$)과 최대 드레인효율(η_{max})은 다음 식(2)(3)와 같다.

$$P_{RF, out} = \frac{1}{2} \left(\frac{2}{T} \int_T V_{out}(t) \sin(\omega_0 t) dt \right) \cdot \left(\frac{2}{T} \int_T I_{out}(t) \sin(\omega_0 t) dt \right) = \frac{I_{max} V_{max}}{2\pi} \quad (2)$$

$$\eta_{max} = \frac{P_{RF, max}}{P_{dc}} = \frac{I_{max} V_{max}}{2\pi} \cdot \left(\frac{1}{T} \int_T V_{out}(t) dt \right) \left(\frac{1}{T} \int_T I_{out}(t) dt \right) = 100\% \quad (3)$$

이때 얻어진 최대전력은 Class A 또는 Class B 동작 전력증폭기보다 1.2배 크며 효율도 최대 100%까지 얻을 수 있다. 또한 고조파들 중에서 상대적으로 전력크기가 큰 2번째, 3번째 고조파의 제어가 중요하며 이를 위해 각기 고조파에 대해 임피던스 구현을 위한 하모닉튜닝이 필요하다. 한편, FET의 출력단은 물론 입력단에서도 식(1)과 같이 고조파 임피던스들을 구현할 때 지금까지 언급한 효율은 물론 선형특성을 향상시킬 수 있다. 즉, 1dB 이득 감소전력 점인 P_{1dB} 가 상승하며 결과적으로 CDMA 디지털방식 전화기에 사용되는 전력증폭기의 선형성을 나타내는 ACPR을 개선할수있다[11].

한편, CDMA 시스템에서는 전력 효율이 다른의미에서 정의 되고 있다. 시스템의 전력제어에 따라 전자기 안테나 출력이 통상 15dBm 이하일 때가 대부분

이기 때문에 통상 전력증폭기의 출력범위가 10~15dBm 부근에서 배터리 소모가 적어야 전체적으로 배터리 사용시간을 늘릴 수 있다. 즉, 이 범위의 출력에서는 증폭기의 선형영역에 속하므로 직류동작점 위치에 따른 전류값이 중요하게 대두되는 것이다. 따라서 동작점을 형성하는 드레인 전류를 제한함에 따라 결국은 동작점이 B 급 바이어스가 된다. 한편 디지털 방식인 CDMA 이동통신 전화기는 전력증폭기의 입출력에서 높은 선형성이 요구된다. 그래서 전력증폭기의 선형성을 나타내는 지표로서 안테나 송신 출력에서 신호의 왜곡정도에 따라 정해지는 인접채널제거비(ACPR)가 확보되어야 하며 이값은 CDMA 규격인 IS-95를 만족해야 하기 때문에 Power FET 부품차원에서 선형특성이 우수해야 한다.

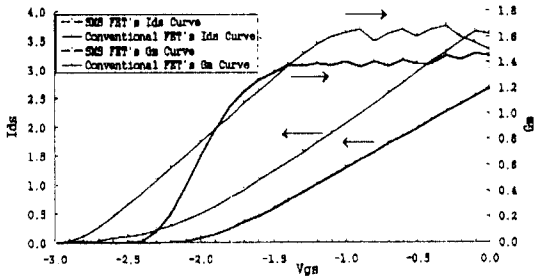


그림 2. Power FET의 Trans-conductance(G_m)특성
Fig. 2. Trans-conductance(G_m) characteristics of Power FET

본 논문에서는 SMS(Samsung Microwave Semiconductor Corps.)사에서 개발된 12mm n-channel 게이트 폭을 가진 Power MESFET을 사용하였으며 B급의 동작점에서도 높은 선형성을 확보하기 위해 그림 2에서 보여주는 바와 같이 넓은 게이트 전압 범위에서 평탄한 전달컨덕턴스(Transconductance, G_m)값이 있다. 그림 2에서처럼 종래(Conventional FET)의 이온 주입법(implantation)보다 훨씬 넓은 평탄 특성을 가지고 있어 대신호의 동작에서도 G_m 의 고차성분이 영의 값에 근접하여 왜곡을 최소화 할 수 있다[6].

III. 이중대역 전력증폭기의 설계

그림 3은 본 연구에서 제안하고 있는 이중대역 전

력증폭기에대한 블록 구성도이다 그림에서 보는 바와 같이 2개의 Plastic package의 GaAs FET가 사용되었다. 직류 전원으로 드레인단(V_{dd1} , V_{dd2})에 4.7V와 게이트 단자에 음전원 용으로 -3.5V가 RF Choke 회로를 거쳐 인가된다. 두 시스템의 동작은 동시에 이루어지는 것이 아니라 전화기 Set의 대역선택에 따라 결정되기 때문에 하나의 주파수 대역에서 동작할 때 다른 주파수 대역의 회로는 일종의 부하로 작용하고 이때 서로간의 영향이 없도록 설계되어야 한다. 이를 위해서 입출력단에 서로 다른 주파수 대역을 구분할 수 있는 회로 및 각기 주파수 대역에 적절한 정합 회로로서 구성된다.

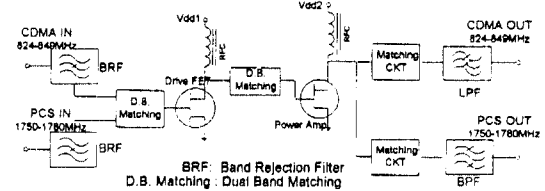


그림 3. 전력증폭기의 전체 구성 블록선도
Fig. 3. Overall block diagram of power amplifier

중단 전력증폭기의 최적 입출력 부하 임피던스는 각 대역의 중심주파수에서 Load/Source pull 방법의 의해 정해진다. Power FET의 동작점은 4.7V의 드레인 전압과 60mA 이하의 드레인 전류에서 동작점을 잡는다. 이때 Power FET을 장착하고 있는 테스트 Jig는 게이트 입력단에 안정화 저항, 270Ω을 사용하여 tuning 과정에서 발전에 따른 부품과피를 방지하는 한편 실제회로에 삽입된다. 사용된 Auto tuner는 Focus사에서 제작한 1808 모델이다. Hp 8921A와 결합된 Hp83203B의 CDMA Cellula adapter는 대역이 1.23 MHz이며 OQPSK 방식으로 변조된 출력으로 CDMA 신호원을 만들며 Power FET에 입력되는 신호의 왜곡을 방지하기 위해 높은 선형성을 갖춘 전치증폭기를 사용한다. 또한 출력단 tuner 이후에서 출력신호의 일부를 방향성결합기로 분기시켜 스펙트럼 분석기를 통해 소자의 발전상태 및 ACPR 성능을 확인한다.

먼저 출력단의 임피던스를 50Ω으로 고정한 다음 입력단에서 이득과 중심주파수에서 각기 900KHz와 1.98MHz 떨어진 점의 ACPR 성능등을 확인하면서

적당한 입력임피던스를 찾은 다음 출력단의 tuning을 한다. 출력 임피던스 변화에 따른 출력레벨과 이에 따른 효율, ACPR 등을 고려하여 마찬가지로 적절한 출력임피던스를 찾은 다음 다시 한번 입출력단을 tuning 하여 최적 임피던스를 찾는다. 이때 출력은 23.5dBm(PCS), 27dBm(800MHz대역의 CDMA, 이하 CDMA로만 칭함)으로 고정한다. 그림 4에는 임피던스 변화에 따른 이득, 효율, 900KHz와 1.98MHz에서의 ACPR성능의 궤적을 보여준다. 이때 선정된 최적 입출력 임피던스 및 이점에서 얻어진 전기적인 특성은 표 1과 같다.

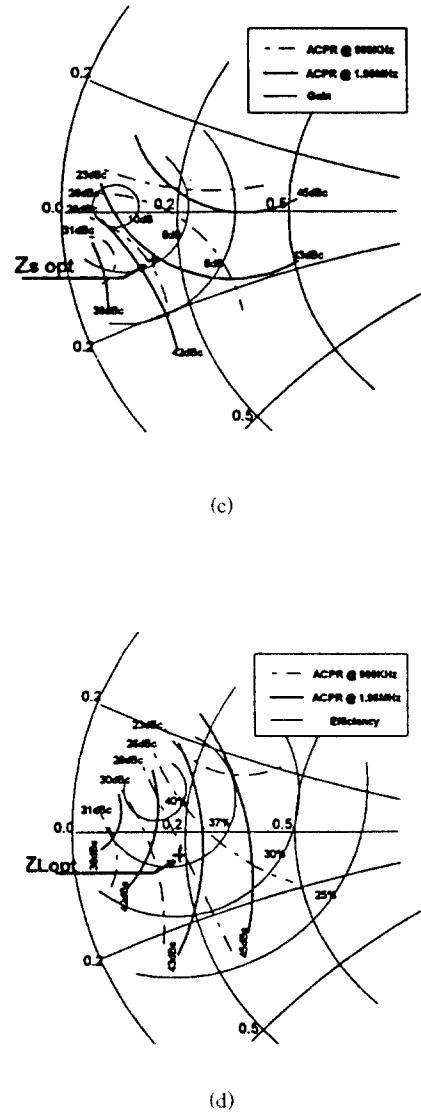
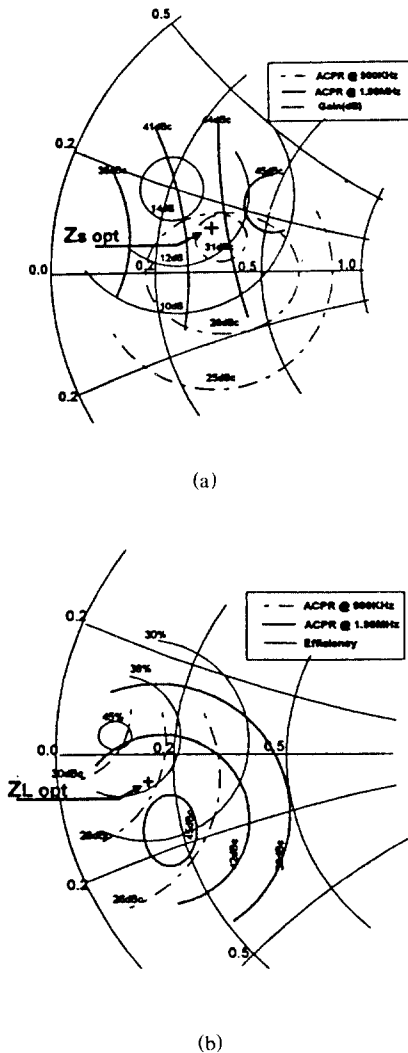


그림 4. 입출력 임피던스 변화에 따른 이득, 효율, ACPR 궤적

- CDMA 주파수(835MHz)에서의 입력(a), 출력(b) 임피던스 변화
- PCS 주파수(1765MHz)에서의 입력(c), 출력(d) 임피던스 변화

Fig. 4. Locus of ACPR, efficiency and gain corresponding to variation of input and output impedance :
Input(a) and Output(b) impedance variation at 800MHz CDMA
Input(c) and Output(d) impedance variation at PCS

표 1. 최적임피던스 및 전기적 성능

Table 1. Optimum impedance and its electrical performance

	최적 입력력 임피던스 (Z_{Spt}/Z_{Lopt})	ACPR (900KHz/ 1.98MHz)	이득 (dB)	효율 (η , %)
CDMA (835MHz)	$0.518 \angle 165^\circ /$ $0.729 \angle -170^\circ$	28dBc/ 40dBc	13.5	36
PCS (1765MHz)	$0.733 \angle -169^\circ /$ $0.658 \angle -174^\circ$	28dBc/ 40dBc	9	37

출력단 정합회로 및 2개의 주파수 대역을 분리하기 위한 개념적 회로들을 그림 5에서 볼 수 있다. 이들 회로는 다음과 같은 기능을 수행한다. 첫째, 각 주파수 대역에서 이미 구한 최적 부하 임피던스들이 Power FET의 드레인단자에서 출력단을 바라본 임피던스 Z_{out} 상에 구현되어야 한다. 둘째, 전력증폭기의 효율적인 동작 수행을 위해 F 급 동작을 할 수 있도록 2개의 주파수 대역에서 각기 기본주파수의 제2 고조파에서는 단락(short)을 시키며 제3 고조파에서는 개방(open)이 될 수 있도록 한다. 또한 모듈자체의 고조파 제거에 대한 사양을 만족할 수 있어야 한다. 마지막으로 2개의 주파수 대역을 분리하기 위해 일종의 듀플렉서와 같은 기능을 수행할 수 있도록 회로가 구성되어야 한다. 즉, 상호간의 다른 전송대역 신호에 대한 손실이 최대가 되어야 한다.

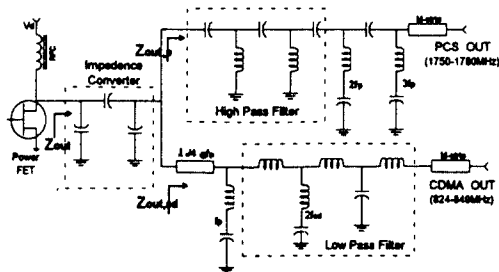


그림 5. 출력단 회로의 개략도
Fig. 5. Schematic diagram of output circuit

이러한 목적들을 수행하고 있는 회로 구성을 살펴보기로 한다. 최적 부하임피던스로서 정해진 입력임피던스 Z_{out} 은 낮은 임피던스를 가지므로 이를 50Ω으

로 변환해주는 임피던스 변환기(impedance converter)가 필요하다. 한편, 2개의 주파수 대역을 분리해 주기 위한 듀플렉서 기능은 다음과 같다. 즉, 그림 5에서와 같이 CDMA 출력 경로로 입사된 PCS 대역의 신호(f_p)는 이 주파수(f_p)로 동조된 직렬공진기와 $\lambda_p/4$ 마이크로 스트립선로의 결합으로 구현된 높은 임피던스($Z_{out, cd}$)에 막혀 진행하지 못하고 PCS 출력 경로로 전송된다. 반면에 CDMA 신호 역시 PCS 경로로 입사할 수 있지만 고역통과 여파기의 높은 입력임피던스($Z_{out, p}$) 때문에 전송되지 못하고 CDMA 전송경로로 신호가 출력된다. 이때 고조파들중 CDMA 제2고조파 주파수($2f_{cd}$)와 PCS 통과대역주파수(f_p)가 인접하여 있으나 전력증폭기 모듈이 2개 주파수 대역에서 동시에 동작하지 않기 때문에 $2f_{cd}$ 주파수를 갖는 신호가 PCS 출력단자로 출력되어도 문제되지 않는다.

CDMA 전송경로상의 저역통과여파기는 제2, 제3 고조파 신호($2f_{cd}$, $3f_{cd}$)를 제거하여 전력증폭기 모듈 전체의 고조파제거 사양을 만족시키는 한편 F급 동작과도 관련을 갖는다. 저역여파기내의 직렬공진회로는 $2f_{cd}$ 주파수에서 공진하며 CDMA에 대한 출력임피던스($Z_{out, cd}$)를 $2f_{cd}$ 주파수에서 단락되게 하기 때문이다. 실제회로에서는 이 주파수에서 self-resonance 특성을 보여주는 캐패시터를 shunt로 연결한다.

PCS 전송경로상의 특성은 고역통과 여파기와 2개의 trap 회로(직렬공진회로)로 구성되는 일종의 대역통과 여파기의 기능을 갖는다. 다시 말해서 고역통과 여파기는 800MHz CDMA 신호를 억제하며 이와 연결되는 2개의 직렬공진회로는 제2, 제3고조파 신호($2f_p$, $3f_p$)와 동조되어 있으며 따라서 이들을 제거하여 전력증폭기가 고효율 동작 수행 및 고조파 신호를 억제하게 된다. 이러한 F급 동작은 비단 전력효율 뿐만 아니라 전력증폭기의 선형 특성을 개선[11] 시키는 효과를 가져와 단일주파수의 튜닝만으로 이루어지는 Load/Source pull 방식에 의해 구한 최적임피던스에서 측정된 선형특성보다 개선된 ACPR을 확보할 수 있음을 이후의 실험데이터에서 입증될 것이다.

그림 6은 3단자 회로망인 종단 Power FET의 출력 회로에 대해 HP/EEsof사의 MDS로 모의 실험한 결과이다. 이때 3단자회로망의 입력단 부하임피던스는 Load pull에서 구한 최적임피던스의 공액 임피던스이며 나머지 2개의 출력단 부하는 50Ω이다. PCS 신

호 전송경로의 전달 특성(S[3, 1])은 대역통과 여파기 특성과 같고 CDMA 신호의 전송경로의 전달 특성(S[2, 1])은 저역통과 여파기와 같음을 알 수 있다.

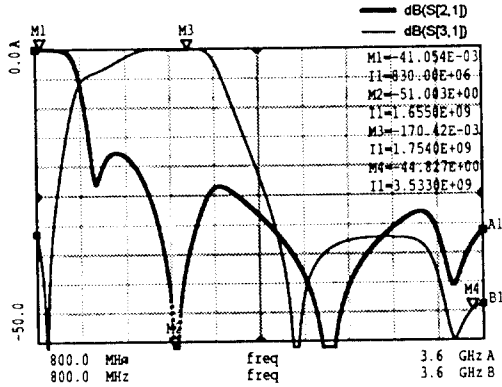


그림 6. 출력단 동작특성을 보여주는 모의 실험 결과.
Fig. 6. Simulation results on schematic diagram of output circuit.

입력단 회로의 구성은 그림 7과 같이 2개의 경로로 각기 입력된 주파수 대역이 상호간에 간섭을 주지 않도록 분리하는 기능이 필요하며 결합되었을 때 손실이 가능한 없도록 한다. 따라서 2개의 경로는 상대방의 주파수 대역을 저지하기 위한 대역저지 여파기들로 구성되며 회로가 복잡해지지 않도록 최소크기의 여파기를 구현한다. CDMA 전송경로는 PCS 대역의 신호(f_p)를 저지하기 위해 하나의 shunt 직렬 공진회로(공진주파수, f_p)와 series 병렬공진회로(공진주파수, p)로 구성된다. 또한 PCS 전송경로는 CDMA 대역의 신호(f_{cd})를 저지하기 위해 고역통과 여파기와 series 병렬공진회로(공진주파수, f_{cd})로 구성된다.

중단전력증폭기의 1dB 이득 감소점(P_{1dB})과 이득 그리고 중단 전력증폭기와 구동전력증폭기간의 부정합에 의한 손실(약1dB)을 고려하고 구동증폭기로 사용되는 부품자체의 선형성을 나타내는 1dB 이득 감소점(P_{1dB})을 고려해 볼 때 구동증폭기는 선형영역에서 동작하는 것으로 간주한다. 따라서 주어진 산란 계수를 이용하여 2개의 대역에서 증폭기의 설계를 하기 위해서 광대역 정합방식을 취할 경우 낮은 주파수 대역에서 이득 손실이 예상되므로 2개의 주파수 대역에서만 필요한 이득을 얻도록 최적화 과정을 거친다.

이때 증폭기의 안정도를 고려하여 200Ω의 안정화 저항을 게이트 단자에 shunt로 연결한 후 새로운 산란 계수를 얻어낸 다음 설계한다.

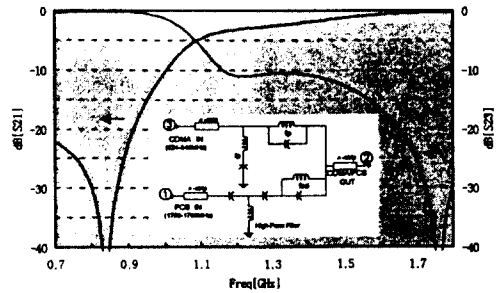


그림 7. 입력단 회로의 구성 및 그 전달특성
Fig. 7. Schematic diagram and transfer characteristics of input circuit.

이동통신 전화기의 제품 특성상 각 부품의 소형화가 중요하므로 전력증폭기 모듈의 크기가 작아야 한다. 따라서 모듈내의 좁은 공간에 많은 부품을 집적화시켜 회로를 배치하므로 전송선로들간, 전송선로와 기구간의 전자기적 결합특성이 전력증폭기의 성능에 영향을 미친다. 또한 본 논문에서 설계된 모듈은 다층기판을 이용하기 때문에 각 층간을 연결하는 via hole에 대한 성능 평가도 필요하며 중간층에 존재하는 스트립선로 간의 전자기적 결합도 고려하여 설계에 반영하여야 한다. 전자기 해석은 모멘트 방법을 이용하는 Zeland S/W사의 IE3D를 활용하였다. 특히 결합부분에 대한 해석의 정확성을 위해 전송선로의 가장자리에 edge cell을 두었다. 그림 8에는 데이터 곡선 옆에 있는 그림의 구조와 같이 다층기판의 최상위 층과 내층을 연결하는 via hole과 내층에 있는 스트립선로를 지나 다시 최상위층으로 연결되는 via hole로 구성되는 전송선로들중 대표적인 것을 선정하여 전송특성(S_{21})의 모의실험결과(그림 8의 LINE 곡선)를 보여주고 있으며 아울러 이 선로의 한 부분인 via hole 자체의 결과(그림 8의 VIA 곡선)도 나타나 있다. 모의 실험을 통해 전송선로의 폭에 비해 선로간의 간격이 좁아짐에 따라 선로의 전기적인 길이가 짧아지는 것을 확인하였고 이를 회로 설계에 반영하였다.

IV. 실험 및 결과 분석

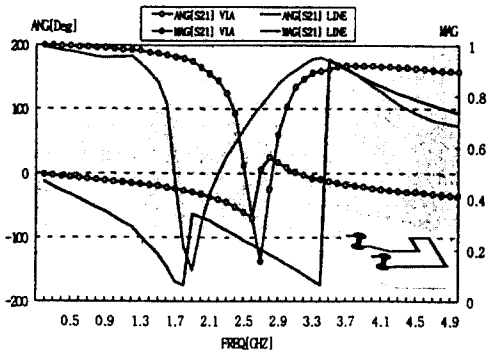


그림 8. 전자기해석에 대한 모의 실험 결과.
Fig. 8. Simulation results of electro-magnetic analysis.

지금까지 부분별로 설계된 각 회로를 결합하고 전자기 해석 결과를 반영하여 그림 9과 같이 전체회로를 구성한다. 여기에서 사선으로 표시된 스트립선로는 다층기판의 내층에 위치하고 있다. 게이트에 공급되는 음전원은 2개의 저항으로 분리되어 공급되며 안정화 저항(200Ω, 270Ω) 및 바이패스 캐패시터(1000pF)와 함께 병렬로 연결되어 있다. 원하는 드레인 전류를 얻기위해 게이트 전압 조정용 저항이 게이트 단자에 추가되기도 한다. 드레인 전압은 고주파 억제회로(RFC)를 통해 공급되며 통상 RFC는 $\lambda/4$ 의 길이를 사용하나 회로의 집적화 또는 모듈 크기를 줄이기 위해 이보다 짧은 길이를 사용하거나 정합회로의 일부로서 사용되기도 한다.

4.1 전력증폭기의 제작

그림 10에서처럼 증폭기 모듈의 크기를 줄이기 위해 PCB는 4층기판을 사용하였다. 2층과 4층은 접지면이고 첫 번째 층은 마이크로 스트립 구조로서 모든 부품이 탑재되며 또한 원하는 성능을 얻기위해 조정이 필요한 회로들이 위치한다. 3번째 층은 스트립 선로 구조이며 주로 회로를 구성하는 선로중에서 전원공급을 위한 고주파 초크(RFC) 및 선로 길이가 길면 서도 성능에 덜 민감한 부분을 위치시킨다.

각 층의 유전체 재질은 FR4($\epsilon_r = 4.7$)이다. 그림 11(a), (b)에 각각 1층과 3층에 대한 각각의 layout을 보여준다. 그림 11(c), (d)에는 완성된 증폭기 모듈의 뒷면에 대한 기구도면(c)과 각 단자의 기능 그리고 조립된 실제의 모듈 사진(d)이 나타나 있다. 모듈의 크기는 set에 모듈 부착을 위한 공간인 날개 부분을 제외하고 0.96cc($22 \times 14.5 \times 3\text{mm}^3$)이다. 본 논문의 전력증폭기는 2개의 주파수대역에서 동작하므로 각기 2개의 입출력 단자를 가지며 FET의 게이트에 공급하는 음전원은 단자 ③을 이용하여 공통으로 사용하였다. 1층에 탑재되는 저항과 캐패시터들은 1005 type으로 모듈크기를 줄일 수 있게 하였다.

본 논문에서 구동증폭및 전력증폭용 소자로서 사용된 2개의 GaAs FET는 SMS(Samsung Microwave Systems)사에서 개발된 plastic package 이다. 따라서

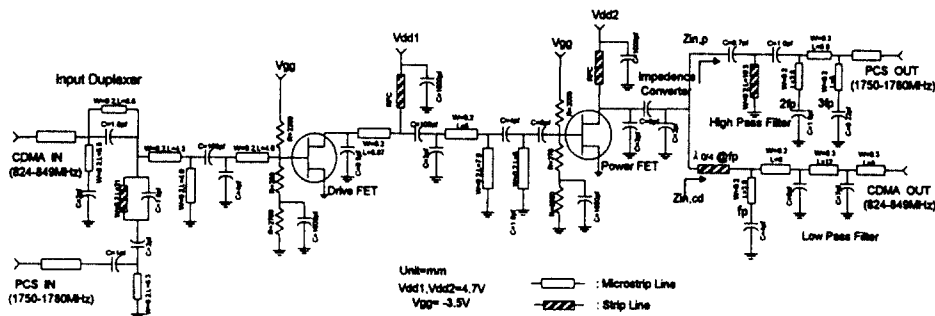


그림 9. 전체 회로 구성도
Fig. 9. Overall schematic diagram

전력증폭용 소자의 원활한 방열을 위해 FET의 Source 단자와 연결되는 접지면 그리고 기구사이에 방열경로를 최대한 확보한다.

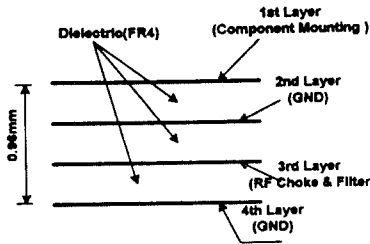


그림 10. 전력증폭기에 사용된 4층기판의 단면도
Fig. 10. Cross section of 4 layer PCB

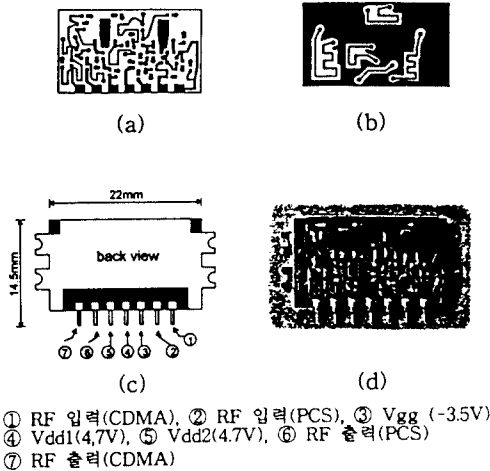


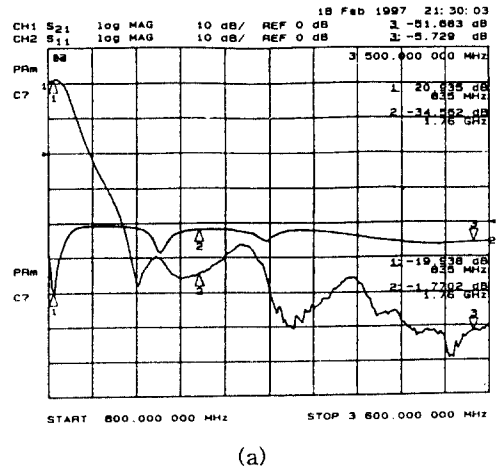
그림 11. 완성된 전력증폭기 모듈 회로의 layout. 1층(a), 3층(b) 기구 및 단자 배치도 (c) 및 완성된 사진(d)
Fig. 11. Implemented power amplifier module circuit layout. 1st layer(a), 3rd layer(b) mechanical drawing and pin description (c) and its photograph (d)

4.2 실험결과 및 고찰

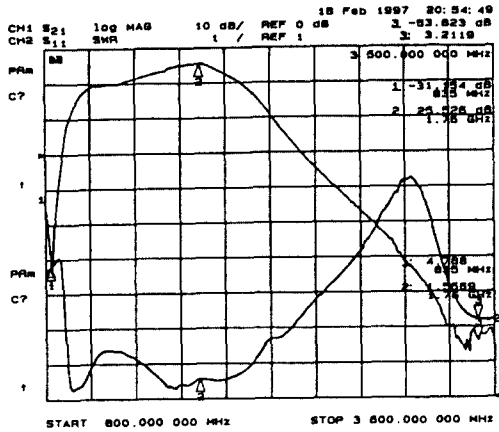
제작된 모듈을 측정하기 위해 이를 탑재하고 실험할 수 있도록 사전에 보정된 테스트 jig를 사용한다. 최적임피던스를 측정할 때 사용된 바이는 800MHz CDMA 신호원으로부터 PCS 대역의 신호원을 얻기 위해 혼합기를 사용하여 상향변환한다. 모듈에 공급되는 입력레벨을 맞추기위해 CDMA 신호원의 크기를

증가시킬 때 신호원 자체의 ACPR 이 악화되지 않도록 유의한다. 한편 2개의 주파수 대역중 하나를 측정할 때 다른 RF 입출력 단자는 50Ω load를 사용하여 상호간 영향이 없도록한다. 그리고 디지털 변조된 출력을 정확하게 측정하기 위해서는 기존에 단일 주파수에서 많이 사용하던 다이오드 센서대신 Thermo couple 센서가 필요하다.

먼저 RF 성능 측정을 하기 전에 게이트 저항을 조정하여 설계당시 최적 임피던스를 얻었을 때와 같은 동작점이 되도록한다. 그림 12은 제작된 전력증폭기 모듈을 통과한 CDMA 파형에 대한 ACPR 특성을 보여준다. 이때의 출력 크기는 800MHz CDMA 에서는 28dBm, 그리고 PCS 대역에서는 23.5dBm이다. 그림에서 보듯이 설계과정에서 Load/Source-pull 방법의 의해 최적임피던스 상태에서 얻어낸 ACPR 특성(표 1. 참조)보다 우수한 것을 볼 수 있다. 이는 Load/Source-pull 방식에서는 기본 주파수(f_0)만 다루기 때문에, 제2, 제3고조파($2f_0, 3f_0$)에 의한 F-급 동작에 따라 1dB 이득 감쇄점(P1dB)이 상승하여 선형성(ACPR)이 개선[11]된 것이다. 측정된 데이터로부터 설계치보다 중심주파수에서 900KHz와 1.98MHz 떨어진 지점에서 약 2~5dB 개선된 성능을 보여주고있다. 이러한 ACPR 성능은 IS-95에서 규정한 전화기 antenna 출력단자에서의 ACPR 보다 4~5dB 여유를 갖는다.



(a)



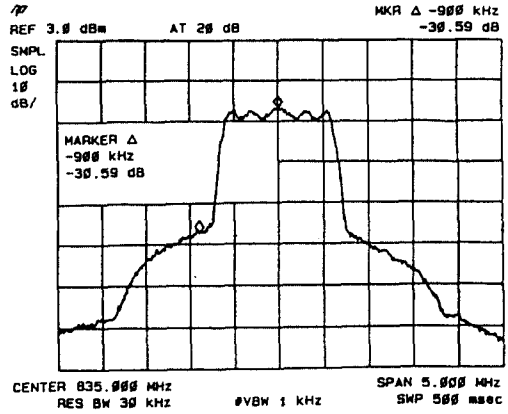
(b)

그림 12. 제작된 전력증폭기의 ACPR 성능. 800MHz CDMA(a), PCS(b)

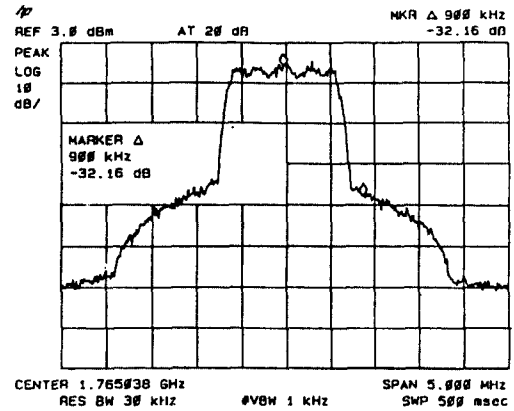
Fig. 12. ACPR performance of implemented power amplifier. 800 MHz CDMA(a), PCS (b).

그림 13 (a), (b)은 전력증폭기의 각 주파수 대역에 대한 소신호 이득 특성을 네트워분석기로 측정된 것이다. 그림 13 (a)에서는 10dB 감쇄기와 함께 측정된 800MHz CDMA의 소신호 전달경로의 이득특성으로부터 PCS 대역신호와 제2, 제3고조파가 50dB 이하로 억제되고 있는 것을 볼수있으며, 역시 PCS 대역을 위한 전달경로의 소신호 이득특성으로부터 800MHz 신호대역과 제2고조파가 각기 40dB와 60dB로 억제되고 있는 것이 그림 13(b)에 나타나 있다. 따라서 이들로부터 전력증폭기의 입출력단에 위치하여 2개의 주파수대역을 분리하고 각 고조파들을 억제하는 듀플렉서 및 주변 여파기회로들이 설계한대로 동작되고 있음을 확인 할 수 있다. 물론 신호 출력이 올라가면 고조파들의 특성은 악화된다. 측정된 전체성능은 표 2와 같다.

CDMA 방식의 전화기에서 주로 사용되고 있는 출력레벨인 10~15dBm 까지 전력증폭기 모듈의 총소모전류($I_{ds, 10}$)는 동작점 전류와 유사함을 표 2로부터 알 수 있다. 이는 전화기 자체의 배터리 사용시간 연장에 크게 도움이 될 것이다. 그러나 출력레벨이 커질 때 전력효율(η)은 기존의 연구결과[6-10]들과 유사하거나 못미치는 수준다.



(a)



(b)

그림 13. 제작된 전력증폭기의 선형이득특성. 800MHz CDMA (a), PCS (b)

Fig. 13. Liner gain characteristics of implemented power amplifier. 800MHz CDMA (a), PCS (b)

표 2. 전력증폭기의 실험 결과

Table 2. Test results of power amplifier

Items	Test condition		Test Results	
			CDMA	PCS
ACPR	Pout ⁽¹⁾	@900KHz	30.5dBc	29dBc
		@1.98MHz	45dBc	47dBc
Gain	Liner Gain		29dB	24dB
Harm.	Pout ⁽¹⁾	@ 2f ₀	41dBc	40dBc
		@ 3f ₀	45dBc	35dBc

$I_{ds, tot}$	$P_{out} = 10dBm(PCS)$ $= 15dBm(CDMA)$	128mA	130mA
$Eff.(\eta)$	$P_{out}^{(1)}$	35%	36%

- (1) $P_{out}^{(1)} = 28dBm$ (800MHz CDMA)
= 23.5dm (PCS)
- (2) Bias Condition:
Vdd1, 2 = 4.7V, Vgg = -3.5V
 $I_{DSQ1} = 70mA, I_{DSQ2} = 55mA$
- (5) Efficiency(η): Power Added Efficiency(%)

V. 결 론

본 논문에서는 '97년 하반기에 서비스 예정된 국내 향 PCS 시스템 및 현재의 800MHz CDMA 방식에서 모두 동작하는 이중대역 모드 전화기 개발에 대비하여 이의 부품으로 사용될 수 있는 이중 대역 전력증폭기 모듈을 설계 제작하였다.

2개의 GaAs FET 만으로 증폭기 모듈을 구현하였고 4층 PCB와 1005type의 부품을 사용하여 회로전체 크기를 집적화 한 결과 전체크기는 날개 부분을 제외하고 0.96CC가 되었다. 물론 집적화에 따른 선로간의 간섭과 다층기판사이의 via hole 들을 전자기적인 해석을 통해 회로 설계에 반영하였다.

제작된 전력증폭기 모듈에 대해 2개의 주파수 대역에서 CDMA 방식의 전화기에 대한 선형성 지수인 ACPR을 측정 한 결과 중심주파수로부터 900KHz와 1.98MHz 떨어진 지점에서 IS-95에서 요구하는 수준보다 2~3dB 여유를 가지며 또한 제2, 제3고조파 제거비가 각기 40dBc 이상과 35dBc 이상을 보여주어 전력증폭기의 출력단 듀플렉서 및 여파기 회로들이 설계대로 동작하고 있음을 알 수 있다. 특히 CDMA 전화기에서 가장 많이 사용되는 출력전력 15dBm(CDMA), 10dBm(PCS)에서 측정된 모듈전체의 소모전류는 모두 130mA 미만으로서 배터리 사용시간을 연장하는 데 크게 도움이 될 것이다.

이러한 특성을 보여주는 이중대역 전력증폭기를 실제 양산화 하는 데는 좀더 성능의 여유도가 개선되어야 할 것이며 PCB 가공시 선폭 변화에 따른 전기적인 성능이 민감하기 때문에 선폭관리에 대한 문제를 해결해야 할 것이다. 극심한 경쟁상황에 있는 이동

통신용 전화기 시장에 대처하기 위해 GaAs FET를 chip 상태로 PCB에 장착할 수 있는 기술이 연구진행 중이며 아울러 수동 칩부품들도 역시 프린트되는 MCM (Multi Chip Module)이 새롭게 각광받고 있는 추세이다. 물론 단순한 기능의 전력증폭기 모듈에 대한 MMIC (Microwave Monolithic Integrated Circuit) 제품은 이미 출시되고 있으며 본 논문과 같이 복합기능을 가진 모듈까지 연구되고 있는 추세이다.

참 고 문 헌

1. David M.Snyder, "A theoretical analysis and experimental confirmation of the optimally loaded and overdriven RF Power amplifier," *IEEE Trans. Electron. Devices*, pp. 851-857, Dec. 1967.
2. K.Chiba and N.Kanmuri, "GaAs FET power amplifier module with high efficiency," *Electron Lett.*, vol.19, No.24, pp.1025-1026, Nov.1983.
3. T.Nojima et al, "High efficiency microwave reation amplifier," in *IEEE MTT-S Int. Microwave Symp. Dig.*, 1988, pp.1007-1010.
4. M. Maeda, Y. Ota, "저 전압, 고효율 GaAs power amplifier 의 최적설계," 전자정보통신 학회논문지 C-I, Vol.j76-C-I, No.11, pp.399-406, Nov.1993.
5. S.J. Maeng, S.S. Chun, et al, "A GaAs power amplifier for 3.3V CDMA/AMPS dual mode cellular phones," *IEEE Trans. Microwave Theory Tech.*, Vol.MTT-43, No.12, pp.2839-2843, Dec. 1995.
6. M. Nagaoka, T.Inoue, et al, "A monolithic GaAs linear power amlifier operating with a single voltage low 2.7V supply for 1.9GHz digital mobile communication applications," *IEEE Trans. Electron.*, Vol.E78-C. No.4, pp424-428, April 1995.
7. T. Johanson and attsson, "Linerized high efficiency power amplifier for PCN," *Electron. Lett.*, Vol.27, pp762-764, April 1991.
8. T. Yokoyama, T.Kunishisa, H.Fujimoto et al, "High efficiency low adjacent Channel leakage GaAs power MMIC for 1.9GHz digital cordless phones," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-42, pp.2623-2628, Dec.1994.

