

고속 분산 멀티미디어 서비스를 위한 공유매체 접속제어 프로토콜의 성능분석 및 집적회로 구현 (II부:HCR 프로토콜용 집적회로 설계)

正會員 康先武*, 李鍾秘**, 宋昊俊**, 金大榮***

A Performance Study and IC Implementation of High-speed Distributed-Multimedia Shared Medium Access Control Protocol (Part II: Integrated Circuit Design for HCR Protocol)

Sun-Moo Kang*, Jong-Pil Lee**, Ho-Jun Song**, Dae-Young Kim*** *Regular Members*

요 약

본 논문은 분산된 가입자 택내 ATM 망 및 소규모 사업장 ATM 망의 고속 멀티미디어 서비스응용에 적용하기 위한 공유매체 접속 프로토콜의 구조와 프로토콜의 성능 분석 및 집적회로 구현에 관한 것으로서 본 논문은 제 I 부에서 제안된 HCR 프로토콜의 집적회로(Integrated Circuit) 설계에 관하여 다룬 제 II 부이다. 설계된 HCR 용 IC는 기존의 ATM 프로토콜 IC들과 호환되도록 설계하였으며 입출력 인터페이스는 UTOPIA 접속 규격에 따랐다. 시뮬레이션 결과 본 집적회로는 현재의 쿼타 상태, 우선순위, 데이터의 유무에 따라 실시간 또는 비실시간 데이터를 효과적으로 처리함을 보였으며 설계 변경 없이 기존의 ATM IC와 사용되어 멀티미디어 서비스 응용에 유용하게 사용될 수 있다.

ABSTRACT

This paper describes an IC design for the HCR protocol which is designed to accommodate both real and non-real time data for high-speed multimedia services. The designed HCR IC is perfectly compatible with the conventional ATM IC's and physical layer IC's. The standard UTOPIA interface is adopted. Simulation results show that the proposed HCR IC operates very well according to the priority and the quota state of the real and non-real time

* 한국전자통신연구원 선임연구원

** 충남대학교 전자공학과

*** ISO/IEC JTC1/SC6/WG4 ECTS, Editor

論文番號: 97221-0630

接受日字: 1997年 6月 30日

data. The proposed HCR IC can be merged into the conventional ATM IC's without any modification and will be useful for multimedia service applications.

I. 서 론

HCR IC(Hybrid Cycle Reset Integrated Circuit)는 ATM 셀을 받아서 헤더에 있는 제어비트 (Generic Flow Control)를 검사한 후 이를 실시간 또는 비실시간 데이터로 구분한 후 각각 저장하고 비할당 셀(Unassigned Cell)을 수신하였을 경우 자신의 쿼타 상태와 우선 순위를 확인하여 실시간 또는 비실시간 데이터를 선택하여 물리계층으로 데이터를 전송함과 동시에 물리계층에서 전달된 자신의 셀을 ATM 계층 IC로 전달하여 데이터를 수신하도록 하는 기능을 하는 블록으로서 사실상 기존의 ATM 계층 IC 내부에 하나의 블록으로 포함될 수 있으나 본 논문은 기존의 ATM 계층 IC와 물리계층 IC 사이에 위치하는 단독 HCR IC로 가정하고 HCR 프로토콜을 수행하기 위하여 설계하였다. II장에서 HCR IC의 전반적인 기능과 IC를 구성하는 각각의 세부 기능 블록에 대하여 설명을 하고 III장에서는 IC의 동작 기능에 대한 시뮬레이션 결과에 대하여 논하였으며 끝으로 IV장에서 결론을 맺는다.

II. HCR IC의 기능

HCR 프로토콜은 기본적으로 링구조에서 구현하도록 제안하였으며, 이를 위해 HCR IC는 기존의 점대점(point to point). 구조뿐만 아니라, 매체 공유가 가능토록 설계하여 링구조에서 적용 가능하도록 하였다. HCR IC는 그림 1과 같이 각 단말의 물리 계층과 ATM 계층 사이에 삽입되어, 기존의 시스템 구조를 변경하지 않고 적용할 수 있도록 설계되었다. HCR IC와 ATM 계층사이의 인터페이스는 ATM Forum에서 제시한 UTOPIA(Universal Test & Operations PHY Interface for ATM) 인터페이스로 이루어졌다 [1],[2]. IC 설계는 이식성이 높고, 설계와 디버깅(Debugging)이 쉬운 VHDL(VHSIC Hardware Description Language)로 구현되었다 [3]. 모든 블록은 COMPASS 툴을 사용하여 설계하였다.

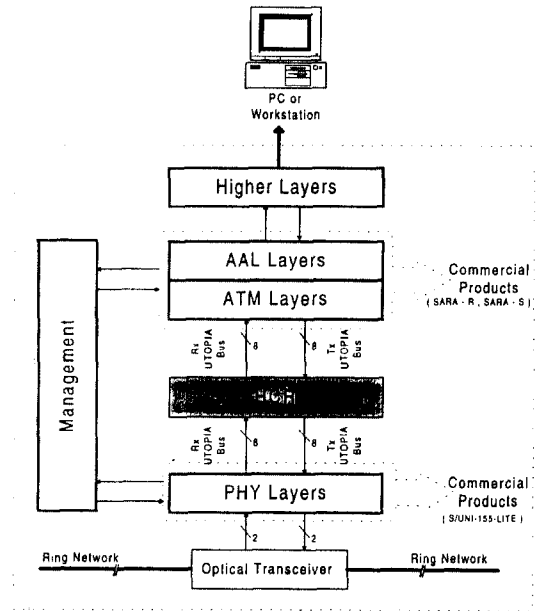


그림 1. HCR IC 적용예.

Fig 1. Application example of HCR IC.

HCR IC는 링을 형성한 망의 각 노드에 형성되는 IC로서 지연에 민감한 실시간 데이터와 덜 민감한 비실시간 데이터를 구별하여 실시간 데이터를 우선적으로 송신하는 기능과, 다른 노드로부터 자신에게 전달되는 셀을 수신하는 기능과, 다른 노드의 셀은 그대로 바이패스(bypass) 시키는 기능을 수행한다. 각 노드가 셀을 전송하고자 할 때는 다른 노드가 전송한 셀의 흐름을 방해하지 않고, 망으로부터 수신한 셀이 비할당 셀(Unassigned Cell)이거나 자신의 노드에서 데이터를 수신하고 비할당 셀이 발생했을 경우에만 데이터를 전송한다. 이 때, 물리 계층에서 HCR IC로 전달되는 셀은 다음과 같이 모두 4 가지 종류로 나눌 수 있다.

1) MY ADDR 셀: 수신한 셀 헤더의 VPI 영역 주소가 자신인 경우를 말한다. 이 경우 수신된 셀은 ATM

계층 IC로 전달된다. 이 때, 수신한 셀은 다시 물리 계층으로 전달되지 않고 소거되므로 그 자리에 비할당 셀이 발생하고 자신의 노드가 전송하고자 하는 데이터가 있는 경우에는 다시 데이터를 실어서 물리계층으로 송신할 수 있고 송신할 데이터가 없는 경우 이웃 노드로 비할당 셀을 전달한다.

2) BROADCASTING 셀: 수신한 셀이 방송용 셀이며 이는 모든 노드가 수신해야 하는 셀을 의미한다. 이러한 방송용 셀은 VPI 영역 값이 255이다. 이때, Source ID(VCI의 상위 바이트)는 방송 셀을 보낸 노드의 주소를 나타내며 이는 방송용 셀이 링을 한 바퀴 돈 후, 방송을 시작한 노드에 도착하였을 때, 방송한 노드 자신이 그 셀을 소거하기 위하여 쓰인다. 즉, 각 노드는 방송용 셀이 왔을 경우에 자신이 방송한 셀이 아니면 자신이 데이터를 수신하고 이웃 노드에서도 수신하도록 다시 물리 계층을 통해 전달한다.

4) UNASSIGNED 셀: 수신한 셀이 비할당 셀임을 뜻한다. 이 셀은 VPI 영역, Source ID 영역, VCI 영역이 모두 0인 셀이다. 이 셀은 유료 부하를 가지고 있지 않은 셀이므로, 비할당 셀을 수신한 노드는 데이터를 이 셀에 실어서 전송할 수 있다.

5) REPEAT 셀: 수신한 셀의 VPI 영역 주소 값이 자신이 아니며 방송용 셀도 아니며, 비할당 셀도 아닌 경우, 즉 목적지가 다른 노드인 셀을 의미하므로, 아무런 조치 없이 물리 계층으로 다시 송신하여 인접 노드로 보낸다.

상기에서 데이터를 송신할 경우에는 HCR 프로토콜에 의하여 우선 순위와 워터의 상태를 판별하여 실시간 비실시간 데이터중 선택하여 보낸다. 그림 2는 상기에 서술된 4가지 셀을 구별하고 HCR 프로토콜의 기능을 수행하기 위한 IC의 블록도를 나타낸다.

각 노드는 CG, DG의 수신여부, 전송할 데이터의

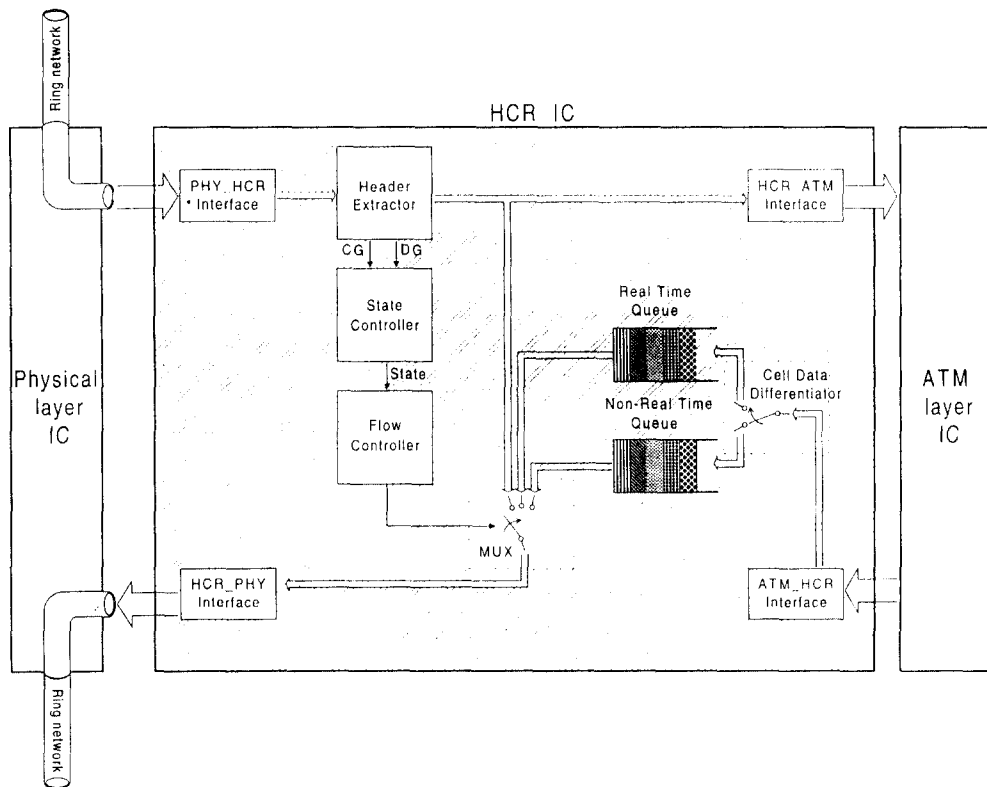


그림 2. HCR IC의 블록도.

Fig 2. Block diagram of HCR IC.

유무, 큐타량에 따라서 전송 조건을 결정한다. 수신되는 셀의 헤더에서 CG, DG 비트가 검출되면, 이는 IC 내부의 상태 제어부로 전달되며, 상태제어부에서는 HCR 프로토콜에서 규약한 바와 같이 노드의 상태에 따라 전송 조건을 결정한다. HCR IC은 헤더 추출기(Header Extractor), 상태 제어기(State Controller), 흐름 제어기(Flow Controller), 실시간 큐(Real Time Queue), 비실시간 큐(Non-Real Time Queue) 및 네 개의 UTOPIA 포트들(PHY_HCR, HCR_PHY, ATM_HCR, HCR_ATM)로 구성되어 있다. 내부의 셀 전송은 세 가지 경로를 통해 이루어진다. 첫째, 망으로부터 수신하여 ATM 계층에 전달해야 하는 셀은 PHY_HCR, 헤더 추출기, HCR_ATM을 거쳐 ATM 계층에 전송된다. 둘째, 망으로부터 수신하여 다시 망으로 재전송해야 하는 셀은 PHY_HCR, 헤더 추출기, 흐름 제어기, HCR_PHY를 거쳐 물리 계층에 전송된다. 셋째, ATM 계층에서 수신하여, 망으로 전송하고자 하는 셀은 ATM_HCR, 실시간 혹은 비실시간 큐, 흐름 제어기, HCR_PHY를 통하여 물리 계층으로 전달된다. 두 번째, 세 번째 경로는 모두 흐름 제어기에서 만나며, 이 흐름 제어기는 MUX와 같은 기능을 수행하여, 어느 한 경로만을 소통시킨다. 이 때, 어느 경로를 소통할 것인가는 상태 제어기와 물리 계층에서 수신한 셀 종류에 따라서 결정된다. 다음은 IC 내부의 각 블럭에 대한 설명이다. 그림 2는 HCR IC의 내부 구조를 나타낸 것이며 각 블럭의 기능은 다음과 같다.

1. 헤더 추출기(Header Extractor)

헤더추출기는 PHY_HCR를 통해 물리 계층에서 수신한 셀의 헤더를 분석하여, 수신한 셀의 종류를 판별한 후, 수신한 셀을 MUX와 HCR_ATM으로 전송한다. 헤더 추출기는 PHY_HCR로부터 옥테트(Octet) 단위로 데이터를 전송 받으며, 헤더의 HEC(Header Error Control) 영역을 제외한 4옥테트를 저장하기 위하여, 쉬프트 레지스터를 가지며, 입력되는 데이터는 차례로 4단의 쉬프트 레지스터를 거쳐 다른 블럭으로 전달된다. 헤더 추출기는 헤더의 GFC구간에서 CG와 DG를 판별하여 상태 제어기로 전송한다. 헤더 추출기는 쉬프트 레지스터에 저장된 VPI, Source ID, VCI를 통하여 셀의 종류를 판별하여, HCR_ATM과 흐름 제어기에 제어 신호를 발생한다. HCR_ATM과

흐름 제어기는 제어 신호를 통해 헤더 추출기에서 출력되는 데이터를 수신할 것인지를 판단한다.

2. 상태 제어기(State Controller)

상태 제어기는 HCR 프로토콜의 주된 기능인 실시간 데이터 또는 비실시간 데이터에 대한 큐타의 할당 및 실시간 데이터 전송 상태 천이와 비실시간 데이터 전송 상태 천이를 담당하는 블럭이다. PHY_HCR로부터 수신될 셀의 헤더에서 CG와 DG를 수신하여, 트래픽별 상태를 결정하고, 이를 흐름 제어부에 전달한다. 각 노드는 트래픽별로 보낼 수 있는 셀의 개수를 제한하는 큐타를 할당받는다. 이 큐타는 IC 외부의 편으로부터 직접 입력받을 수 있도록 설계되었다. 상태 제어기는 CG나 DG를 수신하면, 조건에 따라 실시간 큐타 또는 비실시간 큐타를 할당하며, 흐름 제어부에서 실시간 및 비실시간 큐에 저장되어 있는 데이터를 전송할 때마다 해당 큐타를 하나씩 감소시킨다.

이 기능을 자세히 설명하면 다음과 같다. 상태 제어기는 실시간과 비실시간 데이터 전송 상태 천이를 담당하는 FSM(Finite State Machine)을 가지고 있으며 이에 따라 실시간 또는 비실시간 데이터를 전송할 수 있는 상태인지를 흐름 제어기에 전달한다. HCR_PHY로부터 수신된 CG와 DG는 (CG와 DG에 대한 설명은 논문 I부에서 다루었으므로 제 II부에서는 생략) 각각 통과조건을 만족할 때만, FSM에 전달되어 큐타를 재할당한다. CG는 실시간 큐에 저장된 실시간 데이터가 없거나, 실시간 큐타가 0인 경우에만 통과된다. 즉, 큐타를 다 사용하지 못하였다 하더라도, 전송할 데이터가 없는 노드는 CG를 수신하면, 바로 큐타를 재할당하고, CG를 옆 노드로 전송한다. 따라서, 전송할 데이터가 없는 노드가 불필요하게 CG의 회전을 지연시키는 것을 방지한다. 반대로, 전송할 실시간 데이터도 있고, 큐타도 가지고 있어서, 실시간 셀을 전송하고 있는 노드가 CG를 수신하면, 바로 큐타를 재할당하지 않고, 현재 가지고 있는 큐타를 계속 사용하다가 큐타를 소진한 후에 새로운 큐타를 할당하고 CG를 옆 노드로 전송한다. 비실시간 데이터가 폭주하여, 실시간 데이터가 지연되는 것을 막기 위하여, DG는 CG가 통과한 다음으로 제한하여 망의 우선 순위를 조절한다. 여기에서 CG또는 DG를 수신

또는 전송한다는 것은 자신의 데이터의 전송과는 관계없이 다른 데이터가 지나가더라도 각 셀이 지나갈 때, HCR 헤더의 protocol handling bits (ATM의 GFC 구간에 해당함)를 단순히 set, reset 시킴으로써 가능하다.

3. 흐름 제어기(Flow controller)

흐름 제어기는 상태 제어기로부터 각 트래픽별 전송 상태, 실시간 및 비실시간 큐로부터 전송할 데이터의 유무, 헤더 추출기로부터 물리 계층에서 수신된 셀의 종류 등을 수신하여, 어떤 종류의 셀을 송신할 것인지를 결정하고, 이를 HCR_PHY를 통하여 물리 계층에 송신하며, 이 과정에서 셀 헤더의 GFC영역을 삭제 또는 삽입하는 기능을 가진다. 흐름 제어기는 물리 계층에서 수신된 셀이 비할당 셀, 자신이 방송한 셀, 목적지가 자신인 셀이면 조건에 따라 실시간 데이터, 비실시간 데이터 또는 비할당 셀을 전송하며, 수신된 셀이 위의 세 가지 종류의 셀이 아닐 때는 물리 계층에서 수신된 셀을 다시 물리 계층으로 전송한다. 상태 제어기는 CG를 옆 노드에 전달하거나, DG를 발생시키려 할 때, 흐름 제어기로 CG 삽입 신호 또는 DG 삽입 신호를 인가한다. 이를 수신한 흐름 제어기는 바로 다음 전송하는 셀 헤더의 GFC영역(HCR protocol handling bits 영역)에 CG 또는 DG 비트를 설정하여 전송한다. CG 삽입 신호와 DG 삽입 신호를 수신하지 않은 상태에서는 전송하는 모든 셀의 CG, DG 비트는 소거된다.

4. 실시간 큐, 비실시간 큐(Real time queue, Non-real time queue)

큐(Queue)는 ATM 계층에서 수신되는 셀을 실시간 및 비실시간 데이터별로 각각 실시간 큐, 비실시간 큐에 저장하였다가 흐름 제어기에 전달하는 기능을 수행한다. 큐는 FIFO(First In First Out)처럼 동작한다. 실시간 큐나 비실시간 큐, 둘 중 어느 한 쪽이라도 포화되면, ATM 계층에서 데이터를 수신하는 ATM_HCR이 ATM 계층에서 데이터를 전송하지 못하도록 한다. 일단, 큐가 포화되면, 셀 단위 핸드셰이크(handshake)를 위하여 포화되었던 큐에 한 셀 이상의 빈 공간이 생기기까지 ATM 계층에서 데이터를 수신하지 않는다. 실시간 데이터는 비실시간 데이터보다

우선 순위를 가지고 있고, 실시간 큐보다 비실시간 큐보다 자주 할당되므로, 큐에 오래 머물러 있지 않고, 바로 흐름 제어기에 전달되므로 실시간 큐는 작은 크기를 가진다. 비실시간 데이터는 반대로, 큐에 오래 머물고, 단시간에 많은 데이터를 발생하는 특성을 가지고 있으므로, 비실시간 큐는 큰 크기를 가진다. 실시간 큐는 4셀을 저장할 수 있는 크기(1696 비트)이며, 비실시간 큐는 44개의 셀을 저장할 수 있는 크기(18,656 비트)로 설계하였다.

큐는 Synchronous RAM과 RAM의 읽기 주소(Read Address)를 가리키는 Read Pointer, 쓰기 주소(Write Address)를 가리키는 Write Pointer, MUX, 큐의 상태를 나타내기 위한 Status Counter와 그 외 데이터 래치를 위한 D Flip-Flop 등으로 구성된다. 큐는 주 클럭 주파수의 2배를 가지는 클럭을 필요로 한다. MUX의 입력 선택 신호는 Write Pointer 값과 Read Pointer 값을 주 클럭의 2배 주파수를 가지는 클럭에 동기 되어 교대로 선택하게 함으로써 읽기는 주 클럭의 첫 번째 반주기(주 클럭이 1 일 때)에 이루어지며, 쓰기는 두 번째 반주기(주 클럭이 0 일 때)에 이루어지게 한다. 따라서, 큐에 쌓여 있는 데이터를 주 클럭의 한 주기 안에 읽고 쓰기가 가능하게 하였다. 그림 3은 이러한 큐의 기본 구조이다. 그 밖에 Status Counter는 큐의 상태를 나타내며 이 신호들은 간단한 업-다운 카운터로 구현할 수 있다. 쓰기 동작이 일어날 때는 업-다운 카운터 값을 하나 증가시키고, 읽기 동작이 일어날 때는 업-다운 카운터 값이 하나 줄어들게 하여 Status Counter 출력 값에 의해 큐가 포화되었을 때는 쓰기 동작을 금지시키고, 큐가 비어 있을 때는 읽기 동작을 금지시킨다.

5. UTOPIA(Universal Test & Operations PHY Interface for ATM) 인터페이스

UTOPIA 인터페이스는 물리 계층과 ATM 계층간의 데이터 송수신을 위한 표준으로 ATM forum에서 제안하였다[3]. 제안된 인터페이스는 각각 송신과 수신을 위한 2개의 포트만을 가지고 있으나 HCR IC는 물리 계층과의 데이터 송수신을 위한 HCR_PHY, PHY HCR, ATM 계층과의 데이터 송수신을 위한 HCR ATM, ATM HCR, 모두 4개의 포트에 구성되어 있다. 각 포트는 데이터 송수신의 동기를 위한 클

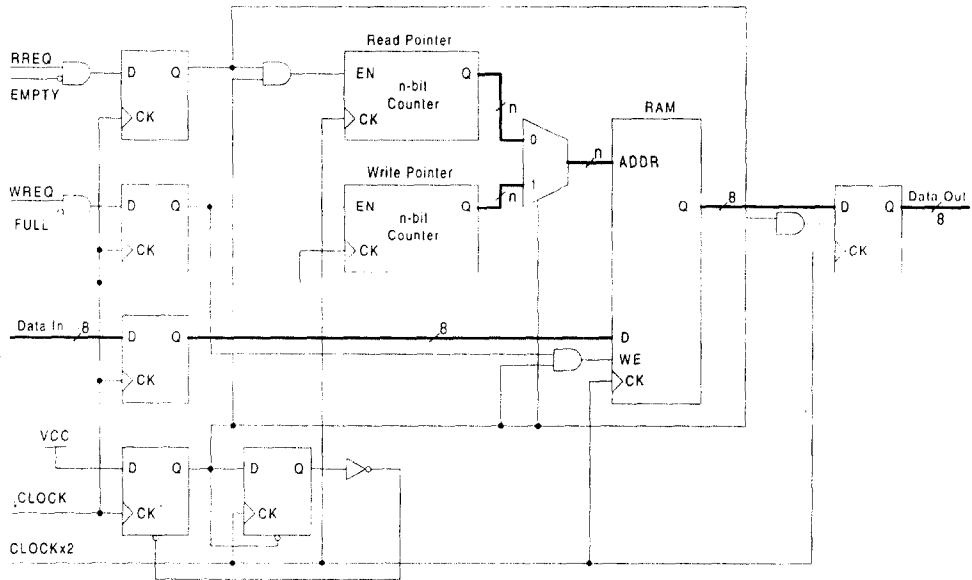


그림 3. 큐의 기본 구조.

Fig 3. Basic structure of Queue.

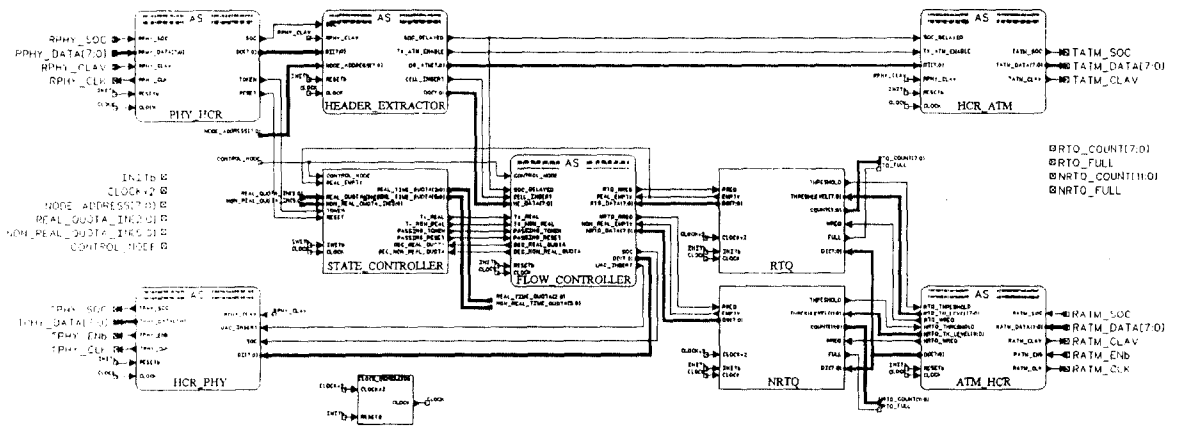


그림 4. 합성된 HCR IC의 Top 블록.

Fig 4. Synthesized top block diagram of HCR IC.

려, 8비트의 데이터 버스, 데이터 전송의 시작을 나타내는 신호, 핸드셰이크를 위한 신호등으로 구성되어 있다.

HCR IC의 설계시에 실시간 큐와 비실시간 큐를 제외한 모든 블록은 VHDL을 이용하여 설계하고, 합성하였으며, 실시간 큐와 비실시간 큐는 직접 schematic

으로 설계하였다. 그림 4는 COMPASS 툴을 이용하여 합성된 HCR IC의 Top 블록이다.

III. 시뮬레이션 결과

물리 계층에서 HCR IC으로 전송되는 셀은 II장에

서 서술한 것과 같이 MYADDR 셀, BROADCASTING 셀, REPEAT 셀, UNASSIGNED 셀의 4 가지를 입력하였다. 각 셀의 48개 옥테트의 유료 부하는 시뮬레이션 결과를 문자로 확인할 수 있도록, 각 셀의 종류를 나타내는 문자를 ASCII코드로 구성하였다. 실시간 쿼타와 비실시간 쿼타가 클 경우에는 시뮬레이션 결과를 고찰하기 어려우므로, 실시간 쿼타 값과 비실시간 쿼타 값을 모두 3으로 설정하였다. ATM 계층에서 HCR IC으로 전송되는 셀은 REAL, NONREAL로 표시하였으며, REAL과 NONREAL 다음의 이어지는 숫자는 수신된 순서를 가리킨다. 실시간 데이터 전송 상태는 RL ST로 표시하였으며, 이 값이 0일 때는 Busy상태를 1일 때는 Idle상태를 나타낸다. 비실시간 데이터 전송 상태는 N_RL ST로 표시하였으며, 0, 1, 2의 정수값으로 나타내었다. 이 값이 0일 때는 Active상태를, 1 일 때는 Pending상태를, 2 일 때는 Blocked상태를 나타낸다.

1. 데이터 수신

그림 5는 HCR IC가 물리계층으로부터 데이터를 수신하여 ATM 계층으로 데이터를 전송하는 과정을 시뮬레이션 한 것으로서 물리 계층에서 수신한 셀이

HCR IC을 통해 ATM 계층으로 올바르게 전달되는 것을 검증하였다. 이는 물리 계층에서는 MY ADDR 셀, BROADCASTING 셀, REPEAT 셀, UNASSIGNED 셀의 모두 4 가지 종류의 셀이 수신되었을 때, ATM 계층으로 전달되는 데이터(TATM DATA)는 자신의 데이터인 MY ADDR 셀, BROADCASTING 셀만 수신하고 나머지 셀, 즉 REPEAT 셀과 UNASSIGNED 셀은 전달되지 않음을 확인하였다. 그림 5에서 CLK은 20MHz의 주클럭을 나타낸다. RPHY SOC(Start Of Cell)는 HCR IC가 물리 계층에서 수신하는 데이터의 시작을 나타내는 신호이며, TATM SOC는 HCR IC가 ATM 계층으로 송신하는 데이터의 시작을 나타내는 신호이다. RPHY DATA는 HCR IC가 물리 계층에서 수신하는 데이터를 의미하며, TATM DATA는 HCR IC가 ATM 계층으로 송신하는 데이터를 의미한다. TATM CLAV가 '1'이면, TATM DATA가 유효한 데이터인 것을 나타낸다.

2. 실시간 데이터 전송

그림 6은 ATM 계층으로부터 실시간 데이터와 비실시간 데이터가 불규칙적으로 내려올 때 HCR IC가 프로토콜에 따라 쿼타와 우선 순위를 판별하여 실시

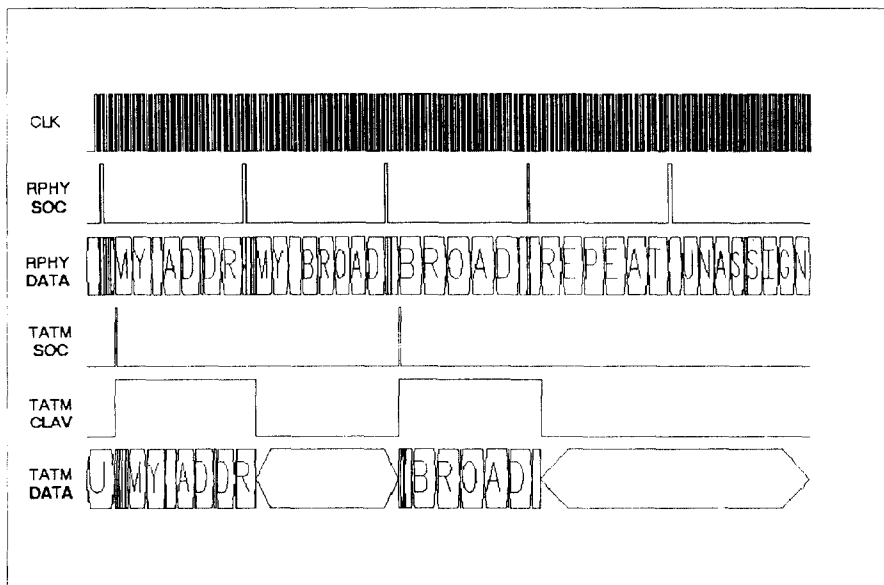


그림 5. HCR IC에서 ATM 계층으로의 데이터 전송 결과 파형
 Fig 5. Simulation results for data transfer from HCR IC to ATM layer.

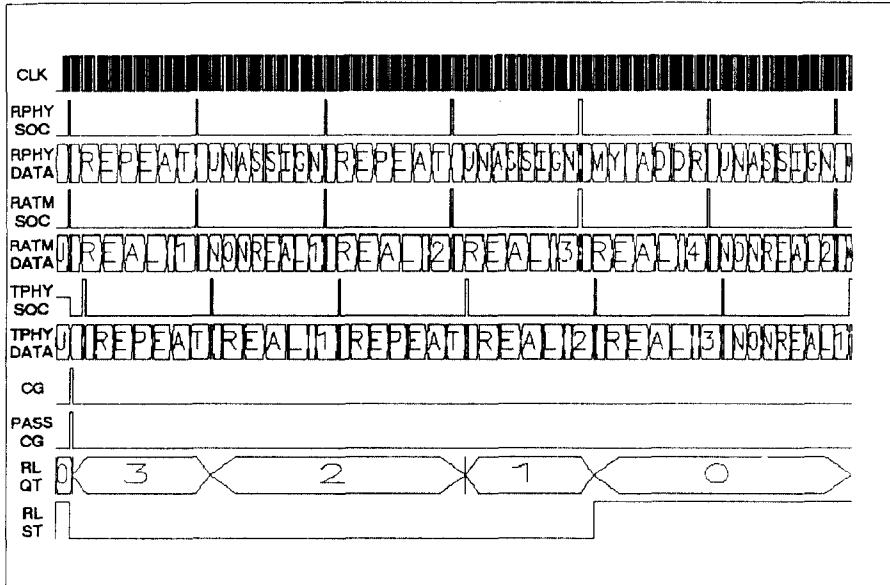


그림 6. 실시간 데이터 전송 결과 파형.

Fig 6. Simulation results for real time data transfer.

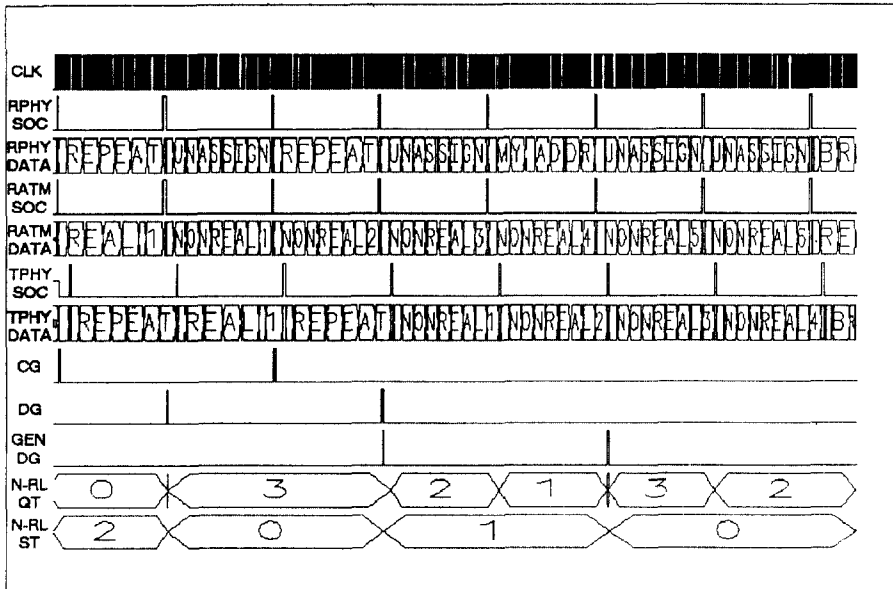


그림 7. 비실시간 데이터 전송 결과 파형.

Fig 7. Simulation results for non-real time data transfer.

간 데이터를 먼저 내보내는 경우를 시뮬레이션한 것이다. RATM SOC(Start Of Cell)는 HCR IC가 ATM 계층에서 수신하는 데이터의 시작을 나타내는 신호이고, TPHY SOC는 HCR IC가 ATM 계층에서 송신하는 데이터의 시작을 나타내는 신호이다. RATM DATA는 HCR IC가 ATM 계층에서 수신하는 데이터를 의미하며, TPHY DATA는 HCR IC가 물리 계층으로 송신하는 데이터를 의미한다. 실시간 데이터 전송 상태가 Idle상태에서 CG를 수신하여, 실시간 데이터 쿼타(RL QT)를 기본값인 3으로 할당하고, Busy 상태로 천이한 것을 먼저 보여준다. ATM 계층에서 HCR IC로는 불규칙적으로 REAL1, NONREAL1, REAL2, REAL3, REAL4, NONREAL2의 데이터가 섞여서 내려오고 있을 때, HCR IC에서는 주어진 HCR 프로토콜에 따라 실시간 데이터를 우선적으로 전송하는 것을 알 수 있다. 실시간 쿼타 값을 모두 소진한 후에야 비로소 저장되었던 비실시간 데이터를 전송된 것을 확인하였다. 중간에 REPEAT 셀이 있으면 바로 옆 노드로 보냄을 알 수 있다.

3. 비실시간 데이터 전송

그림 7은 HCR IC의 비실시간 전송에 관한 시뮬레이션으로서, 먼저 데이터 전송 상태가 Blocked상태일 때, DG를 수신하여, 비실시간 쿼타(N_RL QT)를 할당하고, Active로 천이한 이후, 다시 DG를 수신하여, Pending 상태로 천이한 것을 보여준다. 첫 번째 DG에 의해 할당된 비실시간 쿼타를 모두 소진하면, Pending상태에서 Active상태로 천이하면서, 비실시간 쿼타를 할당하고, DG를 발생시킨다(GEN DG='1'). HCR IC에서 물리 계층으로 데이터를 전송하는 것을 살펴보면, 비실시간 데이터보다 실시간 데이터가 우선 순위가 높으므로, 실시간 데이터(REAL1)가 먼저 전송되는 것을 알 수 있다. ATM계층에서 실시간 데이터는 1개의 셀만을 전송하여, 더 이상 전송할 실시간 데이터가 없으므로, 이어서 비실시간 셀들이 물리 계층에 전송된 것을 확인할 수 있다.

IV. 결 론

본 논문은 분산된 가입자의 맥내 ATM 망 또는 소규모 사업장용 ATM 망의 고속 멀티미디어 서비스용

용에 적용하기 위한 공유매체 접속 프로토콜(HCR)의 구조와 성능 프로토콜의 성능 분석 및 구현에 관한 II부로서 I부에 제시한 HCR 프로토콜의 IC 설계 및 동작에 대하여 설명하였다. 향후 연구시 기능의 확장, 설계와 디버깅의 용이, 그리고 간단한 이식성을 고려하여 VHDL로 특수 부분을 제외하고는 모두 설계하였으며, VTI의 VSC350 Standard cell을 기준으로 하여 시뮬레이션을 수행하였고, 그 시뮬레이션 결과 모든 동작이 정상적으로 수행함을 알 수 있었다[4]. 설계된 HCR IC는 기존의 물리 계층과 ATM 계층 IC들 사이에 완벽하게 호환 삽입이 되어, 시스템의 구성의 변화 없이 기존의 ATM ring network에서 HCR 프로토콜의 실현이 가능하다. 본 IC는 향후 좀 더 다양한 기능을 부가하여 실제 IC로 구현후 ATM ring network에 적용 시험할 예정이다.

참 고 문 헌

1. ATM Forum 96-0006R3R, RBB Living List, ATM Forum Technical Committee, Aug. 1996.
2. The ATM Forum Technical Committee, UTOPIA, An ATM-PHY Interface Specification, The ATM Forum, June 1995.
3. Zainalabedin Navabi, VHDL Analysis and Modeling of Digital Systems, McGRAW-HILL, 1993.
4. VLSI Technology INC., VSC350 Portable Library, 1990.
5. Sunmoo Kang, Byungchun Jeon, and Daeyoung Kim, Effective Priority Control and Addressing Scheme for High Speed Ring Network, ICC'95, Seoul, Korea, Aug. 1995.
6. Sunmoo Kang and D. Y. Kim, "New Addressing Scheme for Ring Type Topology ATM-LAN," ICCS'94, Singapore, Nov. 1994.



강 선 무(Sun-Moo Kang) 정회원
 1983년 2월: 충남대학교 전자공학
 학교육과 졸업(공학사)
 1987년 9월: 스톡홀름 왕립공과
 대학 통신이론과 졸업
 (Civil Engineer)
 1992년~현재: 충남대학교 대학

원 전자공학과 박사과정

1983년~현재: 한국전자통신연구원 선임연구원

1984년~1987년: 스웨덴 L.M.Ericsson 방문연구원

※주관심분야: 고속통신망 구조 및 프로토콜.



이 종 필(Jong-Pil Lee) 정회원
 1996년 2월: 충남대학교 전자공
 학과 졸업(공학사)
 1996년 3월~현재: 충남대학교 전
 자공학과 석사과정
 재학중
 ※주관심분야: 통신용 VLSI 설계

송 호 준(Ho-Jun Song) 정회원

1985년 2월: 서울대학교 제어계측공학과 졸업(공학사)

1988년 2월: 한국과학기술원 전기 및 전자과 졸업(공
 학석사)

1992년 2월: 한국과학기술원 전기 및 전자과 졸업(공
 학박사)

1985년~1986년: 삼성정밀(주) 연구원

1992년~1994년: 현대전자(주) 선임연구원

1992년~현재: 충남대학교 전자공학과 조교수

※주관심분야: 통신용 RF/IF Analog 설계, DSP 설
 계, 저전력/고속 Memory 설계



김 대 영(Dae-Young Kim) 정회원
 1975년 2월: 서울대학교 전자공
 학과 졸업(공학사)
 1977년 2월: 한국과학기술원 전
 기 및 전자과(공학석
 사)
 1983년 2월: 한국과학기술원 전
 기 및 전자과(공학박
 사)

1979년~1981년: 독일 RWTH Achen, UNI Hannover
 공대 연구원

1987년~1988년: UC Davis 객원연구원

1983년~현재: 충남대학교 교수

1997년 1월~현재: IEEE Communication Chapter of
 Korea, Chair

1996년 1월~현재: IEEE Taejon Section, Chair

1993년 10월~현재: ISO/IEC JTC1/SC6/WG4 ECTS,
 Editor

※주관심분야: 고속통신망 구조 및 프로토콜, 인터넷
 관련분야.