

텅스텐 실리사이드 열처리 거동에 미치는 계면 효과

진원화, 오상현, 이재갑, 임인곤*, 김근호*, 이은구**, 홍해남***

국민대학교 금속재료공학부, *LG 종합기술원, **조선대학교 재료공학과, ***국방과학연구소

Interface effects on the annealing behavior of tungsten silicide

W. H. Jin, S. H. Oh, J. G. Lee, I. G. Lim*,
 G. H. Kim*, E. G. Lee**

Dept. of Metallurgical Engineering, Kookmin University

*LG Corporation Institute of Technology

**Dept. of Materials Science & Engineering, Chosun University

***Agency for Defense Development

Abstract

We have studied the effect of the interface between tungsten silicide and polysilicon on the silicide reaction. The results showed that the cleaning of the silicon surface prior to the deposition of tungsten silicide affected the interface properties, thereby leading to the difference in the resistivity and surface morphology of tungsten silicide. Compared with HF cleaning, the use of SC1 cleaning yielded higher resistivity of tungsten silicide at the low anneal temperature (up to 900°C). However, further increase of the temperature to 1000°C reduced the resistivity significantly, similar to that obtained with HF cleaning. It was also observed that the annealing of WSix/HF-cleaned poly-Si allowed the formation of buckling wave (partially decohesion area) on the surface. In contrast, the use of SC1 cleaning did not produce the buckling waves on the surface. Also the presence of 200Å-thick TiW between tungsten silicide and HF-cleaned poly-Si effectively prevented the formation of the waves. However, high-temperature annealing of WSix/200Å-TiW/Poly-Si allowed the excess silicon in tungsten silicide to precipitate inside the silicide, causing the slight increase of the resistivity after annealing at 1050°C.

1. 서 론

다결정실리콘에 비하여 현저히 낮은 비저항을 나타내고 있는 텅스텐 실리사이드는 집적회로의 bitline 또는 TFT (Thin Film Transistor)의 게이

트 전극(gate electrode)의 저항을 감소시키기 위하여 폴리사이드 구조로 널리 이용되고 있다. 텅스텐실리사이드의 증착은 화학증착과 함께 스퍼터 방법이 널리 이용되고 있으며, 증착된 텅스텐실리사이드는 일반적으로 비정질구조를 형성하고 있

어, 비교적 높은 비저항을 나타내고 있다. 이같이 높은 비저항은 결정화 고온열처리에 의하여 현저하게 감소시키고 있다. 고온 열처리 과정에서 온도의 증가에 따라 비정질 실리사이드의 상이 amorphous→hexagonal→tetragonal로 단계적인 변태가 일어나고 있으며,¹⁾ 동시에 실리콘의 확산이 일어나면서 화학양론적(stoichiometric) 조성의 텅스텐 실리사이드(WSi_2)를 형성하게 된다. 그러나 이와같은 고온 열처리공정은 높은 잔류응력을 텅스텐 실리사이드 박막에 형성시키면서 균열(crack) 또는 들뜸(peeling)을 유발시키고 있어, 이에대한 해결을 위한 많은 연구들이 진행되고 있다. 텅스텐실리사이드 박막 공정이 겪는 이같은 문제들은 높은 온도 차에 의해 발생하는 열응력과 함께 열처리 중에 일어나는 실리사이드 반응이 큰 영향을 미치고 있는 것으로 알려져있으며, 이같이 고온 열처리에 의하여 일어나는 실리사이드 반응은 실리사이드 증착방법²⁾, 열처리 분위기³⁾, 불순물 량들에 의하여 영향을 받을뿐만 아니라 Si/W 비율⁴⁾, 하지층의 종류에⁵⁾ 크게 영향을 받고 있다. 즉 실리사이드 하지 층으로 다결정실리콘이 사용되는 구조(텅스텐 폴리사이드)에서 과잉의 실리콘을 함유한 실리사이드를 열처리하는 경우에는 과잉의 실리콘이 다결정실리콘 계면으로 이동하여 다결정실리콘의 두께를 증가시키면서, 실리사이드의 두께를 감소시키고 있다. 이와는 대조적으로 SiO_2 (또는 Si_3N_4) 위에 증착된 실리사이드를 열처리하는 경우는 과잉의 실리콘이 계면으로 이동하는 대신, 실리사이드 내부에서 침전되면서 두께의 변화가 일어나지 않고, 상대적으로 높은 저항치를 보이고 있다⁶⁾. 이와같은 결과들로부터 계면특성 차이가 실리사이드 반응에 큰 영향을 미치고 있음을 알 수 있다.

본 실험에서는 다른 계면 성질을 형성하는 세정 방법(HF 세정, SC1 세정)들을 사용하여 실리사이드 반응, 박막들뜸에 미치는 영향을 조사하고 그 결과를 분석하였다. 또한 TiW를 텅스텐실리사이드

와 실리콘 계면사이에 형성시켜 계면변화가 실리사이드 반응에 미치는 영향을 검토하고, 세정효과에 대한 이해를 높이고자 하였다. 이와함께 N_2 분위기 뿐만아니라 산화분위기에서도 열처리를 실시하여 산화막 형성에 미치는 세정 및 TiW 중간층 존재들이 미치는 영향을 조사하였다.

2. 실험방법

(100) 방향성을 가진 5" 실리콘 기판위에 저압 화학증착방법을 이용하여 비정질실리콘을 2500Å 두께로 증착하고 세정의 변화(100:1 HF 세정 또는 SC1 세정; 용액조성= $NH_4OH : H_2O_2 : H_2O = 1 : 1 : 5$, 온도= $80^\circ C$, 시간= 5 분) 및 HF 세정 후 200Å 두께의 TiW를 증착하는 변수들에 대하여 나누어 실시한 후, 계속적으로 2.2 조성을 가진 텅스텐 실리사이드 타겟을 이용하여 1500Å부터 3000Å 두께의 실리사이드를 증착하였다. 이 구조에 대하여 고온 열처리($550^\circ C - 1050^\circ C$)를 실시하였고, 온도에 따라 변하는 저항, 표면, 두께들을 조사하였다. 열처리시 분위기는 N_2 (유량: 10 slm N_2), 건식 O_2 (유량: 10 slm O_2), 습식 O_2 (유량: 10 slm O_2)의 변화를 주어 열처리에 따른 막 성질변화와 함께 산화막 성장을 조사하였다. 습식 산화실험은 10 slm 유량의 O_2 를 $100^\circ C$ 증류수를 함유한 bubbler를 통과시켜 실시하였다.

비저항의 변화는 Four point probe(창핀사)를 이용하여 측정하였고, 박막의 두께는 surface profilometer와 SEM(Scanning Electron Microscopy)을 이용하여 이루어졌다. 또한 열처리온도 변화에 따라 변하는 상변화와 입자크기에 대한 조사는 X-ray diffractometer와 SEM이 각각 이용되었다.

3. 실험결과 및 고찰

3.1 N_2 분위기에서 열처리

SC1과 HF 세정 처리가 비저항의 변화 및 표면형상 변화에 미치는 영향을 조사하였다. Fig. 1은

세정처리에 따라 변하는 면저항의 변화를 보여주는 결과이다. 900°C에서 얻어진 비저항의 결과는 HF 세정처리된 경우보다 SC1 처리된 샘플에서 높은 값을 보이고 있다. 그러나 1000°C 이상으로 온도를 증가시키면 비저항이 급하게 감소되어 HF 세정 처리한 결과와 비슷한 값을 보여주고 있다. 이와같은 결과는 SC1 세정시 형성되는 화학적 산화막(chemical oxide)의 붕괴와 연관이 있는 것으로 이해되고 있다. 즉 900°C 까지 안정되게 존재하는 화학적 산화막은 파잉의 실리콘이 계면으로 확산되는 것을 억제시키고, 실리콘이드 내부에 파잉의 실리콘들을 집진시켜 비저항을 높이는 것으로 사료된다. 이와같은 설명은 SiO₂ 위에서 형성된 WSi_x를 열처리한 경우에 얻어지는 면저항값의 변화와 비교하면 타당성 있음을 알 수 있다. 즉, 900°C까지 두 값이 비슷한 경향으로 감소하다. 1000°C에서 SC1 처리된 샘플의 면저항은 HF 처리된 샘플과 유사한 값으로 급하게 감소하는 데 반하여 SiO₂ 위에 형성된 텅스텐 실리콘이드의 면저항은 약간의 감소만 일어나고 있다. 이 현상은 1000°C에서 화학적 산화막이 붕괴되는 데 기인하는 것으로 이해할 수 있다. HF 처리된 샘플에서 얻어진 면저항값은 1000°C 까지 계속적으로 감소하고 있으며, 이때 얻어진 활성화에너지는 0.7 eV로 계산되고 있다. 온도증가에 따라 감소되는 저

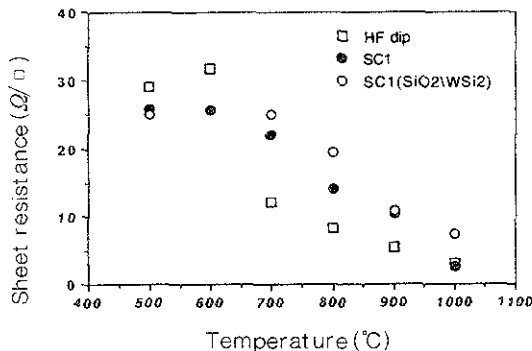
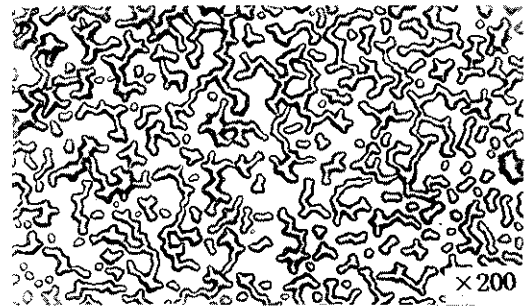


Fig. 1 Effects of surface cleaning on the sheet resistance of tungsten silicides annealed at 500°C to 1000°C for 30min

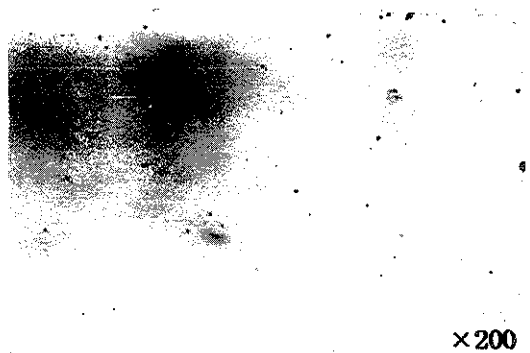
항값은 실리콘이드의 입자성장과 밀접한 관계가 있으므로¹⁾ 이 활성화에너지는 실리콘이드 입자 성장기구에 대응되는 에너지로 이해된다. Fig. 2는 각각의 세정을 실시한 샘플들에 대한 표면상태를 보여주는 결과이다. SC1 세정을 실시한 샘플의 표면은 매끄러운 반면 HF 세정처리한 경우는 물결 모양들이 형성되었음을 알 수 있다. 이와같은 형상은 산화를 실시한 경우에도 관찰이 되고 있다.

3.2 계면 TiW 존재 효과

TiW는 계면 특성 변화를 유도하고, 접착력에 도움을 줄 것으로 기대하여 텅스텐 실리콘이드 형성 전에 200Å의 TiW를 비정질실리콘 위에 증착



(a)



(b)

Fig. 2 N₂ annealing of WSi_x deposited on (a)HF-cleaned silicon ; (b) SC1-cleaned silicon surface

시켜 주었다. Fig. 3는 Si위에 TiW가 존재하는 샘플과 SiO₂ 위에 TiW를 증착 후 텅스텐실리사이드를 증착시킨 후 N₂ 분위기에서 열처리를 실시한 샘플들에 대한 온도에 따른 비저항의 변화를 보여주는 결과들이다. 결과에서 볼 수 있는 것과 같이 두 구조에서 비저항의 변화는 큰 차이없이 온도에 따라 감소하는 것을 알 수 있고, TiW가 없는 경우에 비하여 상당히 낮은 기울기로 감소하고 있다. 특히 1000°C에서 1050°C로의 증가시킨 경우는 비저항의 감소가 일어나지 않고 약간 증가하는 경향을 보여주고 있다. 이와같이 TiW가 있는 경우에 온도에 따라 면저항이 서서히 감소하는 이유는 TiW가 계면에 존재하여 과잉의 실리콘이 계면으로 이동하지 못하고 석출되는 데 기인하는 것으로 여겨지고 있으며, SiO₂ 위에 형성된 경우와 비슷한 저항 값이 얻어지고 있다는 사실이 TiW를 통하여 Si의 확산이 일어나고 있지 않다는 사실을 뒷받침하고 있다고 하겠다. Fig. 4는 SC1 세정 처리한 비정질 실리콘 위에 TiW 중간층을 형성시킨 구조를 1000°C 열처리한 후 표면을 조사한 광학현미경 사진이다. SC1 세정 처리를 실시한 경우에 표면이 판재모양으로 갈라지는 것이 부분적으로 관찰이 되고 있었다. 그러나 HF 처리하고 TiW를 형성시킨 후 텅스텐 실리사이드를 형성시킨 샘플에서는 물방울 모양들이 관찰되지 않고 매끄러운



Fig. 4 Surface morphology of WSix/TiW/SC1-cleaned Si annealed in N₂ at 1000°C, for 30min.

표면이 관찰되어 TiW가 HF 처리된 표면에 영향을 미치고 있음을 알 수 있었다.

3.3 산화분위기에서 열처리

Fig. 5는 TiW가 존재하는 구조와 실리콘 위에 직접 WSix를 증착시킨 구조들과 함께 단결정 실리콘을 건식 및 습식산화분위기에서 열처리를 실시한 경우에 측정된 산화막 성장률을 온도 증가에 따라 나타낸 결과이다. 두 구조에서 얻어지는 산화막성장률을 비교하면 건식산화(Dry Oxidation)의 경우에는 거의 차이를 보이지 않고 있으나,

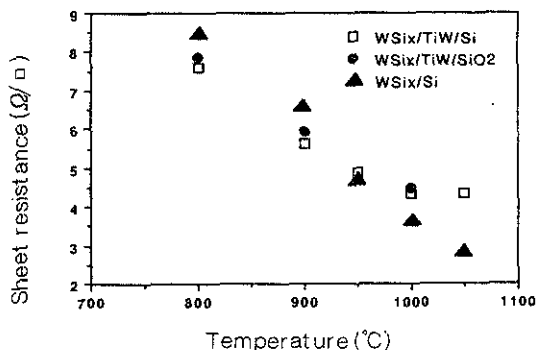


Fig. 3 The variation of sheet resistance of tungsten silicides with temperature for various structures.

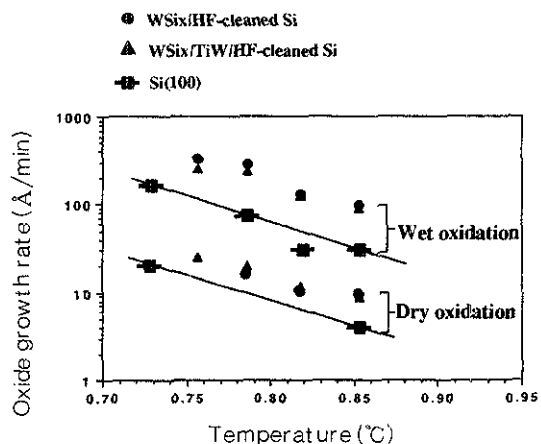
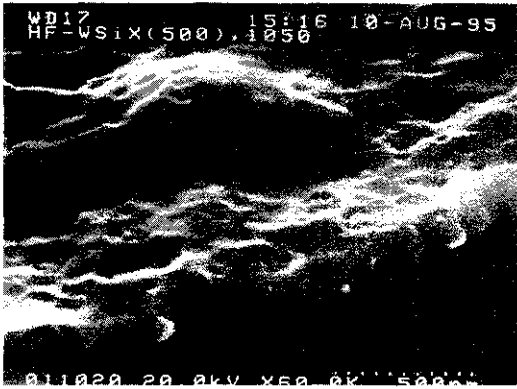


Fig. 5 Oxide growth rates as a function of temperature for WSi₂ oxidation in wet O₂, respectively.



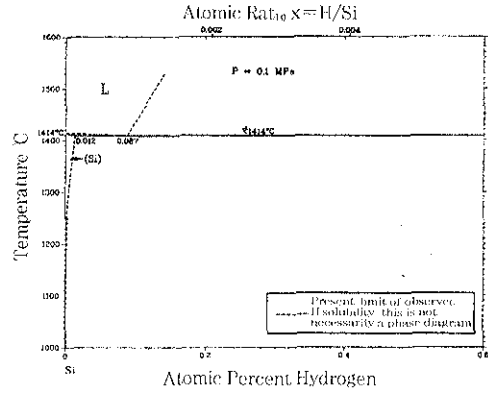
(a)



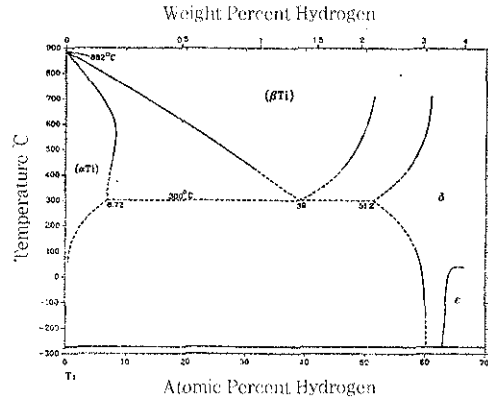
(b)

Fig. 7 SEM of WSi_2 deposited on HF-cleaned Si and then dry-oxidized at $1050^\circ C$, showing (a) a swollen area and (b) explosive areas, respectively.

를 연속적으로 증착시킨 구조를 건식산화한 경우에는 매끈한 표면이 관찰되고 있다. 이는 TiW에 존재하는 Ti이 H을 getter하여 열처리에 의하여 수소의 용집화가 일어나지 않은 데 기인하는 것으로 여겨지고 있다. Ti-H, Si-H의 상태도를 참고하면 이와같은 설명이 타당성 있음을 알 수 있다. Fig. 8에 나타나 있는 Ti-H, Si-H의 상태도에 의하면 Ti는 H를 상당량 고용할 수 있으며, 특히 $300^\circ C$ 이상에서 최대의 고용치를 보이고 있다. 반면에 Si-H의 상태도에 의하면 Si에 고용될 수 있는 H의 양은 매우 적은 것을 알 수 있다. 이 사실



(a)



(b)

Fig. 8 Phase diagrams of (a) Si-H and (b) Ti-H, respectively

들을 종합하면 TiW를 사용한 경우에는 Si의 표면에 passivation되어 있는 H이 고온 열처리시에 쉽게 Ti에 고용되나, WSi_6 를 직접 증착시킨 경우는 W 또는 Si에 H이 고용되지 못하면서 W-Si 결합을 약하게 하면서 부분적으로 들뜸현상을 보이는 것으로 이해된다.

Fig. 9은 3가지 구조의 샘플을 건식산화를 실시한 경우에 온도에 따라 변하는 면저항을 조사한 결과이다. N_2 분위기에서 열처리를 실시한 경우와 매우 유사한 면저항의 거동을 볼 수 있다. 실리콘 위에 증착된 WSi_x 는 온도 증가에 따라 면저항의 급격한 감소를 보이고 있다. TiW가 삽입된 구조

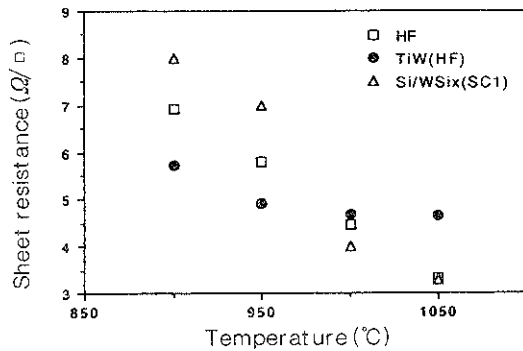


Fig. 9 Resistivity variation as a function of oxidation temperature for various structures.

에서는 온도에 따라 면저항의 감소가 서서히 이루어지고 있음을 알 수 있다. 900°C 이상에서 열처리 온도의 증가에 따라 면저항의 감소는 일반적으로 입자크기의 증가에 기인하는 것으로 이해되고 있다. Fig. 10은 TiW 층이 삽입된 구조에서 온도에 따른 입자 성장을 단면 SEM 사진으로 조사한 결과이다. 온도가 950°C에서 1050°C 까지 증가됨에 따라 입자크기가 현저하게 증가된 것을 알 수 있으며, 이 결과에 의하면 온도에 따라 면저항이 서서히 감소되는 것은 입자 크기성장이 적은 데 기인하는 것이 아닌 것을 알 수 있다. 또한 XRD 분석에 의하면 TiW 구조에서 산화분위기, N₂ 분위기에서 열처리한 결과에 의하면 안정적인 tetragonal 구조의 WSi₂만이 관찰이 되고 있다. 그러므로 이 결과들로부터 저항의 증가는 과잉의 Si 이 침전물로 석출되는 데 기인하는 것으로 여겨진다. 즉, TiW의 존재는 과잉의 Si을 가진 WSix 내의 과잉의 Si 이 이동하여 성장시킬 Si 계면과 단절을 시켜주므로 열처리에 의하여 WSi₂ 내부에서 석출되어 결과적으로 면저항을 높이는 역할을 하게 되는 것이다. 이와같은 사실은 단면 SEM사진에서 관찰되는 바와같이 온도에 따라 두께의 증가가 일어나지 않은 데에서 간접적으로 증명되고 있다.

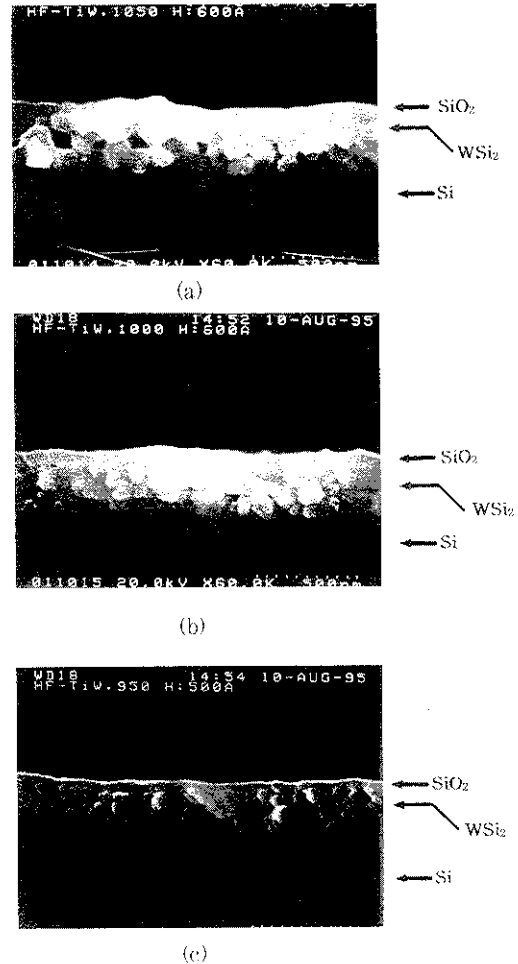


Fig. 10 Cross-sectional SEM of WSi₂/TiW/Si oxidized at (a) 1050°C ; (b) 1000°C ; (c) 950°C, respectively

4. 결 론

텅스텐실리사이드를 열처리시키는 경우에 일어나는 실리사이드 반응은 실리사이드와 실리콘 계면의 특성에 많은 영향을 받고 있다. 그러므로 본 실험에서는 계면처리가 실리사이드 반응에 미치는 영향을 조사하기 위하여 세정효과(HF 세정, SC1 세정), TiW 계면층이 실리사이드 형성에 미치는 영향을 조사하여 실리사이드 반응과 함께 표면 형상에 미치는 영향을 조사하였다. 또한 산화분위기

에서 열처리를 실시하여 계면효과가 산화막형성에 미치는 영향을 검토하였다. 이 조사에 대한 종합된 결과를 다음과 같이 정리하였다.

1) SC1 세정에 비하여 HF 세정처리를 실시한 경우에 낮은 열처리 온도에서는 낮은 비저항 값을 얻어졌으나, 고온 열처리에서는 비슷한 저항값을 나타내었다.

2) HF 세정 처리된 샘플에서는 열처리 후에 표면이 부풀어 오르는 (buckling) 현상이 관찰되고 있으며, H-passivation이 부푸름의 원인으로 이해된다.

3) TiW를 사용한 경우는 HF 세정 처리한 샘플에서 표면의 부풀음이 관찰되지 않는데, 고온 열처리에서는 비교적 높은 비저항값이 얻어지고 있다. 이는 실리사이드 내부에 존재하는 과잉의 실리콘 침전에 기인하고 있다.

4) 텅스텐실리사이드를 산화시킨 경우는 단결정 실리콘위에서 성장되는 산화막보다 빠른 산화막 성장률이 관찰되었다.

5) 건식 및 습식산화 처리에 의하여 생성되는 산화막 성장속도를 비교한 바에 의하면, 세정효과 차이는 관찰되지 않고 있으나, TiW가 계면에 존재하는 경우에는 습식산화막 성장 속도의 감소가 관찰되고 있다.

참 고 문 헌

1. V. Jain and D. Pramanik, 1990 VMIC Conference, (1993) 261
2. K. C. Saraswat, D. L. Brors, J. A. Fair, K. A. Monnig, and R. Beyers, IEEE TRANSACTIONS ON ELECTRONDEVICES, VOL. ED-30, NO. 11 (1983) 142
3. A. K. Sinha, J. Vac. Sci. Technol., 19(3) (1981) 778
4. M. Y. Tsai, F. M. d'Heurle, C. S. Petersson, and R. W. Johnson, J. Appl. Phys., 52 (8) (1981) 5350
5. M. Kottke, F. Pintchovski, T.R. White, and P.J. Tobin, J. Appl. Phys., 60 (1986) 2835