

이온 주입 공정시 발생한 실리콘 내 결함의 제어를 통한 $p^+ - n$ 초 저접합 형성 방법

이길호 · 김종철

현대전자 선행기술 연구소
(1997년 6월 10일 접수)

Formation of ultra-shallow $p^+ - n$ junction through the control of ion implantation-induced defects in silicon substrate

Kil-Ho Lee and Jong-Choul Kim

Semiconductor Research Division, Hyundai Electronics Ind. Co. Ltd., Kyungki, Ichon, 467-701
(Received June 10, 1997)

요 약 - 트랜지스터의 소오스/드레인 접합 특성에 가장 큰 영향을 미치는 인자는 이온 주입시 발생한 실리콘 내에 발생한 결함이라는 사실에 착안하여, 기존 소오스/드레인 접합 형성 공정과 다른 새로운 방식을 도입하여 이온 주입에 의해 생긴 결함의 제어를 통해 고품질 초 저접합 $p^+ - n$ 접합을 형성하였다. 기존의 p^+ 소오스/드레인 접합 형성 공정은 $^{11}BF_3$ 이온 주입 후 층간 절연막들인 TEOS(Tetra-Ethyl-Ortho-Silicate) 막과 BPSG(Boro-Phospho-Silicate-Glass)막을 증착 후 BPSG막 평탄화를 위한 furnace annealing 공정으로 진행된다. 본 연구에서는 이러한 기존 공정과는 달리 층간 절연막 증착 전 저온 RTA 첨가 방법, $^{11}BF_3$ 와 ^{10}B 를 혼합하여 이온 주입하는 방법, 그리고 이온 주입 후 잔류 산화막을 제거하고 MTO(Medium temperature CVD oxide)를 증착하는 방법을 제시하였으며, 각각의 방법은 모두 이온 주입에 의한 실리콘 내 결함 농도를 줄여 기존의 방법보다 더 우수한 양질의 초 저접합을 형성할 수 있었다.

Abstract - From the concept that the ion implantation-induced defect is one of the major factors in determining source/drain junction characteristics, high quality ultra-shallow $p^+ - n$ junctions were formed through the control of ion implantation-induced defects in silicon substrate. In conventional process of the junction formation, p^+ source/drain junctions have been formed by $^{11}BF_3$ ion implantation followed by the deposition of TEOS(Tetra-Ethyl-Ortho-Silicate) and BPSG(Boro-Phospho-Silicate-Glass) films and subsequent furnace annealing for BPSG reflow. Instead of the conventional process, we proposed a series of new processes for shallow junction formation, which includes the additional low temperature RTA prior to furnace annealing, $^{11}BF_3/^{10}B$ mixed ion implantation, and the screen oxide removal after ion implantation and subsequent deposition of MTO (Medium Temperature CVD oxide) as an interlayer dielectric. These processes were suggested to enhance the removal of ion implantation-induced defects, resulting in forming high quality shallow junctions.

1. 서 론

256 Mega bit DRAM(Dynamic Random Access Memory)이나 1 Giga bit DRAM과 같은 초 고집적 소자의 형성에 있어서 트랜지스터의 채널 길이로 대변되는 디자인 룰(design rule)에 상응하는 얇은 접합을 형성하는 것이 가장 중요한 과제의 하나로 부각되고 있다[1]. 트

랜지스터의 소오스/드레인(source/drain) 접합이 갖추어야 할 요소로는 단 채널 효과(short channel effect)가 나타나지 않을 정도로 충분히 얇은 접합을 형성하면서, 트랜지스터의 전류 구동력(current drivability)을 증진시키기 위해 낮은 면저항(sheet resistance)을 갖는 접합이어야 하며, 동시에 회로의 오동작의 가장 중요한 요인이 되는 접합 누설 전류가 매우 작은 접합이어야 한다.

메모리 소자는 셀(cell)과 주변 회로(peripheral circuit)로 구성되어 있으며, 셀에는 전자(electron)를 캐리어로 하는 n형 전계 효과 트랜지스터(n-type metal-oxide-semiconductor field effect transistor)에서의 n-p 접합이 있으며, 주변 회로에는 각각 전자(electron)와 정공(hole)을 캐리어로 하는 n형 및 p형 전계 효과 트랜지스터에서의 n⁺-p 및 p⁺-n 접합이 존재한다. 일반적으로 n⁺-p 및 p⁺-n 접합은 각각 ⁷⁵As 및 ¹¹B 이온 주입에 의해 형성되는데, 얇은 p⁺-n 접합의 형성은 얇은 n⁺-p 접합보다 형성하기 어렵다. 이는 n⁺-p 접합의 경우 ⁷⁵As 이온의 큰 원자량과 후속 열처리시 낮은 확산 속도로 인하여 비교적 쉽게 형성할 수 있는 반면에, p⁺-n 접합은 ¹¹B 이온의 채널링(channeling) 현상과 후속 열처리시 확산속도가 매우 커서 얇게 형성하기 매우 어렵기 때문이다[2]. 따라서, 얇은 접합 형성과 관련된 이전 연구는 주로 형성하기 힘든 p⁺-n 접합 형성에 집중되었는데, ¹¹B의 채널링 현상을 억제하기 위해 웨이퍼(wafer)를 편향(tilt)과 꼬임 각(twist)을 주어 이온 주입을 하는 방법[3], ¹¹B 대신 ⁴⁹BF₂를 주입하는 방법[4], ¹⁹F[5], ³⁰Si[6], ⁷³Ge[7], ⁷⁵As[8] 등 비교적 질량이 큰 이온을 주입시켜 실리콘 표면층을 비정질화시킨 후 도펀트(dopant)를 주입하는 사전-비정질화 방법등 다양한 연구가 진행되어 왔다. 그러나, 웨이퍼를 편향시켜 이온 주입을 할 경우 채널링 현상을 억제하기 위해서는 큰 편향 각이 요구되어 소자의 비대칭성을 유발하는 원인이 되고[3], ⁴⁹BF₂ 이온 주입은 이 이온이 웨이퍼와 충돌시 ¹¹B과 ¹⁹F로 분리되어 에너지-질량비(energy-mass ratio)에 의거하여 초기 ⁴⁹BF₂ 에너지의 11/49만큼 ¹¹B에 할당되어 낮은 에너지의 ¹¹B 이온 주입을 하는 효과를 얻을 수 있을 뿐만 아니라, ⁴⁹BF₂ 이온이 ¹¹B보다 더 무거운 이온으로 실리콘 표면을 비정질화 시켜 ¹¹B의 채널링을 다소 억제시키기는 하나 그 효과가 미약하여 ¹¹B의 채널링은 계속 존재하는 것으로 알려졌다[9,10]. 한편, 사전-비정질화 방법의 경우 ¹¹B의 채널링을 억제하는 데는 효과적이나 초기 비정질/결정 경계면 하단에 과도한 양의 실리콘 틸새 점 결함(Si-interstitials)이 존재하여 후속 열처리시 ¹¹B의 확산을 가속화시켜 채널링 억제에 따른 열처리 전 초기 접합 깊이 감소의 효과가 상실되는 것으로 알려졌다[11,12]. 더구나, 고상 에피택시(solid phase epitaxy)후에 비정질/결정 계면 하단에 잔류 결함이 남아 이것이 접합의 공핍층에 존재하는 경우 접합 누설 전류가 크게 증가하는 문제점이 발견된다[2]. 한편 최근의 연구 성과에 의하면

트랜지스터의 단 채널 효과를 억제하기 위해 펀치스투프 억제층(punchthrough stopper)과 스페이서 산화막 하단에 얇은 LDD(lightly doped drain)나 HDD(highly doped drain)를 형성하면 소자의 디자인 룰에 따른 엄격한 소오스/드레인 접합 깊이의 기준을 완화시킬 수 있다고 알려져 있다[13-15]. 만약 적절한 "device engineering"을 사용한다면, 소오스/드레인의 접합 깊이에 대한 공정 여유도는 어느 정도 확보하는 셈이다. 그러나, 소자가 초고집적화 됨에 따라 문제가 될 수 있는 것은 접합의 질(quality)인 데, 이는 초 고집적 소자 형성을 위해서는 "low thermal budget"의 사용이 필수적이므로, 이온 주입에 의한 결함 제거가 어려워 접합의 면저항과 접합 누설 전류가 크게 증가할 가능성이 있다. 따라서, 초 고집적 소자에서 양질의 접합을 형성하기 위해서는 기본적으로 얇은 접합 깊이를 얻고, 적절한 "device engineering"을 적용하여 단 채널 효과를 충분히 억제시키며, 이온 주입시 실리콘 내 결함 생성을 최대한 억제하거나, "low thermal budget" 하에서도 실리콘 내 결함을 충분히 제거할 수 있는 방법을 사용하여야 한다.

본 연구에서는 접합 특성을 결정하는 주요 요소인 도펀트의 확산, 전기적 활성화 및 접합 누설 전류에 영향을 미치는 인자가 소오스/드레인 형성을 위한 이온 주입시 형성된 점 결함이라는 사실에 의거하여 점 결함의 제어를 통해 얇은 접합 깊이를 얻는 동시에 전기적 활성화를 증대시키고 낮은 접합 누설 전류를 갖는 양질의 초 저접합 형성 방법을 제시하고자 한다. 점 결함 제어 방법으로는 실제 반도체 소자 제조 공정과의 양립성(compatibility)을 유지하는 것을 특징으로 하면서 소오스/드레인 형성을 위한 이온 주입 후 층간 절연막(interlayer dielectric)으로 사용 중인 TEOS(Tetra-Ethyl-Ortho-Silicate)막 증착전 RTA(Rapid Thermal Annealing)를 첨가시키는 방법, 기존에 p⁺ 소오스/드레인 형성을 위해 주입하는 ⁴⁹BF₂를 ⁴⁹BF₂와 ¹¹B을 혼합하는 방식으로 대체하는 방법, 마지막으로 이온 주입후 잔류 산화막을 제거한 직후 MTO(Medium Temperature CVD Oxide)를 증착하는 방법을 제시하여 기존의 방법보다 더 우수한 양질의 초 저접합을 형성하고자 하였다.

2. 결함 제어 방법

2.1 층간 절연막 증착 전 저온 RTA 첨가

이온 주입시 가속된 에너지를 갖고 실리콘 내로 주입

되는 이온은 실리콘 원자나 전자들과 일련의 충돌을 하면서 에너지를 잃어 버려 결국 정지하게 되는데, 이러한 일련의 과정 동안 실리콘 내에는 고밀도의 실리콘 틸새 점 결함(Si-interstitials)과 실리콘 공핍 점 결함(vacancy)이 생성된다. 이들 점 결함중 실리콘 틸새 점 결함(Si-interstitials)은 ^{11}B 의 확산에 크게 기여하는 것으로 알려져 있으며[16-18], 이 실리콘 틸새 점 결함은 실리콘 공핍 점 결함(vacancy)과의 재 결함(point defect recombination; $\text{interstitial} + \text{vacancy} = 0$)을 통해 소멸되거나[19] 전위(dislocation)와 같은 "end of range" 결함의 근원[20]으로 작용한다. 실리콘 격자 손상 회복을 위한 활성화 에너지와 ^{11}B 의 확산을 위한 활성화 에너지가 각각 5 eV와 2.3 eV로 알려져 있으므로[21], 그림 1에서 보는 바와 같이 두 선이 교차하는 어떤 임계 온도(critical temperature, T_c)가 존재 할 것이다. 격자 손상 회복은 점 결함의 국소 영역에서의 확산에 의해 일어 나는 것으로 알려져 있으므로[22], 격자 손상 회복은 T_c 이상의 온도에서 ^{11}B 의 두드러진 확산 없이 실리콘 틸새 점 결함이 그 주위에 존재하는 실리콘 공핍 점 결함으로 이동하여 점 결함 재 결함(point defect recombination)을 통해 일어나는 것으로 믿어진다. 점 결함 재 결함을 위한 열처리 온도는 T_c 이거나 T_c 보다 약간 높은 온도이어야 할 것으로 사료되는데, 이는 T_c 보다 훨씬 높은 온도에서 열처리시 확산 계수의 열처리 온도 의존성을 통해 ^{11}B 이 확산할 가능성이 높기 때문이다. 한편, 열처리 시간 또한 짧은 시간 내에 실시하여야 하는 데, 이는 장시간 열처리시 ^{11}B 이 확산 할 가능성이 크기 때문이다. 따라서 RTA가 점 결함 재 결함을 위해 가장 유망한 열처리 방법으로

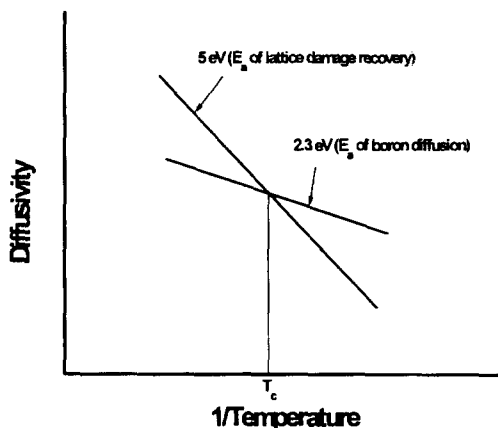


그림 1. 도식적으로 표시된 열처리시 격자 손상에 필요한 활성화 에너지와 ^{11}B 의 확산시 필요한 활성화 에너지.

사료된다.

실제 소자 제조 공정에서는 소오스/드레인 형성을 위한 이온 주입후 LPCVD-TEOS 막 증착과 아울러 BPSG (Boro-Phospho-Silicate-Glass)막 증착 및 이 막의 평탄화를 위한 열처리(furnace annealing)를 실시하는데, 이것이 기본 공정 흐름이다. 이러한 기본 공정(baseline)에서, 이들 층간 절연막 증착 전 RTA를 첨가하여, 이온 주입에 의해 생긴 점 결함의 재결함을 유도하여 ^{11}B 의 확산에 영향을 미치는 실리콘 틸새 점 결함의 농도를 대폭 감소시킨다. 이 결과 후속 열처리(furnace annealing)시 RTA를 실시하지 않은 기본 공정과 비교해서 ^{11}B 의 확산을 억제시키고 열처리후 잔류결함의 크기나 밀도를 줄여 ^{11}B 의 활성화를 증대시키면서 접합 누설 전류를 줄일 수 있게 된다.

2.2 $^{40}\text{BF}_2/^{11}\text{B}$ 혼합 이온 주입 방법

$^{40}\text{BF}_2/^{11}\text{B}$ 혼합 이온 주입 방법은 제 1차로 $^{40}\text{BF}_2$ 이온을 주입하고 제 2차로 ^{11}B 이온을 주입하는 방법으로 $^{40}\text{BF}_2$ 와 ^{11}B 의 주입 에너지는 ^{11}B 에 대해 같은 이온 투사 범위(projected range)를 갖도록 한다. $^{40}\text{BF}_2/^{11}\text{B}$ 혼합 이온 주입 방법에서 총 ^{11}B 의 주입량은 p^+ 소오스/드레인 형성을 위해 필요로 하는 주입량과 같게 한다. 예를 들어 제 1차로($^{40}\text{BF}_2/\alpha \text{ keV/A cm}^2$)의 조건으로 주입하고 제 2차로($^{11}\text{B}/0.22 \alpha \text{ keV/T-A cm}^2$)의 조건으로 주입하는 것인데, 여기서 T 는 p^+ 소오스/드레인 형성을 위해 필요로 하는 주입량을 말한다. $^{40}\text{BF}_2/^{11}\text{B}$ 혼합 이온 주입 방법의 기본 개념은 $^{40}\text{BF}_2$ 이온 주입의 장점을 유지하면서 이온 주입에 의한 결함을 줄이자는 것이다. $^{40}\text{BF}_2$ 이온 주입의 장점으로는 ^{11}B 이온 주입에 비해 어느 정도 채널링을 억제 할 수 있고[23], 고상 에피택시 과정 동안 ^{11}B 의 활성화를 증대시키며[24], ^{19}F 에 의해 ^{11}B 의 확산이 억제되는 것 등이다[25,26]. 반면에 ^{11}B 과 함께 주입되는 과도한 양의 ^{19}F 때문에 실리콘에 많은 양의 결함이 생성된다. 따라서, $^{40}\text{BF}_2$ 이온 주입의 장점을 유지할 수 있는 최소한의 주입량으로 1차 이온 주입 후 p^+ 소오스/드레인 형성을 위해 필요한 나머지 ^{11}B 은 제 2차 ^{11}B 이온 주입을 통해 충당한다면, 기존의 $^{40}\text{BF}_2$ 이온 주입만을 실시한 경우와 비교하여 총 ^{11}B 의 양은 같으면서 ^{19}F 의 양은 대폭 줄어들어 실리콘 내에 생성된 결함의 수를 줄일 수 있을 것이다. 한편 ^{19}F 이 배제된 ^{11}B 의 이온 주입은 이온 주입시 과도한 채널링으로 열처리 후 얇은 접합을 얻기 힘들 것으로 사료된다.

2.3 이온 주입 후 잔류 산화막 제거와 MTO(Medium Temperature CVD Oxide)의 증착

실제 소자 제조 공정에서는 소오스/드레인 이온 주입 공정 후 2종류의 층간 절연막이 연차적으로 증착된다. 먼저 저압 방식으로 TEOS막을 증착한 후, BPSG막을 증착한다. 그 후 BPSG막을 평탄화 시키기 위해 열처리(furnace annealing)를 실시한다. 따라서 이온 주입 직후 접합과 접촉하는 박막은 층간 절연막인 TEOS막이며, 첫번째 열공정에 해당한다. 따라서 실리콘 표면의 처리와 첫번째 열공정의 조절, 즉 층간 절연막 증착 공정의 조절로 이온 주입에 의해 생긴 결함을 제어할 수 있을 것으로 기대된다.

3. 실험 방법

3.1 층간 절연막 증착 전 저온 RTA 첨가

본 실험의 실험 공정도를 그림 2에 나타내었다. 8인치 p형(100) 웨이퍼에 n-웰을 형성한 후 열산화 방식으로 50 Å 두께의 희생 산화막을 형성하였다. p⁺ 소오스/드레인은 ⁴⁹Bf₂ 이온을 20 keV의 에너지와 3 × 10¹⁵ cm⁻²의 주

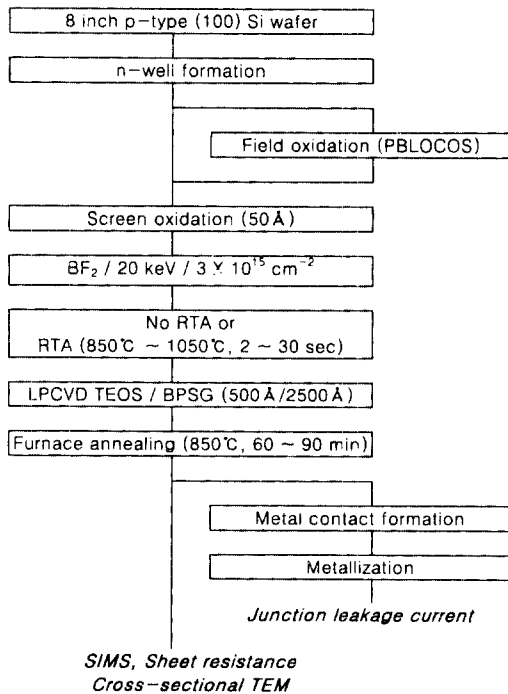


그림 2. 층간 절연막 증착 전 RTA 첨가 방법에 의한 접합 형성 실험 공정도.

입량으로 주입하였다. 그 후 TEOS막과 BPSG막을 각각 500 Å과 2500 Å 두께로 증착하고 열처리(furnace annealing)를 850°C에서 60~90분간 질소 분위기에서 실시하였다. 일부 시편에는 층간 절연막 증착 전 RTA를 850°C~1050°C에서 2~30초간 질소 분위기에서 실시하였다. 공정 완료 후 산화막을 모두 제거한 후 접합 깊이는 SIMS(Secondary Ion Mass Spectrometry)로, 면저항은 4 point probe로, 열처리 후 잔류 결함은 cross-sectional TEM(cross-sectional Transmission Electron Microscopy)으로 측정하였다. 접합 누설 전류 측정을 위한 시편에서는 소자 분리막을 PBLOCOS(Polysilicon Buffered Local Oxidation of Silicon) 방식으로 형성하고 앞서 기술한 조건과 같이 이온 주입을 실시하고 층간 절연막 증착 및 열처리(furnace annealing)를 실시한 후 금속 배선(metallization) 공정을 거쳤다. 이때 각 조건당 웨이퍼의 수는 3장이고, 각 웨이퍼에는 9개의 test pattern을 제작하였으므로 각 조건 당 27개의 시편을 준비한 것과 같다. 접합 누설 전류는 area-intensive pattern(200 × 200 μm²)과 edge-intensive pattern(5.5 × 200 μm², 40개)에서 측정하였다. 접합 누설 전류 측정시 fail되는 시편은 없었으며 모든 측정값은 평균값의 3%의 표준편차 내에 있었다.

3.2 ⁴⁹Bf₂/¹¹B 혼합 이온 주입 방법

본 실험의 공정 진행도를 그림 3에 나타내었다. 8인치 p형(100) 웨이퍼에 n-웰을 형성한 후 p⁺ 소오스/드레인은 ⁴⁹Bf₂/15 keV/2 × 10¹⁵ cm⁻²의 조건, ¹¹B/3.3 keV/2 × 10¹⁵ cm⁻²의 조건과, 제 1차로 ⁴⁹Bf₂/15 keV/7 × 10¹⁴ cm⁻²의 조건으로 이온 주입 후 제 2차로 ¹¹B/3.3 keV/1.3 × 10¹⁵ cm⁻²의 조건으로 주입하는 등 모두 3가지 조건으로 형성하였다. 여

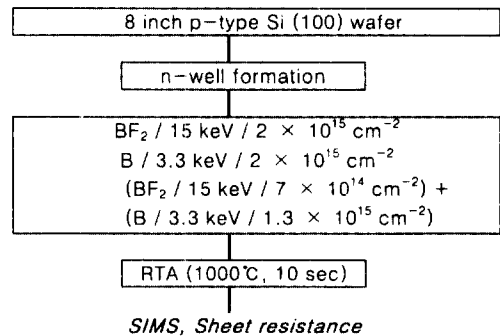


그림 3. ⁴⁹Bf₂/¹¹B 혼합 이온 주입 방법에 의한 접합 형성 실험 공정도.

기서 ^{11}B 3.3 keV는 $^{49}\text{BF}_2$ 15 keV와 같은 ^{11}B 의 이온 투사 범위(projected range)를 갖도록 정한 것이고 3가지 조건 모두 같은 ^{11}B 의 주입량을 갖도록 하였다. 그 후 RTA를 1000°C에서 10초간 질소 분위기에서 실시하였다. 공정 완료 후 접합 깊이는 SIMS로, 면저항은 4 point probe로, 열처리후 잔류 결합은 cross-sectional TEM으로 측정하였다.

3.3 이온 주입 후 잔류 산화막 제거와 MTO의 증착

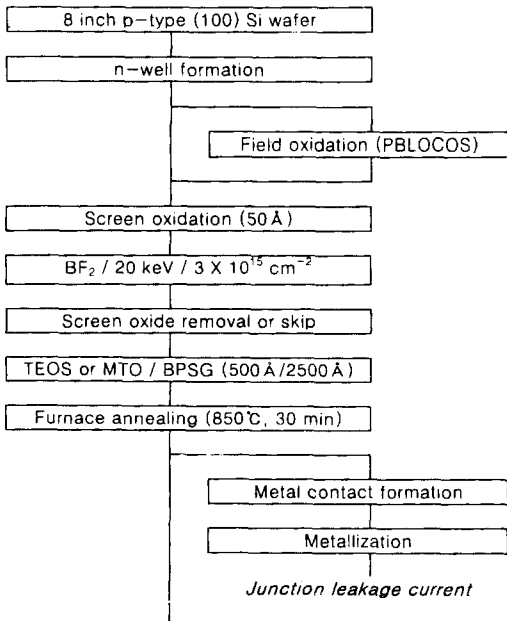
본 실험의 실험 공정도를 그림 4에 나타내었다. 8인치 p형(100) 웨이퍼에 n-웰을 형성한 후 50 Å 두께의 희생 산화막을 형성하였다. p⁺ 소오스/드레인은 $^{49}\text{BF}_2$ 이온을 20 keV의 에너지와 $3 \times 10^{15} \text{ cm}^{-2}$ 의 주입량으로 주입하여 형성하였다. 50 Å 두께의 희생 산화막을 제거한 직 후 500 Å 두께의 층간 절연막으로 TEOS 산화막이나 MTO를 각각 706°C 및 780°C에서 증착하였다. 일부 웨이퍼에서는 희생 산화막을 제거하지 않은 상태에서 TEOS 산화막이나 MTO를 증착하였다. 모든 웨이퍼는 2500 Å 두께로 BPSG막을 증착하고 열처리(furnace annealing)를 850°C에서 30분간 질소 분위기에서 실시하였다. 공정 완료후 산화막을 모두 제거한 후 접합 깊이는 SIMS로, 면저항은 4 point probe로, 열처리 후 잔류 결

합은 cross-sectional TEM으로 측정하였다. 접합 누설 전류 측정을 위한 시편에서는 소자 분리막을 PBLOCOS 방식으로 형성하고, 앞서 기술한 조건과 같이 이온 주입을 실시하고 층간 절연막 증착 및 열처리(furnace annealing)를 실시한 후 금속 배선(metallization) 공정을 거쳤다. 이때 각 조건당 웨이퍼는 3장씩이고, 각 웨이퍼에는 9개의 test pattern을 제작하였으므로 각 조건 당 27개의 시편을 준비한 것과 같다. 접합 누설 전류는 area-intensive pattern($200 \times 200 \mu\text{m}^2$)과 edge-intensive pattern($5.5 \times 200 \mu\text{m}^2$, 40개)에서 측정하였다. 접합 누설 전류 측정시 fail되는 시편은 없었으며 모든 측정값은 평균값의 3%의 표준편차 내에 있었다.

4. 결과 및 고찰

4.1 층간 절연막 증착 및 저온 RTA 첨가

그림 5는 $^{49}\text{BF}_2/20 \text{ keV}/3 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 이온 주입시 이온 주입 직후, 850°C에서 60분간 열처리(furnace annealing)후, 그리고 층간 절연막 증착 전 950°C에서 5초간 RTA를 첨가한 경우 ^{11}B 농도 분포의 SIMS 분석 결과를 나타낸 것이다. 기존 공정에서와 같이 850°C에서 60분간 열처리(furnace annealing)만을 실시한 경우



SIMS, Sheet resistance
Cross-sectional TEM

그림 4. 층간 절연막 종류에 따른 접합 형성 실험 공정도.

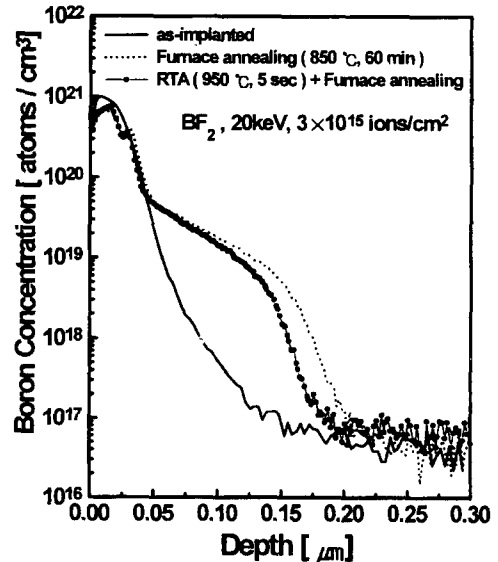


그림 5. $^{49}\text{BF}_2/20 \text{ keV}/3 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 이온 주입시 이온 주입 직후, 850°C에서 60분간 열처리 후, 그리고 층간 절연막 증착 전 950°C에서 5초간 RTA를 첨가한 경우의 ^{11}B 농도 분포.

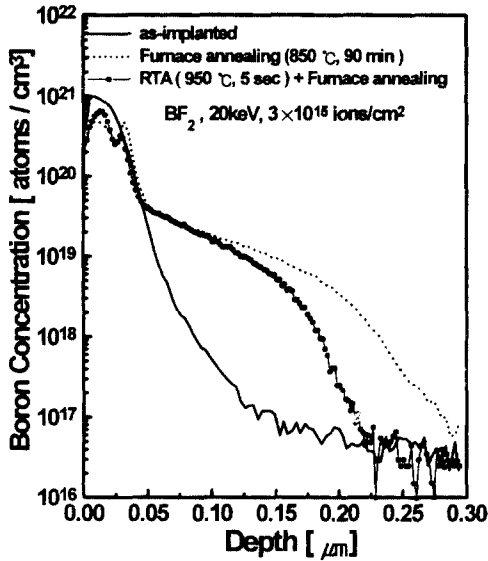


그림 6. ¹⁰BF₂/20 keV/3 × 10¹⁵ cm⁻²의 조건으로 이온 주입시 이온 주입 직후, 850°C에서 90분간 열처리 후, 그리고 층간 절연막 증착 전 950°C에서 5초간 RTA를 첨가한 경우의 ¹⁰B 농도 분포.

와 비교해 볼 때, 950°C에서 5초간 RTA를 첨가함으로써 ¹⁰B의 확산이 억제되었음을 볼 수 있다. 이러한 950°C에서 5초간 RTA 첨가로 인한 ¹⁰B 확산의 억제는 그림 6에서 보는 바와 같이 열처리(furnace annealing) 시간을 90분으로 증가시켰을 때 더욱 두드러지는 데, 1 × 10¹⁷ cm⁻³의 웰 농도를 기준으로 접합 깊이를 정할 때 950°C, 5초 RTA 첨가로 접합 깊이가 730 Å 정도 감소하였다. 이는 950°C, 5초간 RTA 동안 점 결함 재 결합(point defect recombination)과정에서 ¹⁰B의 확산에 기여하는 실리콘 틸새 점 결함(Si-interstitials)의 농도가 크게 줄어들어 후속 열처리(furnace annealing)시 ¹⁰B의 확산이 억제된 것으로 보여진다. 만약 실리콘 틸새 점 결함(Si-interstitials)의 농도가 줄어들었다면 RTA를 첨가한 시편에서 열처리(furnace annealing)후 전위(dislocation)와 같은 확장 결함(extended defect)의 크기나 농도가 감소하여야 한다.

그림 7은 950°C에서 5초간 RTA 첨가에 따른 850°C에서 60분간 열처리(furnace annealing)후 cross-sectional TEM에 의한 결함 분포를 보이고 있다. RTA 첨가로 확장 결함(extended defect)의 농도가 줄어든 것을 알 수 있으며, 이로부터 RTA 동안 확장 결함의 근원이 되는 실리콘 틸새 점 결함(Si-interstitials)의 수가 줄어 든 것이

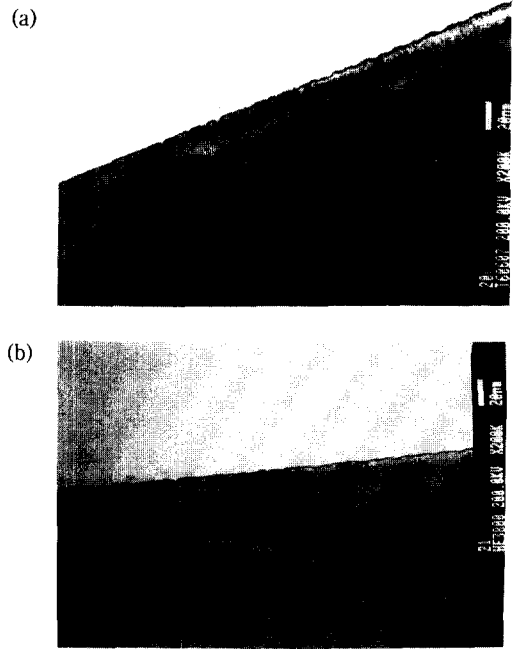


그림 7. ¹⁰BF₂/20 keV/3 × 10¹⁵ cm⁻²의 조건으로 이온 주입후 TEOS막 증착전 950°C에서 5초간 RTA를 (a) 첨가하지 않거나, (b) 첨가하고 850°C에서 60분간 열처리후 cross-sectional TEM에 의한 잔류결함 분포.

라 할 수 있다.

그림 8은 층간 절연막 증착 전 여러가지 조건의 RTA 첨가시 850°C에서 60분간 열처리(furnace annealing)후 접합 깊이를 나타내고 있다. RTA를 첨가하지 않고 850°C에서 60분간 열처리(furnace annealing)만을 실시한 기존 공정과 비교하였을 때 950°C, 5초 RTA가 접합 깊이를 낮추는 데 가장 효과적인 조건이라는 것을 알 수 있으며, 950°C가 현재의 ¹⁰BF₂/20 keV/3 × 10¹⁵ cm⁻²의 이온 주입 조건에서는 대략 그림 1에서의 T₁에 해당한다고 사료된다.

그림 9는 층간 절연막 증착 전 여러가지 조건의 RTA 첨가시 850°C에서 60분간 열처리(furnace annealing)후 면저항 측정 결과를 나타내고 있다. 면저항의 경우 RTA 조건에 상관없이 면저항은 RTA를 첨가시킨 시편에서 모두 작았다.

그림 10은 층간 절연막 증착 전 950°C에서 2~10초간 RTA 첨가시 850°C에서 60분간 열처리(furnace annealing)후 각 시편에 -3.3 V의 전압을 인가했을 때의 접합 누설 전류 밀도를 나타내고 있다. 일반적으로 총 접

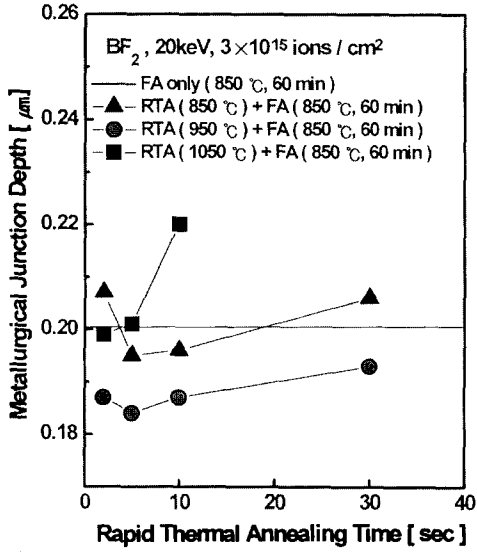
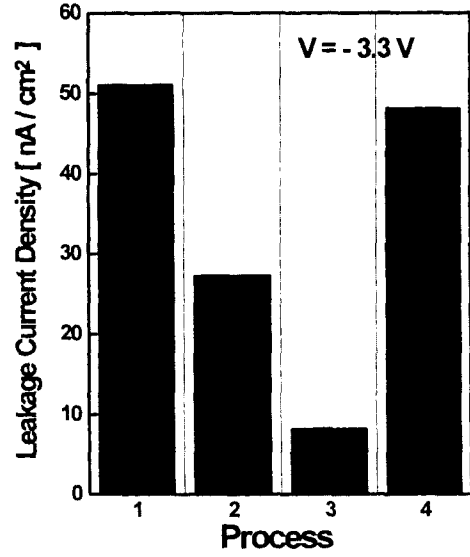


그림 8. *BF₂/20 keV/3 × 10¹⁵ cm⁻²의 조건으로 이온 주입시 층간 절연막 증착전 RTA 첨가시 RTA 조건에 따른 850°C에서 60분간 열처리 후 접합 깊이.



Process 1 : Furnace annealing at 850 °C for 60 min
 Process 2 : RTA (950 °C, 2 sec) + process 1
 Process 3 : RTA (950 °C, 5 sec) + process 1
 Process 4 : RTA (950 °C, 10 sec) + process 1

그림 10. *BF₂/20 keV/3 × 10¹⁵ cm⁻²의 조건으로 이온 주입시 층간 절연막 증착전 RTA 첨가시 RTA 조건에 따른 850°C에서 60분간 열처리 후 접합 누설 전류 밀도.

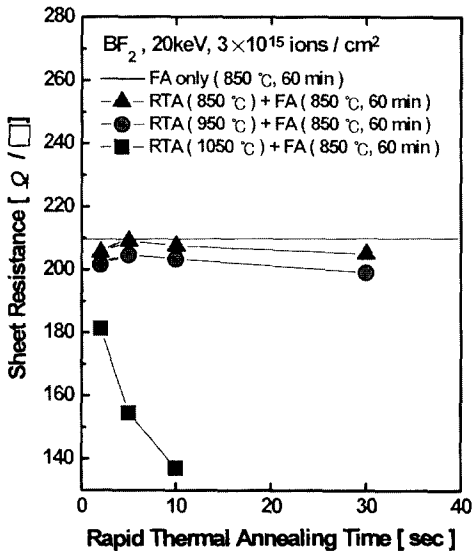


그림 9. *BF₂/20 keV/3 × 10¹⁵ cm⁻²의 조건으로 이온 주입시 층간 절연막 증착전 RTA 첨가시 RTA 조건에 따른 850°C에서 60분간 열처리 후 면저항.

합 누설 전류 I_T는 다음과 같이 표시된다[2].

$$I_T = J_n A + J_p P \tag{1}$$

여기서 J_n는 접합 바닥부를 통해 흐르는 면적 성분의 접합 누설 전류 밀도, J_p는 접합 측면을 통해 흐르는 주변

성분의 접합 누설 전류 밀도, A는 접합 면적, P는 접합 주변 길이이다. 한편 이온 주입에 의한 격자 손상은 주변 성분보다는 면적 성분의 접합 누설 전류 밀도에 더 민감한 것으로 알려져 있으므로[2], area-intensive pattern과 edge-intensive pattern에서 접합 누설 전류를 측정 한 후 방정식(1)을 통한 연립 방정식을 풀어 면적 성분의 접합 누설 전류 밀도를 얻었다. BPSG막 평탄화를 위한 열처리(furnace annealing)만을 실시한 기본 공정에서의 접합 누설 전류 밀도는 51 nA/cm² 이나 950°C, 5초 RTA 첨가로 83.7% 줄어든 8.2 nA/cm²를 얻었다. 이는 RTA 첨가로 이온 주입에 의한 결함이 상당량 소멸되었음을 반증한다. 950°C에서 10초간 RTA를 실시하였을 때 접합 누설 전류 밀도가 증가하는 이유는 현재 불분명하나 RTA 첨가 공정에서 온도 뿐만 아니라 시간도 중요한 변수임을 반영한다. 결과적으로, 기존 공정에서와 동일한 이온 주입 조건 및 BPSG막 평탄화를 위한 열처리(furnace annealing) 조건을 사용해도 층간 절연막 증착전 최적화된 조건으로 RTA를 첨가하면 더욱 얇은 접합 깊이를 얻으면서 접합 특성을 향상시킬 수 있다. 본 연구에서 접합 깊이, 면저항 및 접합 누설 전류 밀도의 결과를 종합해 보면 층간 절연막 증착 전 가장 효과적인

인 RTA 조건은 950°C, 5초이며, 기존 공정을 사용하였을 때의 결과와 비교에서 접합 깊이, 면저항 및 접합 누설 전류 밀도를 각각 10%, 2%, 및 83.7%를 감소시켰다.

4.2 ⁴⁹BF₂/¹¹B 혼합 이온 주입 방법

그림 11은 p⁺ 소오스/드레인 형성을 위해 0° tilt로 ⁴⁹BF₂/15 keV/2×10¹⁵ cm⁻²의 조건, ¹¹B/3.3 keV/2×10¹⁵ cm⁻²의 조건과, 제 1차로 ⁴⁹BF₂/15 keV/7×10¹⁴ cm⁻²의 조건으로 이온 주입 후 제 2차로 ¹¹B/3.3 keV/1.3×10¹⁵ cm⁻²의 조건으로 이온 주입 직후 ¹¹B 농도 분포의 SIMS 결과를 나타내고 있다. 3가지 이온 주입 조건에서 주입되는 총 ¹¹B의 양은 모두 동일하다. ¹¹B 이온만을 주입한 경우 ¹¹B의 채널링이 매우 심한 반면, ⁴⁹BF₂/¹¹B 혼합 이온 주입하거나 ⁴⁹BF₂ 이온만을 주입한 경우는, ¹¹B의 채널링이 존재는 하나 ¹¹B 이온만을 주입한 경우보다는 채널링이 상당히 줄었다. 이는 ⁴⁹BF₂ 이온 주입으로 실리콘 표면이 비정질화 되어 ¹¹B의 채널링이 억제되었기 때문이다. 한편 ⁴⁹BF₂/¹¹B 혼합 이온 주입이나 ⁴⁹BF₂ 이온만 주입한 경우의 ¹¹B 분포는 거의 같은 데, 이는 ⁴⁹BF₂ 이온을 7×10¹⁴ cm⁻² 정도 주입해도 충분히 ¹¹B의 채널링을 억제한다는 것을 반영한다.

그림 12는 3가지 조건으로 이온 주입된 시편에

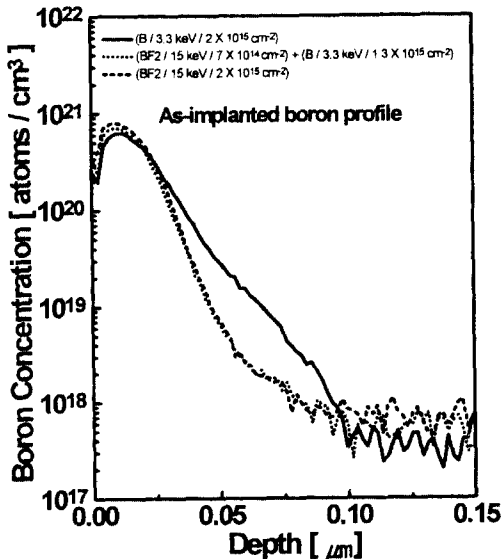


그림 11. p⁺ 소오스/드레인 형성을 위해 0° tilt로 ⁴⁹BF₂/15 keV/2×10¹⁵ cm⁻²의 조건, ¹¹B/3.3 keV/2×10¹⁵ cm⁻²의 조건과, 제 1차로 ⁴⁹BF₂/15 keV/7×10¹⁴ cm⁻²의 조건으로 이온 주입 후 제 2차로 ¹¹B/3.3 keV/1.3×10¹⁵ cm⁻²의 조건으로 이온 주입 직후 ¹¹B 농도분포의 SIMS 결과.

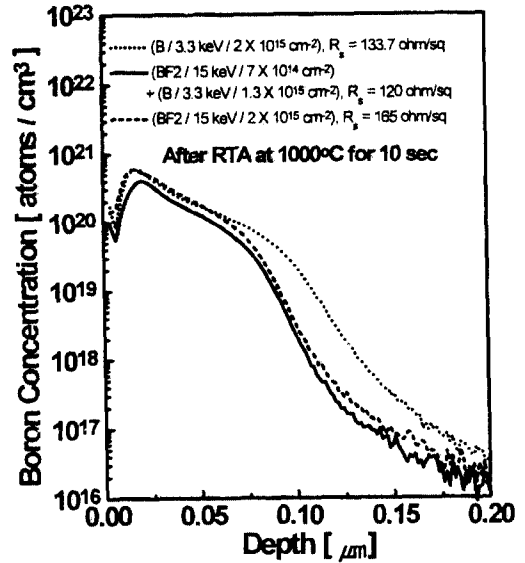


그림 12. p⁺ 소오스/드레인 형성을 위해 0° tilt로 ⁴⁹BF₂/15 keV/2×10¹⁵ cm⁻²의 조건, ¹¹B/3.3 keV/2×10¹⁵ cm⁻²의 조건과, 제 1차로 ⁴⁹BF₂/15 keV/7×10¹⁴ cm⁻²의 조건으로 이온 주입 후 제 2차로 ¹¹B/3.3 keV/1.3×10¹⁵ cm⁻²의 조건으로 이온 주입시 1000°C, 10초 RTA 후 ¹¹B 농도분포.

1000°C에서 10초간 RTA 처리 후 ¹¹B 농도 분포의 SIMS 분석 결과이며, 면저항 측정 결과와 함께 나타내었다. ¹¹B 이온만을 주입한 경우는 비록 세가지 이온 주입 조건중 실리콘에 가장 적은 수의 결함을 생성한다 하더라도, 초기 채널링이 가장 심하여 열처리 후 가장 깊은 ¹¹B 농도 분포를 보이고 있다. 반면, ⁴⁹BF₂만 이온 주입하거나 ⁴⁹BF₂/¹¹B 혼합 이온 주입한 경우는 ¹¹B 채널링이 어느 정도 억제되었을 뿐만 아니라 ¹⁹F에 의한 ¹¹B 확산 억제 효과[25,26]로 ¹¹B 이온만 주입한 경우와 비교해서 더 얇은 접합이 형성되는 것으로 사료된다. 한편 ⁴⁹BF₂/¹¹B 혼합 이온 주입한 경우가 ⁴⁹BF₂만 주입 경우보다 약간 더 얇은 접합을 형성하는 데, 이는 ⁴⁹BF₂/¹¹B 혼합 이온 주입한 경우 제 1차로 ⁴⁹BF₂를 7×10¹⁴ cm⁻²의 주입량 정도로 주입해도 ¹⁹F의 ¹¹B 확산 억제 효과를 충분히 얻을 수 있으며 ⁴⁹BF₂만 주입 경우보다 ¹⁹F 이온 주입된 양이 적어 실리콘 틈새 점 결함(Si-interstitial)의 농도가 적기 때문에 ¹¹B의 확산이 더 억제된 것으로 사료된다. 면저항의 경우 ⁴⁹BF₂ 이온만을 주입한 경우 165 Ω/□로 가장 높으며, ¹¹B만 주입한 경우는 접합 깊이가 ⁴⁹BF₂ 이온만을 주입한 경우보다 크기 때문에 면저항이 더 낮다. 한편, ⁴⁹BF₂/¹¹B 혼합 이온 주입한 경우는 면저

항이 $120 \Omega/\square$ 로 가장 낮은 데, 이는 접합 깊이가 가장 작아도 열처리 후 실리콘 내에 잔류 결함의 수나 농도가 적어 ^{11}B 의 전기적 활성화가 증가되었음을 반영한다. 따라서 $^{49}\text{BF}_2/^{11}\text{B}$ 혼합 이온 주입방법은 기존의 $^{49}\text{BF}_2$ 이온 주입 방법보다 접합 깊이 및 면저항을 동시에 낮출 수 있는 방법이라 사료된다.

4.3 이온 주입 후 잔류 산화막 제거와 MTO 증착

그림 13은 50 \AA 두께의 희생 산화막을 통해 $^{49}\text{BF}_2/20 \text{ keV}/3 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 이온 주입 후 희생 산화막을 제거하거나 제거하지 않은 상태에서 저압 방식으로 증착된 TEOS(Tetra-Ethyl-Ortho-Silicate) 막이나 MTO를 증착하고 BPSG(Boro-Phospho-Silicate-Glass) 증착 및 850°C 에서 30분간 열처리(furnace annealing)후 cross-sectional TEM에 의한 잔류 결함 분포를 보이고 있다. 그림 13(a)는 희생 산화막 제거 후 TEOS 막과 BPSG 막을 증착하고 열처리(furnace annealing)후의 결과로 초기 비정질/결정 경계면 하단에 전형적인 "end of range" 결함[20]이 보이고 있다. 그러나, 그림 13(b)에서 보는 바와 같이 희생 산화막 제거 후 TEOS 막 대신 MTO를 증

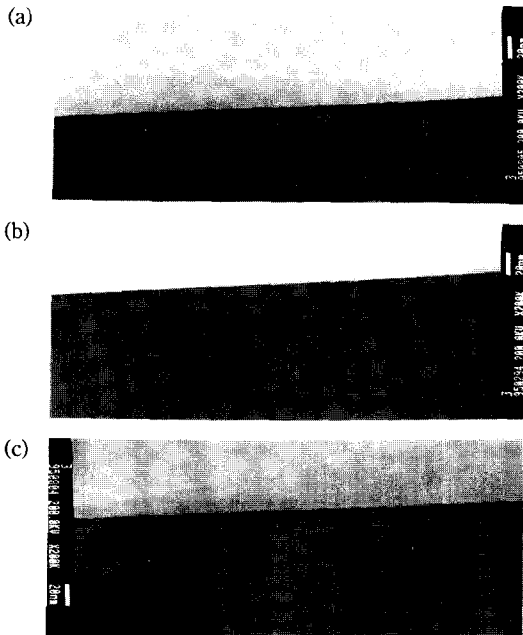


그림 13. $^{49}\text{BF}_2/20 \text{ keV}/3 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 이온 주입시 (a) 희생 산화막 제거후 TEOS막 증착, (b) 희생 산화막 제거후 MTO막 증착, (c) 희생 산화막을 제거하지 않고 MTO막을 증착하고 850°C 에서 30분간 열처리후 cross-sectional TEM에 의한 잔류 결함 분포.

착하는 경우 잔류 결함의 수가 대폭 줄었을 뿐만 아니라, 그 위치가 실리콘 표면으로 이동 한 것을 볼 수 있다. 이로부터 실리콘 틸스 점 결함(Si-interstitial)이 실리콘 표면으로 이동하거나 외확산(out-diffusion)된다고 사료된다. 현재 이 이유는 명확하지 않으나, 증착 온도의 차이, 막질 특성등의 차이로 인해 잔류 결함의 수나 위치가 달라진 것으로 판단된다. 그러나, 그림 13(c)에서와 같이 희생 산화막을 제거하지 않은 상태에서 MTO를 증착한 경우는 잔류 결함의 수는 약간 줄었으나 그 위치는 초기 비정질/결정 경계면 하단에 위치해 있다. 따라서 실리콘 표면 상태 역시 잔류 결함의 수나 농도에 영향을 끼치며, 이 결과로부터 희생 산화막 제거 직후 MTO를 증착하는 방법은 이온 주입에 의한 결함을 줄일 수 있는 방법이라 사료된다.

그림 14는 이온 주입과 희생 산화막 제거 직후 TEOS 막이나 MTO를 증착 한 후 ^{11}B 농도 분포의 SIMS 분석 결과이다. MTO를 증착한 경우 이온 투사 범위(projected range)의 위치가 실리콘 표면으로 이동하면서 상당량의 ^{11}B 이 외확산(out-diffusion)이 되었다. 반면에 TEOS막을 증착 한 경우에는 이온 주입 직후의 ^{11}B 분포와 거의 같았다.

그림 15는 이온 주입과 희생 산화막 제거 직후 TEOS 막이나 MTO를 증착하고 BPSG막 증착과 850°C , 30분

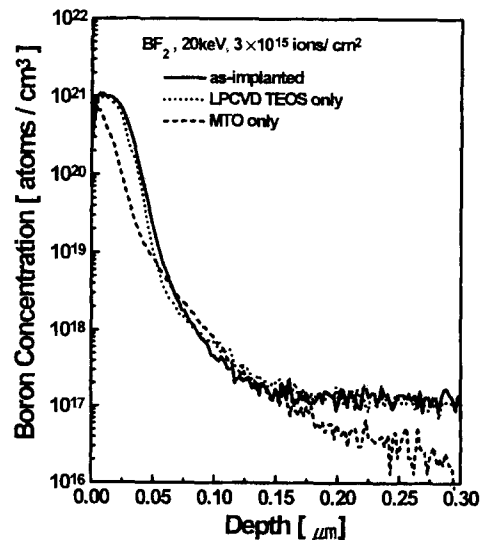


그림 14. $^{49}\text{BF}_2/20 \text{ keV}/3 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 이온 주입시, 희생 산화막 제거 직후 TEOS 막이나 MTO를 증착한 후의 ^{11}B 농도 분포.

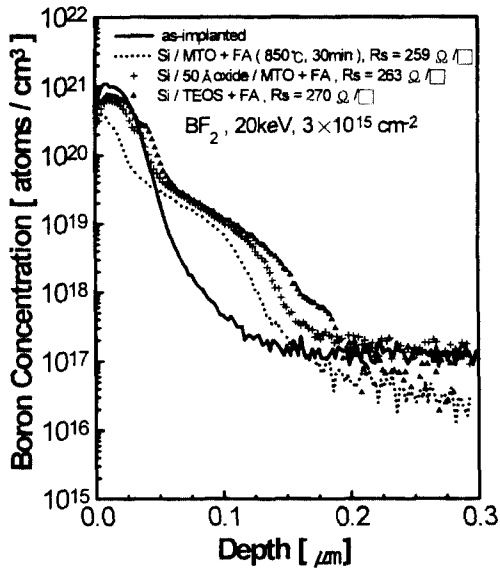


그림 15. $^{10}\text{BF}_2/20\text{ keV}/3 \times 10^{15}\text{ cm}^{-2}$ 의 조건으로 이온 주입과 희생 산화막 제거 직후 TEOS 막이나 MTO를 증착한 경우와 희생 산화막을 제거하지 않고 MTO를 증착한 경우 850°C , 30분간 열처리후 ^{11}B 농도 분포와 면 저항.

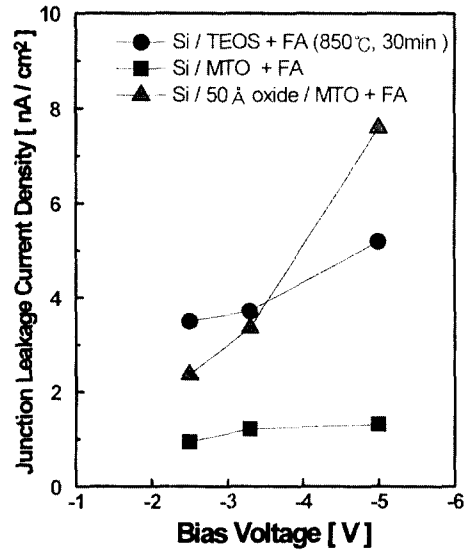


그림 16. $^{10}\text{BF}_2/20\text{ keV}/3 \times 10^{15}\text{ cm}^{-2}$ 의 조건으로 이온 주입후 희생 산화막 제거 하고 TEOS막이나 MTO를 증착한 경우와 희생 산화막을 제거하지 않고 MTO를 증착한 경우 850°C , 30분간 열처리후 접합 누설 전류 밀도.

열처리(furnace annealing)후 ^{11}B 농도 분포의 SIMS 분석 결과 및 면저항 결과로, 희생 산화막을 제거하지 않고 MTO를 증착한 경우의 결과를 함께 나타내었다. 희생 산화막을 제거하였을 때, MTO를 증착 한 경우가 TEOS막을 증착한 경우보다 약 300 \AA 정도 접합 깊이가 작았다. 이는 MTO 증착시 ^{11}B 의 확산에 영향을 주는 실리콘 틸새 점 결함(Si-interstitial)이 실리콘 표면으로 이동하거나 외확산 되었기 때문이다. 그러나, MTO를 증착하더라도 희생 산화막을 제거하지 않으면, 그 막이 장벽(barrier) 역할을 하여 접합 깊이가 크게 감소하지는 않는다. 면저항의 경우, 희생 산화막을 제거하고 TEOS막을 증착 한 경우 $270\text{ }\Omega/\square$ 이나 MTO를 증착한 경우 $259\text{ }\Omega/\square$ 로 더 낮았다. 이는 MTO를 증착 한 경우 그림 15에서 보는 바와 같이 ^{11}B 의 외확산이 심해도 이를 충분히 보상할 정도로 실리콘내의 결함이 거의 없어 실리콘 내의 ^{11}B 이 충분히 활성화 되었기 때문이다.

그림 16은 이온 주입과 희생 산화막 제거 직후 TEOS 막이나 MTO를 증착하고 BPSG막 증착과 850°C , 30분 열처리(furnace annealing)후 각 역 방향 인가 전압에 대한 접합 누설 전류 밀도의 결과이다. 희생 산화막을 제거하고 MTO를 증착한 경우 접합 누설 전류 밀도가 가장 낮으며 이는 MTO 증착동안 실리콘 내 결함의 감소로 인한

것이다. 접합 깊이, 면저항 및 접합 누설 전류의 결과로부터 기존 공정과 달리, 이온 주입 직후 희생 산화막을 제거하고 즉시 MTO를 증착한 경우, 더 얇으면서 더 우수한 전기적 특성을 얻을 수 있었다.

5. 결 론

트랜지스터의 소오스/드레인 접합 특성에 가장 큰 영향을 미치는 인자는 이온 주입시 발생한 실리콘 내 결함이라는 사실에 착안하여, 기존 소오스/드레인 접합 형성 공정과는 다른 새로운 방식으로 중간 절연막 증착 전 저온 RTA 첨가 방법, $^{10}\text{BF}_2$ 이온 주입을 $^{10}\text{BF}_2$ 와 ^{11}B 으로 혼합하는 방식으로 대체하는 방법, 그리고 이온 주입 후 잔류 산화막을 제거한 직후 MTO를 증착하는 방법을 제시하였으며, 각각의 방법은 모두 이온 주입에 의한 실리콘 내 결함 농도를 줄여 기존의 방법보다 더 우수한 양질의 초 저접합을 형성하였다. 중간 절연막 증착 전 저온 RTA 첨가는 RTA 공정시 실리콘 틸새 점 결함(Si-interstitial)과 실리콘 공핍 점 결함의 재결합을 유도하여 실리콘 내 결함 밀도를 줄여 접합 특성을 개선하였다. $^{10}\text{BF}_2/^{11}\text{B}$ 혼합 이온 주입 방식은 $^{10}\text{BF}_2$ 이온 주입의 장점을 유지하면서 실리콘내 결함을 줄이고자 ^{11}F 이

배제된 ^{11}B 이온 주입을 함께 하는 방식으로 $^{10}\text{BF}_2$ 이온만을 주입한 경우보다 더 얇으면서 면저항이 감소된 접합을 얻을 수 있었다. 이온 주입 후 희생 산화막 제거와 MTO 증착 방법은 MTO 공정동안 실리콘 틸새 점 결합(Si-interstitial)의 외확산을 유도하여 실리콘 내 결함 농도를 줄여 접합 특성을 향상시켰다. 상기 세가지 방법의 공정 집적화를 통해 256 Mega bit DRAM 이상의 소자에서 요구되는 고품질 p⁺-n 초저접합 형성이 가능할 것으로 판단된다.

감사의 글

본 연구는 통상산업부, 정보통신부, 과학기술처에서 공동 시행한 차세대 반도체 연구 개발 사업의 지원에 의해 수행된 연구 결과의 일부이며 이에 감사드립니다.

참고문헌

1. R. Simonton and F. Sinclair, *Handbook of Ion Implantation Technology*, Edited by J. F. Ziegler, 271 (North-Holland, 1992).
2. M. C. Ozturk, J. J. Wortman, C. M. Osburn, A. Ajmera, G. A. Rozgonyi, E. Frey, W. Chu and C. Lee, *IEEE Trans. Elec. Dev.*, **35**, 659 (1988).
3. R. Simonton, A. F. Tasch, *Handbook of Ion Implantation Technology*, Edited by J. F. Ziegler, 119 (North-Holland, 1992).
4. E. Myers, J. J. Hren, S. N. Hong and G. A. Ruggles, *Mat. Res. Soc. Symp. Proc.*, **147**, 27 (1989).
5. B. Biasse, A. M. Cartier, P. Spinelli and M. Bruel, *Nucl. Instrum. and Methods*, **B21**, 493 (1987).
6. G. A. Ruggles, S. N. Hong, J. J. Wortman, M. C. Ozturk, D. R. Myers, J. J. Hren and R. B. Fair, *Mat. Res. Soc. Symp. Proc.*, **128**, 6111 (1989).
7. S. N. Hong, G. A. Ruggles, J. J. Wortman and M. C. Ozturk, *IEEE Trans. Elec. Dev.*, **38**, 476 (1991).
8. S. J. Kwon, H. J. Kim and J. D. Lee, *Jpn. J. Appl. Phys.*, **29**, L2326 (1990).
9. M. Kase, M. Kimura, Y. Kikuchi, H. Mori and T. Ogawa, *Nucl. Instrum. and Methods*, **B59**, 550 (1991).
10. S. Wolf, *Silicon Processing for VLSI era* (Lattice press, 1990), Vol. 2, p. 155.
11. J. G. Oh, K. H. Lee, B. J. Cho and J. C. Kim, *Ungyong Mulli* (The Korean Physical Society), **9**, 506 (1996).
12. R. B. Fair, J. J. Wortman and J. Liu, *J. Electrochem. Soc.*, **131**, 2287 (1984).
13. A. Hori, S. Kameyama, M. Segawa, H. Shimomura and H. Ogawa, *IEDM'91*, 641 (1991).
14. T. Hori, *IEDM'94*, 75 (1994).
15. A. Hori, H. Nakaoka, H. Umimoto, K. Yamashita, M. Takase, N. Shimizu, B. Mizuno and S. Odanaka, *IEDM'94*, 485 (1994).
16. C. S. Nichols, C. G. Van de Walle and S. T. Pantelides, *Phys. Rev.* **B40**, 5484 (1989).
17. P. A. Packan and J. D. Plummer, *J. Appl. Phys.*, **68**, 1787 (1990).
18. B. Baccus, E. Vandenbossche and M. Lannoo, *J. Appl. Phys.*, **77**, 5630 (1995).
19. J. Narayan, O. W. Holland, W. H. Christie and J. J. Wortman, *J. Appl. Phys.*, **57**, 2709 (1985).
20. K. S. Jones, S. Prussin and E. R. Weber, *Appl. Phys.*, **A45**, 1 (1988).
21. T. E. Seidel and A. U. Macrae, 1st International Conference on Ion Implantation Technology, NY (1971).
22. S. M. Sze, *VLSI Technology*, 2nd Edition (McGraw-Hill Book Company, 1988), Chap. 8.
23. R. G. Wilson, *J. Appl. Phys.*, **54**, 6879 (1983).
24. M. Y. Tsai and B. G. Streetman, *J. Appl. Phys.*, **50**, 183 (1979).
25. O. W. Holland, J. R. Alvis and C. Hance, in *Advanced Processing of Semiconductor Devices*, Proceedings of the Society of Photo-Optical Instrumentation Engineers, Vol. 797 (Bellingham, Washington, 1987), p. 14.
26. O. W. Holland, *Appl. Phys. Lett.*, **54**, 798 (1989).