

재 프로그래밍 방법에 의한 MIM ANTIFUSE의 온저항 감소 효과

임원택 · 이상기 · 김용주 · 이창호 · 권오경*

한양대학교 물리학과, 전자공학과*
(1996년 12월 6일 접수)

On-state resistance decreasing effect of mim antifuse by re-programming method

Won Taeg Lim, Sang Gi Lee, Yong Ju Kim, Chang Hyo Lee and Oh Kyong Kwon*

*Department of Physics & Elec. Eng., Hanyang Univ.
(Received December 6, 1996)

요 약 - Al/a-Si:H/Mo 구조의 MIM(Metal-Insulator-Metal) antifuse를 제작하여 antifuse의 I-V 특성을 조사하고, 온저항의 분포를 구하였다. 제작된 antifuse의 누설전류는 $1 \text{ pA}/\mu\text{m}^2$ 이하였고, 프로그래밍 전압은 10~11 V 내에 분포하였다. 프로그램 후 온저항은 대부분 10~20 Ω 이었고, 20% 정도는 100 Ω 이상의 분포도를 보였다. 이러한 온저항 분포의 편차와 저항값을 줄이기 위해 이미 프로그래밍된 antifuse에 다시 전류를 주입하는 재 프로그래밍 방법을 시도하였다. 이 방법을 통하여 100 Ω 이상의 온저항을 가지는 antifuse를 다시 50 Ω 이하로 낮출 수 있었다. 재 프로그래밍 방법을 사용한 antifuse는 한번만 프로그래밍 했을 때 보다 더욱 더 균일하고 낮은 온저항 분포를 가졌다.

Abstract - We fabricated MIM (Metal-Insulator-Metal) antifuses with Al/a-Si/H/Mo structure and then examined the I-V characteristics and on-state resistance distribution of antifuses. The leakage current of antifuses is below $1 \text{ pA}/\mu\text{m}^2$, and programming voltage lies within 10 to 11 V. After programming, on-resistance of antifuses is mostly 10-20 Ω and 20% of these have above 100 Ω . In order to reduce on-resistance and the deviation of this distribution, we tried to inject current again into already programmed antifuses (we call this the re-programming method). From this method, the resistance of antifuses with above 100 Ω can be reduced to below 50 Ω . When antifuses are programmed by re-programming method, these antifuses have more uniform and lower on-resistance than programmed with one-pulse.

1. 서 론

현재까지 FPGA(Field Programmable Gate Array)의 연결소자로는 MOSFET(SRAM), EPROM 또는 EEPROM 등이 주로 사용되어 왔다[1]. 이러한 소자들은 큰 면적을 차지할 뿐만 아니라 높은 프로그래밍 전류를 필요로 하기 때문에 이러한 단점들을 보완할 수 있는 새로운 연결소자로서 antifuse가 등장하였다. Antifuse는 단 한번의 프로그래밍으로 비전도 상태에서 전도상태로 변하는 일종의 스위칭 소자이며, 전형적인 antifuse는 두 전극 사이에 절연체가 삽입된 샌드위치 구조로 되어 있다. Antifuse는 충분히 높은 전류나 전압펄스가 가해지기 전

까지는 매우 높은 초기 저항값을 가지다가 펄스가 가해진 후에는 절연층 내에 전도채널(필라멘트)이 생성되어 아주 낮은 저항값을 가지게 된다.

일반적인 antifuse의 구조는 표 1을 보면 알 수 있듯이 antifuse의 전극으로는 주로 n^+ 다결정 실리콘, 금속물질 그리고 실리콘사이드 등이 사용되며, 절연층으로서는 Si_3N_4 , SiO_2 , a-Si:H 등이 사용된다[2, 3]. 일반적으로 n^+ 다결정 실리콘을 전극으로 사용한 antifuse는 500 Ω 정도의 높은 온저항(on-state resistance)을 가지는 반면, 금속 전극을 사용한 antifuse는 50 Ω 이하의 낮은 저항을 가짐으로써 고속소자 응용에 필수적인 낮은 전기용량과 낮은 저항 조건을 잘 만족시킨다[4, 5]. 금속전극으로는

표 1. 여러가지 antifuse의 특성 비교표.(O: SiO₂, N: Si₃N₄)

Type	R _{on} (Ohm)	BVG (V)	Leakage (pA/μm ²)	Reference
N ⁺ diffusion/ONO/poly	500	14	0.01	[2]
Poly/NO/Poly	500	11	0.1	[2]
Metal/NON/Metal	65	11	1	[2]
Metal/a-Si/Metal	180	13	100	[2]
Metal/N/Metal	40	8	100	[2]
Al/a-Si:H/Al	1.6	4	4	[9]
WSi ₂ /SiN _x /TiN	10	9	*	[10]
Metal/ON/Silicide	50	*	1	[5]

Al, Mo, W, Ti, 실리사이드(silicide) 등을 주로 사용하는 데, 하부전극으로는 실리콘 기판과의 반응으로 생길 수 있는 hillock을 방지하기 위하여 내화성 금속인 Mo, W 또는 실리사이드를 사용하며, 상부전극은 패턴이 용이한 Al을 주로 사용한다.

절연층으로 Si₃N₄ 또는 SiO₂를 사용한 경우, off 상태의 antifuse의 누설전류는 a-Si:H을 사용하였을 때보다 상당히 작음을 알 수 있다. 그러나 필요로 하는 프로그래밍 전압을 조절하는데 있어 a-Si:H을 사용했을 때 보다 어려움이 따른다. 즉, antifuse를 5V의 구동전압을 가지는 CMOS의 게이트 어레이에 사용할 경우, 프로그래밍 전압(절연과괴를 일으킬 수 있는 전압)은 대략 9~13.5V 정도가 되어야 한다. 이러한 조건을 만족시키기 위해서 Si₃N₄, SiO₂ 박막의 두께는 보통 10nm 정도인데 반하여, a-Si:H의 두께는 100nm 정도의 두께를 가짐으로 절연층의 두께 조절이 상대적으로 용이하여 프로그래밍 전압을 쉽게 조절할 수 있는 장점이 있다[6, 7].

Antifuse는 off 상태일 때 높은 저항과 낮은 누설전류를 가져야 하고, on 상태일 때 매우 낮은 저항을 가져야 할 뿐만 아니라 고른 온저항 분포를 가져야 한다. 지금까지의 antifuse에 대한 연구는 전극과 절연체의 물질을 다양하게 사용하여, 이에 대한 전기적 성질을 분석하는 것이 주된 연구 내용이었다.

본 논문에서는 여기서 한 걸음 더 나아가 이미 프로그래밍된 antifuse에 다시 전류를 주입하는 재 프로그래밍하는 방법으로 평균에서 벗어난 비교적 높은 온저항을 다시 낮춤으로서 antifuse의 신뢰도를 더욱 더 높일 수 있는 방법에 관해 조사하고자 한다. 본 연구에서 제작한 antifuse는 절연층으로 a-Si:H, 바닥전극으로는 Mo, 상부전극으로 Al을 사용하였다.

2. 실험

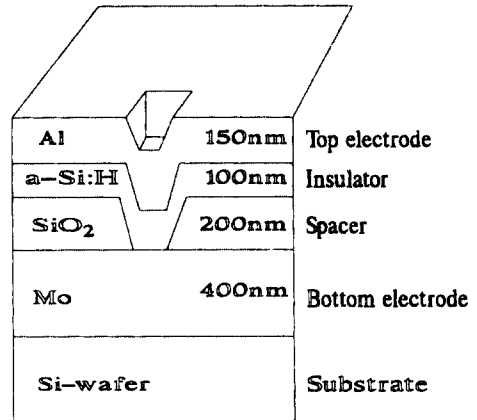


그림 1. MIM antifuse의 단면도.

MIM antifuse의 개략도는 그림 1과 같다. 상부전극과 spacer(SiO₂)를 원하는 모양으로 만들기 위해 2장의 마스크를 사용하였으며, 일반적인 습식식각 방법을 이용하였다. 이렇게 제작된 antifuse cell은 1cm² 크기의 시편에 약 200개 정도이었다. Antifuse의 상세한 제작과정은 아래와 같다. 먼저, 실리콘 기판을 메탄올, 아세톤 용액, 그리고 D.I. water 순서로 각각 초음파 세척기를 이용하여 충분히 세척하였다. 그 다음 고주파 마그네트론 스퍼터링(rf magnetron sputtering) 방법으로 기판 위에 하부전극인 Mo를 400nm 증착하였다. 초기진공을 3×10⁻⁶ torr로 하고 프로세스중의 Ar(5N)의 유속은 20 sccm, RF power는 60W(2" 타겟), 증착압력은 2×10⁻³ torr, 증착온도는 300°C를 유지하였다. 이 때 Mo의 증착율은 3nm/min이었다. 하부전극을 내화성 금속의 한종류인 Mo으로 선택한 이유는 antifuse cell을 구성하는 절연물질인 a-Si:H 증착시 thermal stress에 의한 hillock을 방지하기 위해서이다.

하부전극 위에 ECR(Electron Cyclotron Resonance) CVD 장치를 이용해 SiO₂ 박막을 200nm 증착하였다. SiO₂는 antifuse에서 spacer의 역할을 하며, 구조적으로 antifuse cell을 완전히 감싸고 있다. 여기서 굳이 SiO₂를 사용한 이유는 실리콘 프로세스 과정에서 가장 많이 사용하는 절연체이기 때문이다. Spacer 구조를 만들기 위해 일반적인 포토리소그래피 작업을 거쳐 패턴하였다. 패턴된 hole의 크기는 4μm×4μm 이었다. 식각조건은 HF(49%)와 D.I. water의 비를 1:10으로 섞은 용액을 사용하여, 상온에서 40초 동안 식각하였다. 식각속도는 5nm/s이었다.

Spacer가 패터닝된 기판 위에 antifuse의 절연체인 a-Si:H을 PECVD(Plasma Enhanced Chemical Vapor Deposition)방법으로 100 nm 증착하였다. 이 때 초기진공은 3×10^{-7} torr 이었으며, 증착온도는 200°C, RF power는 3 W(17.68 mW/cm²)로 유지하였다. SiH₄와 H₂의 유속은 각각 6sccm, 24 sccm 이고, 증착압력은 200 mtorr이었다. 이 때 증착율은 1.5 nm/min 이었다.

상부전극은 스퍼터링 방법으로 Al을 150 nm 증착하였다. 증착온도를 상온으로 유지하고, 나머지 조건은 하부전극의 증착조건과 동일하게 하였다. 이 때 증착율은 3.8 nm/min이었다. 증착된 Al은 H₃PO₄:HNO₃:CH₃COOH:D.I. water의 비를 16:1:1:2로 혼합한 용액을 사용하여 상온에서 식각하였다. 식각속도는 50 nm/min이었다. 리소그래피한 상부전극의 크기는 50 μm × 50 μm 이었다.

제작한 박막의 두께는 Mechanical Stylus Profilometer [Tencor Co. Model α-step], antifuse의 I-V 특성은 Semiconductor Parameter Analyzer[Hewlett-Packard Co. HP 4145B]를 사용하여 측정하였다.

3. 결과 및 분석

그림 2는 절연층인 a-Si:H의 두께가 서로 다른 antifuse의 전류-전압 특성 그래프이다. 이 때 전압의 인가 방향은 상부전극(Al)에 양(+)전압을 가했으며, sweep bias의 간격은 0.1 V/step, sweep speed는 HP4145B의 medium speed option(integration time: 16.7 ms)을 택했다. 여

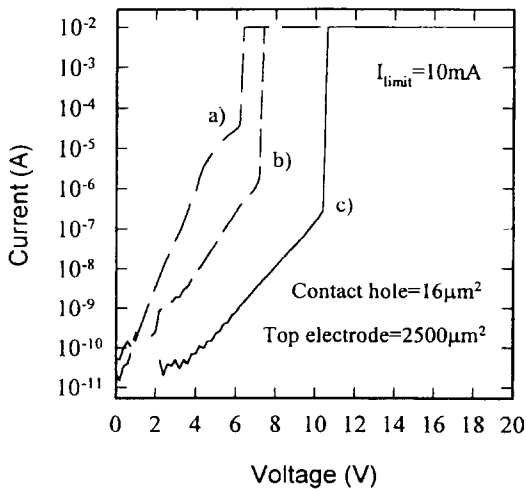


그림 2. a-Si:H의 두께에 따른 antifuse의 I-V특성. a) 60 nm, b) 80 nm, c) 100 nm

기서 최대전류를 10 mA로 제한한 것은 antifuse의 절연 파괴 후 전류에 의한 장비(HP4145B)의 손상을 막기 위해서이다. 참고적으로 전류를 제한하는 또 하나의 중요한 목적은 실제 응용에 있어서 antifuse에 주입하는 프로그래밍 전류를 조절하기 위해서이기도 하다.

절연층의 두께를 변화시키면서 I-V 특성을 조사하는 이유는 실제 소자에 응용시 적합한 antifuse의 절연층의 두께를 얻기 위해서이다. Antifuse의 항복전압은 일반적으로 구동전압(V_d)의 1.5~3배 사이에 반드시 놓여야 한다. 항복전압이 3 V_d 보다 작아야 되는 이유는 프로그래밍하는 동안 CMOS 트랜지스터의 gate-oxide의 절연 파괴를 피하기 위해서이고, 1.5 V_d 보다 커야 하는 이유는 burn-in 테스트시 antifuse가 파괴되지 않게 하기 위해서이다. 따라서 5 V 구동소자에 사용할 때는 절연파괴 전압이 7.5~15 V 사이에 오도록 절연층의 두께를 조절해야 한다. 그림 5를 보면 a-Si:H 두께가 각각 60 nm, 80 nm, 100 nm인 antifuse의 항복전압은 6.4 V, 7.4 V, 10.6 V 이었다. 커패시터(capacitor) 구조를 갖는 antifuse의 절연층의 두께가 증가할수록 절연파괴를 일으키는 항복전압은 점점 증가하고, 두께증가에 따른 상대적인 전기장의 감소로 누설전류는 감소한다는 사실을 알 수 있었다.

위의 결과에서 antifuse의 절연층(a-Si:H)의 두께가 100 nm 정도가 되어야만 위에서 언급한 조건(항복전압의 제한 범위)을 잘 만족시킬음을 알 수 있다. 따라서 이후 antifuse의 절연층의 두께는 모두 100 nm로 고정시켰다.

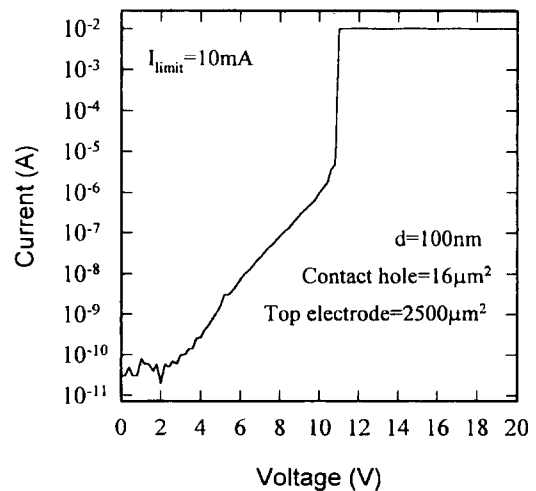


그림 3. 상부전극에 positive bias를 인가했을 때 Al/a-Si:H/Mo antifuse의 전형적인 I-V 특성.

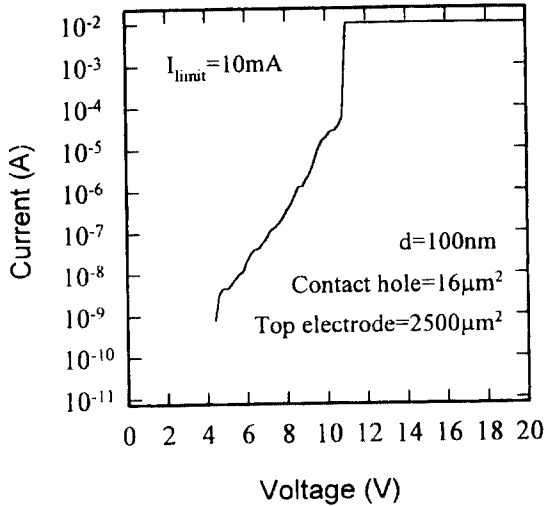


그림 4. 상부전극에 negative bias를 인가했을 때 Al/na-Si:H/Mo antifuse의 전형적인 I-V 특성.

그림 3과 4는 antifuse에 거는 전압의 방향에 따른 I-V 특성 그래프이다. Antifuse는 제작시 기하학적 모양과 재료의 차이 때문에 전압 인가 방향에 따라 특성이 다르다고 보고되어 왔다. 그림 3은 상부전극에 양전압(positive bias)을 0~20 V까지 인가했을 때 대표적인 antifuse의 I-V 특성 그래프이다. 5 V에서 누설전류는 3 nA이며, 스위칭 전류는 4.7 μ A, 그리고 항복전압은 10.8 V를 나타낸다. 그림 4는 상부전극에 음전압을 가했을 때 I-V 특성 그래프인데, 누설전류는 9.8 nA, 스위칭 전류는 58.4 μ A이며 항복전압은 10.8 V이다. 그래프에서 보는 바와 같이 항복전압은 전압의 인가 방향에 대해 거의 변화가 없었으며, 누설전류와 스위칭전류는 상부전극에 음전압을 인가했을 때 상대적으로 증가함을 알 수 있었다. 이러한 현상은 상부전극인 Al이 a-Si:H 과 상호작용으로 바닥전극인 Mo보다 상대적으로 거친 계면을 형성하기 때문에 국소 전기장이 강화되고 이로 인해 전자방출이 증가하는 것으로 설명할 수 있다[8]. 이상의 결과로부터 실제 Al/a-Si:H/Mo antifuse의 프로그래밍 과정에서, 상부전극에 양전압을 가하는 것이 훨씬 유리함을 알 수 있었다.

그림 5는 절연과괴가 일어난 후(on-state), 임의의 antifuse에 대한 I-V 특성 그래프이며, 특정 저항값 $R_{on} = 18.2 \Omega$ 을 갖는 전도채널(필라멘트)이 절연층내에 형성되었음을 보여 준다.

그림 6은 비전도상태의 Al/a-Si:H/Mo antifuse를 전도

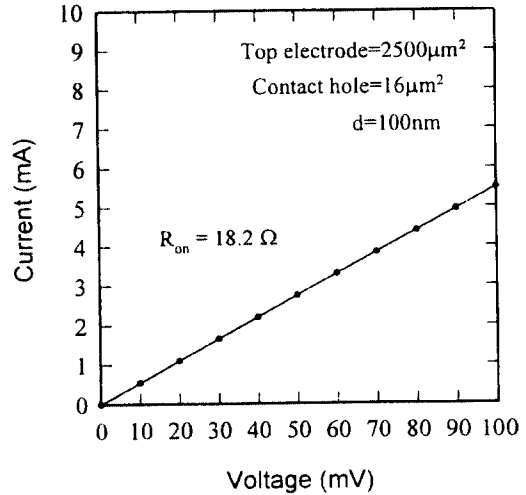


그림 5. 프로그램된 antifuse의 I-V 특성.

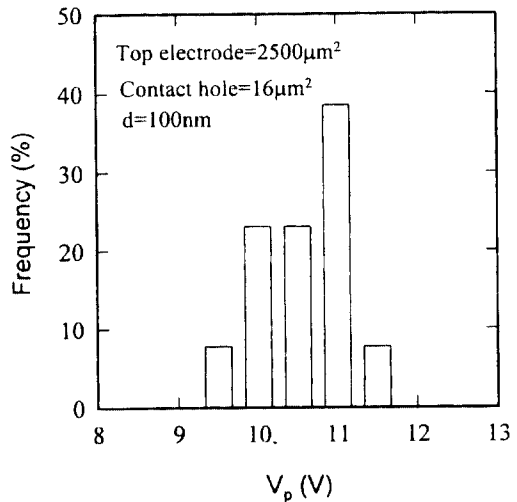


그림 6. MIM antifuse의 프로그래밍 전압 분포도.

상태(절연과괴)로 변환시키는데 필요한 항복전압, 즉 프로그래밍 전압의 분포도를 나타낸다. 프로그래밍 전압은 9.5 V에서 11.5 V 범위 안에 분포하였으며, 11 V에서 최대 빈도를 나타내었다. 이 사실로부터 제작한 antifuse의 모든 cell이 절연과괴가 되기 위해서는 11.5 V 이상의 전압을 가해야만 한다는 것을 알 수 있었다. 이것은 antifuse의 최소 프로그래밍 전압이 11.5 V 이상이어야 함을 말해 준다.

그림 7은 프로그램된 antifuse의 온저항의 분포를 보여 준다. 앞의 결과를 참고하여 HP4145B를 사용하여

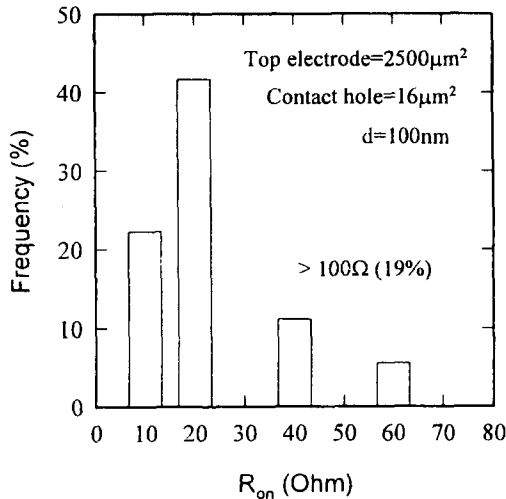


그림 7. 프로그램된 antifuse의 온저항 분포도.

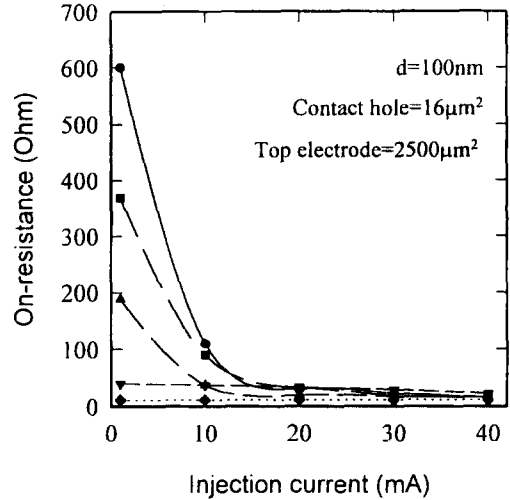


그림 8. 프로그램된 antifuse에 주입한 전류와 온저항과 관계.

antifuse에 프로그래밍 전압으로 12 V, 3.2 msec의 전압 펄스를 주입하여 프로그램 시켰다. 프로그램한 후 온저항을 측정하기 위해서 antifuse에 1 mA의 read current를 주입하여 하였다. 이 때 read current를 이처럼 작게하는 이유는 과전류 주입시 이미 프로그램된 antifuse의 고유 상태가 변할 수 있는데, 이러한 현상을 최소화시키기 위해서이다.

그림을 보면 10~20 Ω 사이의 온저항 값이 60~70% 이상을 차지하며, 20 Ω에서 최대 빈도수, 그리고 100 Ω 이상의 저항값도 약 20% 정도의 분포를 나타내었다. 제작된 antifuse의 최소저항은 7 Ω, 최대저항은 600 Ω 정도였다.

위의 결과를 보면 약 20% 정도의 switching failure가 일어남을 알 수 있다. 일반적으로 antifuse의 온저항은 절연층내의 전도채널의 반경에 반비례 관계가 있다. 따라서 이러한 현상은 antifuse의 전도채널이 제대로 형성되지 못했기 때문이다. 이것은 실제 응용시 antifuse의 신뢰도를 떨어뜨리게 된다. 따라서 여기에 대한 대처 방안이 연구되어야 한다.

그림 8은 이미 프로그램(절연과괴)된 antifuse들에 대하여 단계적으로 전류량을 증가시키면서 온저항을 측정한 결과이다. 그림 7의 프로그램된 antifuse들 중에서 각각 다른 초기 온저항을 가지는 대표적인 5개의 antifuse를 무작위로 추출하여 주입전류를 10~40 mA까지 10 mA씩 증가시키면서 온저항의 변화를 조사하였다. 100 Ω 이상의 온저항을 가지는 antifuse의 경우 입력전

류의 변화에 따른 저항 감소가 민감하게 나타났으나, 50 Ω 이하의 저항에 대해서는 뚜렷한 변화가 없었다. 이 사실로부터 재 전류주입에 의해 발생한 Joule 열이 이미 형성된 필라멘트의 반경을 더욱 더 증가시켜 결국 antifuse의 온저항을 낮출 수 있으나, 온저항이 어느 정도 이하로 낮아지면 열이 필라멘트의 위·아래 방향으로 대부분 방출되기 때문에 필라멘트의 반경이 증가하는데 별 영향을 주지 못함을 알았다.

그림 8을 보면 주입전류가 10 mA일 때 가장 많은 온저항 변화를 보였으며, 그 이상에서는 저항변화의 폭이

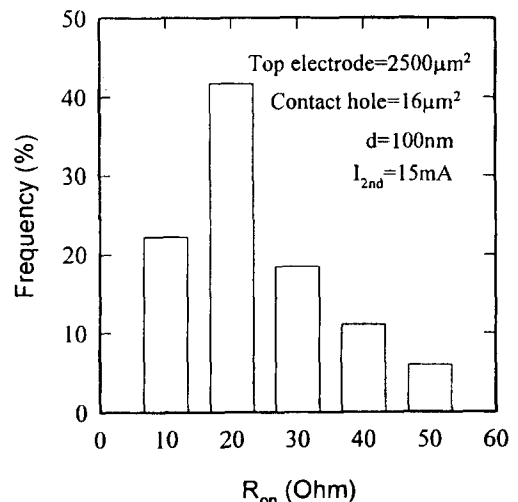


그림 9. 재 프로그래밍 후 antifuse의 온저항 분포도.

점점 감소하여 15 mA 이상에서는 거의 변화가 없었다. 위의 결과로부터 그림 7에서 나타나는 100 Ω 이상의 온저항 값을 가지는 약 20%의 antifuse에 약 15 mA 정도의 2차 전류를 주입하는 재 프로그래밍 방법으로 이미 형성된 온저항을 다시 50 Ω 이하로 낮출 수 있는 가능성을 제시해준다.

그림 9는 그림 7에 나타난 antifuse에 15 mA의 2차 전류를 주입한 후, 조사한 온저항의 분포를 나타낸 것이다. 그림 8에서 예견된 것처럼 50 Ω 이하의 낮은 온저항 분포를 보여준다. 따라서 재 프로그래밍 방법을 사용하면, 한번 프로그래밍 했을 때 보다 효과적으로 antifuse의 온저항을 낮출 수 있고 또 분포의 편차를 줄일 수 있음을 보여준다. 이는 antifuse의 신뢰도를 향상시키는데도 상당한 기여를 할 것으로 보인다.

4. 결 론

Antifuse의 상부전극에 negative bias보다 positive bias가 인가되는 경우 상대적으로 낮은 스위칭전류와 누설전류를 얻을 수 있어 positive bias를 인가하는 경우가 더 효과적임을 알 수 있었다. 그리고 절연층으로 사용된 a-Si:H의 두께가 증가함에 따라 누설전류는 감소하고, 프로그래밍 전압은 높아졌다. 절연층의 두께가 100 nm인 antifuse의 항복전압은 9.5~11.5 V 내에 분포하였고 11 V에서 최대 빈도수를 보였다.

프로그래밍된 온저항은 주로 10~20 Ω 사이에 고르게

분포하였고, 20% 정도는 100 Ω 이상이었으며 최저 온저항은 7 Ω 이었다. 프로그래밍한 후 100 Ω 이상의 높은 온저항 값을 가지는 antifuse는 15 mA 정도의 전류를 주입하는 재 프로그래밍 방법으로 50 Ω 이하의 다시 낮은 온저항 값을 가지게 되어 antifuse의 온저항 분포의 편차를 줄일 수 있었다.

참고문헌

1. C. Hu, IEDM Tech. Dig., 591 (1992).
2. S. Ching, R. Forouhi, W. Chen, F. Hawley, J. McCollum, E. Hamdy and C. Hu, IEDM Tech. Dig., 611 (1992).
3. G. Zhang, C. Hu, P. Yu, S. Ching, E. Hamdy, IEEE Electron Device Lett., **15**, 310 (1994).
4. S. Cohen, J. Raffel and P. Wyatt, IEEE Trans. Electron Devices, Lett., **13**, 488 (1992).
5. S. Wang, G. Misium, J. Camp, K. Chen and H. Tigelaar, IEEE Electron Device Lett., **13**, 471 (1992).
6. E. Gordon, J. Wong, IEDM Tech. Dig., 27 (1993).
7. D. Liu, K. Chen, H. Tigelaar, J. Paterson and S. Chen, IEEE Electron Device Lett., **12**, 151 (1991).
8. Simon S. Cohen. *et al*, IEEE Electron Device, **40**, 1277 (1993).
9. Yean-Kuen Fang, Kuen-Hsien Lee, Fu-Yuan Chen, Jun-Dar Hwang, Jpn. J. Appl. Phys., **34**, 1736 (1995).
10. Y. Tamura, H. Shinriki, IEDM Tech. Dig., 285 (1994).