

이중 게이트 절연막을 가지는 실리콘 전계방출 어레이 제작 및 특성

이진호 · 강성원 · 송윤호 · 박종문 · 조경익 · 이상윤* · 유형준

한국전자통신연구원 반도체연구단
*경북대학교 자연과학대학 물리학과
(1997년 3월 14일 접수)

Fabrication and characterization of silicon field emitter array with double gate dielectric

Jin Ho Lee, Sung Weon Kang, Yoon-Ho Song, Jong Moon Park, Kyung Ik Cho,
Sang Yun Lee* and Hyung Joun Yoo

Semiconductor Div., Electronics and Telecommunications Research Institute,
Yusong P.O. Box 106, Taejeon, 305-600, Korea

*Department of Physics, Kyungpook National University, Taegu 702-701, Korea

(Received March 14, 1997)

요 약 - 본 연구에서는 2단계 실리콘 건식식각 공정과 게이트 절연막으로 열산화막과 tetraethylorthosilicate (TEOS) 산화막의 이중막을 사용하고, 스피ن-온-그래스 (Spin-on-glass: SOG) 에치백(etch-back) 공정에 의하여 게이트를 제작하는 새로운 방법을 통하여 실리콘 전계방출소자를 제작하고 그 특성을 분석하였다. 게이트 절연막의 누설전류를 감소시키면서 팁과 게이트의 간격을 줄이는 구조인 이중 게이트 절연막을 형성하기 위하여 팁 침예화 산화 공정후 낮은 점도의 감광막(photo resist)을 시료에 도포한 후, O₂ 플라즈마 에싱(ashing)하는 공정을 채택하였다. 이러한 공정으로 제작된 에미터 팁의 높이와 팁 반경은 각각 1.1 μm와 100 Å 정도이었으며, 256개 팁 어레이에서 전계방출의 문턱전압은 40 V 이하이었다. 60 V의 게이트전압에서 23 μA(즉, 90 nA/팁)의 높은 아노드 전류를 얻을 수 있었다. 이때, 게이트 전류는 아노드전류의 약 0.1% 이하이었다. 개발된 공정기술로 게이트 개구도 크게 감소시켰을 뿐 아니라, 게이트 누설전류를 현저히 감소시켰다.

Abstract - Silicon field emitter arrays (FEAs) have been fabricated by a novel method employing a two-step tip etch and a spin-on-glass (SOG) etch-back process using double layered thermal/tetraethylorthosilicate (TEOS) oxides as a gate dielectric. A partial etching was performed by coating a low viscous photo resist and O₂ plasma ashing in order to form the double layered gate dielectric. A small gate aperture with low gate leakage current was obtained by the novel process. The height and the end radius of the fabricated emitter was about 1.1 μm and less than 100 Å, respectively. The anode emission current from a 256 tips array was turned-on at a gate voltage of 40 V. Also, the gate current was less than 0.1% of the anode current.

1. 서 론

마이크로파 소자, 내온도-방사선 소자, 전계방출 디스플레이(FED), 미세센서 등의 용도로 진공미세소자는 새로운 전자소자로 최근 각광을 받고 있다[1-3]. Spindt 형의 금속팁과 같이 실리콘 전계방출 소자도 진공 미세소자나 전계방출 디스플레이용으로 앞으로 많이 사용될 것이다[1-3]. 기존의 실리콘 팁 제조공정은 전자빔으로 절

연막과 금속층을 증착하고서 리프트-오프(lift-off) 방법으로 제작하게 된다. 이러한 기존의 실리콘 팁의 제작방법은 균일도가 나쁠 뿐만 아니라, 절연막의 누설전류가 크고, 포인트 소스(point-source)에서 증착이 되므로 기관의 구석 부분에서 비대칭형 게이트가 제작되는 단점이 있다[4-5]. 또한 에치백에 의한 화산구(volcano)형태의 방출팁은 제작이 쉽다는 장점이 있지만, 게이트 누설전류의 증대로 게이트 개구를 줄일 수 없는 단점이 있다[5-6].

본 연구에서는 게이트 절연막의 누설전류를 증대시키지 않으면서 팁과 게이트의 간격을 줄여 전계방출의 동작전압을 낮출 수 있는 구조인 이중 게이트 절연막을 사용하여 실리콘 전계방출 소자를 제작하였다. 등방성/비등방성 식각에 의한 2단계 식각으로 고 종횡비(aspect ratio)의 실리콘 팁을 만들고, 이중 게이트 절연막을 형성한 후 스핀-온-그래스(spin-on-glass: SOG) 에치백(etch-back) 공정을 사용하였다. 스핀-온-그래스 에치백 공정은 균일도가 좋을뿐만 아니라, 감광막 에치백 공정에서 처럼 폴리머(polymer)가 발생하지 않는 장점이 있다[5]. 낮은 점도의 감광막을 도포하고, O₂ 플라즈마 에칭(ashing) 공정을 사용하는 부분식각 공정을 개발하여 이중 게이트 절연막을 제작하였다. 여기에 사용된 모든 공정은 반도체 집적회로 제작공정과 호환이 되는 공정이어서 향후 구동회로를 내장시키는 전계방출 평판 디스플레이에도 적용이 용이하다.

2. 소자제작

Fig. 1에서는 본 실리콘 팁의 제조방법을 나타내었다. 사용된 기판은 5인치 n형 5~8 Ω·cm의 실리콘 웨이퍼를 사용하였다. 먼저 900°C의 확산로에서 POCl₃로 도핑하여 n형 웰(well)을 형성하고, 3000 Å의 산화막을 성장시켰다. 광학 스텝퍼(stepper)를 이용하여 팁 마스크를 패터닝한 후 산화막을 건식 식각하여 마스크용 디스크의 직경이 1.2 μm이 되게 하였다. 그 다음, 실리콘을 SF₆으

로 등방성으로 식각을 한 다음, SF₆+O₂ 가스를 사용하여 비등방성 식각을 하는 2단계 식각으로 팁을 형성하였다. 식각된 실리콘 팁을 더욱 뾰족하게 하기 위하여, 침예화 산화막 공정을 수행하였는데, 고온에서 약 2200 Å의 열산화막을 성장시켰다. Fig. 2(a)에서 보는 바와 같이, AZ1505와 같은 저점도의 감광막을 도포한후 O₂ 플

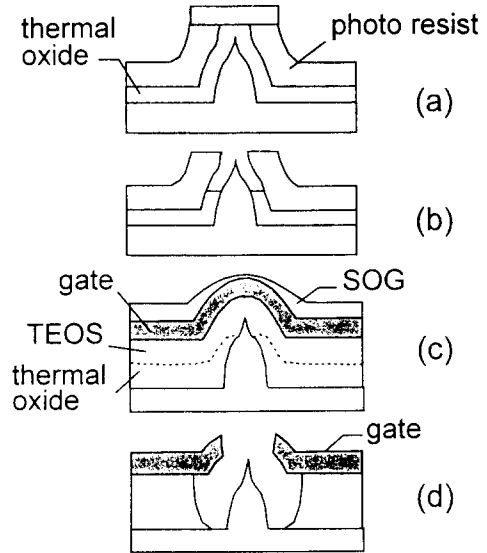


Fig. 1. The fabrication sequence of SOG etch-back process with double layered gate dielectric. Figure shows each process steps after (a) ashing process of photo resist, (b) oxide etching in 6:1 BHF, (c) SOG coating, and (d) final processing.

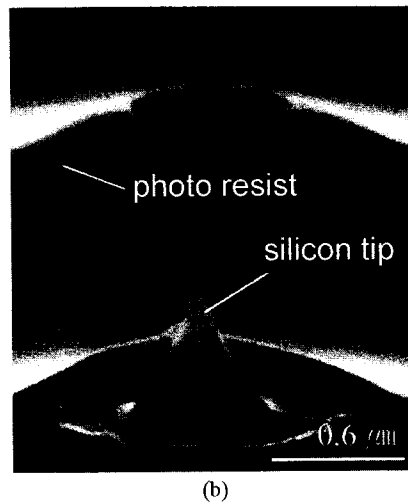
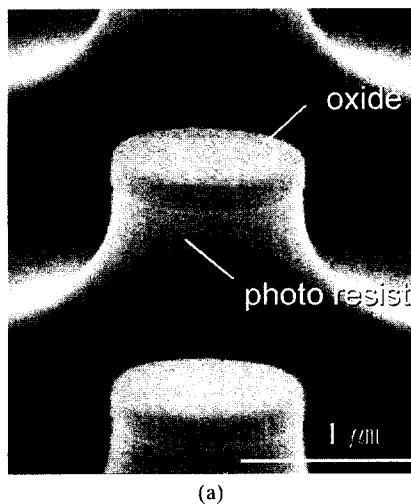


Fig. 2. SEM photographs of the tips after (a) the ashing process and (b) the oxide etch process.

라즈마로 에싱(ashing)공정을 하여 마스크 산화막 위 혹은 부근에 있는 감광막을 제거하여 마스크 산화막 디스크의 측면이 노출되게 한다. 그 다음, Fig. 2(b)에서처럼, 노출된 디스크 산화막을 6:1 BHF로 제거하여 팁주위의 열 산화막을 제거시킨다. 이때 제거되지 않고 남은 열산화막이 게이트 절연막의 첫번째 층이 된다.

게이트 절연막의 두번째 층으로 LPCVD 방법으로 tetraethylorthosilicate(TEOS) 산화막을 1500~2000 Å의 두께로 증착 시켰다. 이러한 TEOS의 두께는 게이트와 팁 끝부분의 간격을 결정 지우게 된다. 그 다음, 게이트 전극을 형성하기 위하여 폴리실리콘을 LPCVD방법으로 증착하고, POCl₃ 로서 N⁺-type으로 도핑을 하였다. 게이트 전극을 부분적으로 식각하기 위하여 스펀-온-그래스를 4000 Å의 두께로 증착한 다음, 425°C에서 60분간 어닐링을 하였다. 그 다음, 플라즈마 식각 챔버에서 에치백 공정을 수행하였는데, SF₆+O₂ 가스에서 1단계 식각을 하고, 팁이 에칭되는 것을 방지하기 위하여 폴리실리콘과 산화막의 식각 선택비가 큰 (>11:1) HBr+Cl₂ 가스의 조건으로 magnetic enhanced reactive ion etcher(MERIE) 챔버에서 2차 식각을 수행하였다. 식각된 게이트 전극의 모양은 식각시간과 식각 선택비에 크게 좌우된다. 이 공정을 마치면 팁 상부의 산화막이 노출되고, 6:1 BHF에서 TEOS와 열산화막을 식각하면, 팁이 노출된다. 끝으로, 배선용 마스크를 사용하여 게이트 전극을 노광식각하여 실리콘 전계방출 소자를 완성하게 된다.

3. 결과 및 고찰

본 실험에 사용된 팁의 패턴으로는 1.2 μm의 직경을 가지고, 5 μm의 간격을 가지게 설계하였다. 에칭공정시 두번째의 비등방성 건식식각의 시간을 조절함으로써, 팁의 높이를 변화시킬 수 있었다. 실리콘 식각후와 2200 Å의 침예화 산화막 공정후의 팁의 높이는 각각 1.4 μm, 1.1 μm 이었다. 최종 제작된 팁을 전자현미경으로 측정한 결과 팁끝의 반경은 약 100 Å 정도이었다. Fig. 3은 최종 제작된 팁의 SEM 사진을 나타내었다. 여기서 6:1 BHF에 식각을 차이에 의해 열산화막과 TEOS박막의 구분을 확인할 수 있다. 낮은 동작전압을 얻기 위해서는 팁을 뾰족하게 하고, 게이트와 팁의 간격을 가깝게 하는 것이 중요하다. 게이트 절연막의 2번째 층인 TEOS박막의 두께와 스펀-온-그래스와 게이트 전극물질의 에치백시간을 변화시킴으로 게이트와 팁의 간격을 적절히 조절할 수 있다. 또한, 팁에 높은 전기장을 인가하기 위하여 에치백시 팁과 게이트의 높이를 맞추는 것이 중요한데, 팁이 게이트 아래에 놓이게 되면 전계방출된 전자가 게이트쪽으로 많이 흐르게 된다. 이러한 점을 고려하여 제조된 팁끝은 게이트의 중간에 놓이게 되었으며, 게이트 팁과 게이트전극은 약 3000 Å 정도 근접하였다.

Fig. 4는 여러가지의 게이트 절연막에 대하여 0.3 mm²의 면적의 커패시터(capacitor)를 만들어 누설전류를 HP4145 Semiconductor Parameter Analyzer로 측정할 것

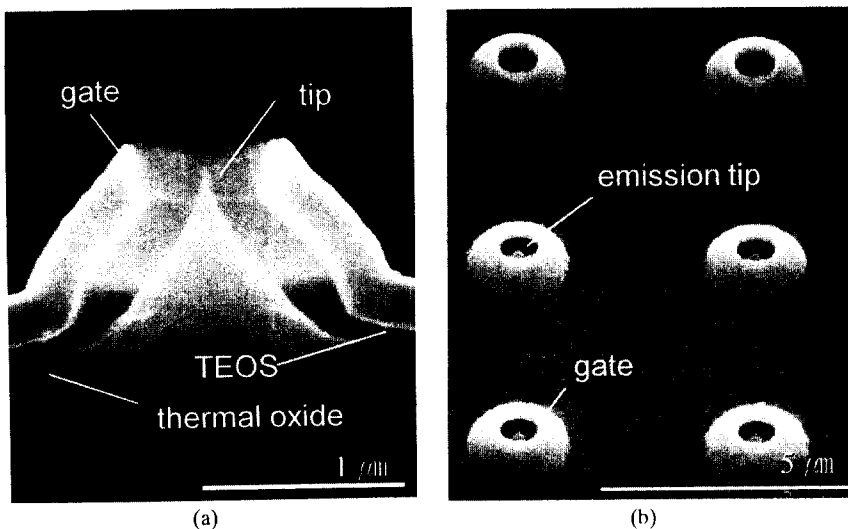


Fig. 3. SEM photographs of the finally fabricated emitter tips.

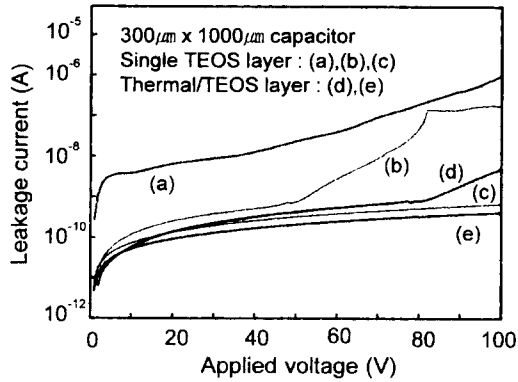


Fig. 4. Leakage currents of $300\ \mu\text{m} \times 1000\ \mu\text{m}$ capacitor with single dielectric layer of TEOS oxide and double layer of thermal/TEOS oxide. (a) TEOS oxide 150 nm, (b) TEOS oxide 300 nm, (c) TEOS oxide 450 nm, (d) thermal oxide 220 nm /TEOS oxide 150 nm and (e) thermal oxide 220 nm/TEOS oxide 300 nm.

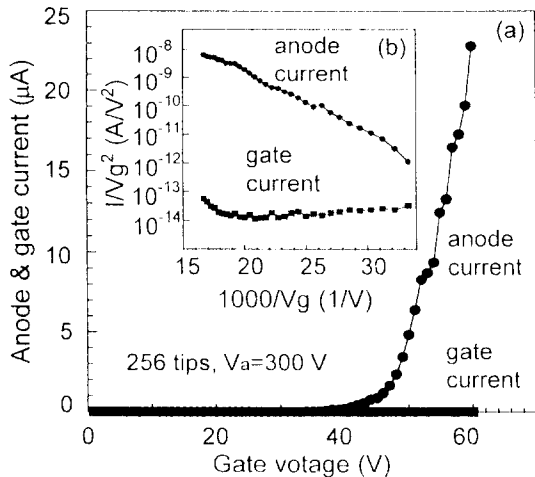


Fig. 5. (a) Anode and gate emission currents as a function of gate voltage and (b) their Fowler-Nordheim plots in 256 tips array.

을 나타내었다. 박막을 증착후 900°C , 30분간 N_2/O_2 의 가스 분위기에서 열처리를 하였다. TEOS만으로 150 nm 두께인 경우(a)나 300 nm인 경우(b) 누설전류가 많이 흘러서, 이것으로는 게이트 절연막으로 사용할 수 없는 것을 알 수 있다. TEOS가 450 nm 이상인 경우나 열산화막과 TEOS 적층(2200 nm/TEOS 150 nm)인 경우, 누설전류는 작아서 게이트 절연막으로 사용하기에 용이하다. 게이트 절연막이 두꺼울 수록 누설전류를 줄일 수 있는 반면, 게이트와 팁의 간격은 크게 된다. 그러므로

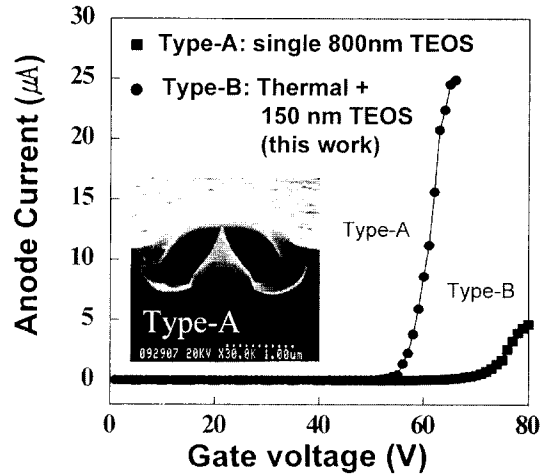


Fig. 6. Anode current per tip as a function of gate voltage with different structured gates.

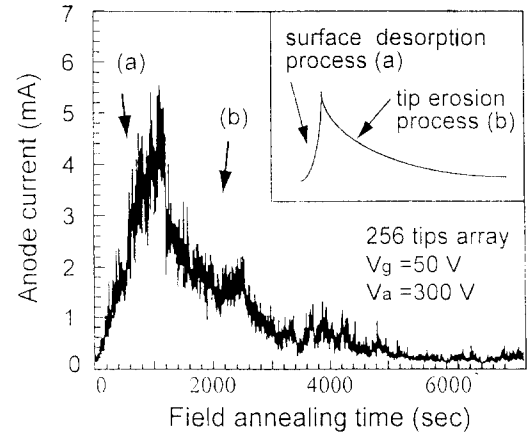


Fig. 7. The annealing effect of high gate fields on the anode emission as measured on the anode in silicon tips array.

우리의 이중 게이트 절연막은 저누설전류와 짧은 게이트-팁 간격의 두가지를 모두 만족하게 된다.

최종 제작된 전계방출 팁은 초고진공 챔버(UHV)에 넣어, 상온에서 3×10^{-7} Torr 이하의 진공에서 전기적 특성을 측정하였다[7-8]. 전류는 모두 DC 상태에서 측정하였으며, Keithley 487 pico-ammeter를 사용하였으며 컴퓨터로 자동 측정하였다. 전압을 인가하여 측정하기 전에 글로브 상자(glove box)를 이용하여 팁의 표면에 있는 자연산화막을 HF용액으로 제거한 후 측정하였다. 측정시 아노드와 케소드의 간격은 약 $500\ \mu\text{m}$ 정도이며, 아노드에는 300 V를 인가하였다. Fig. 5에서는 256개의

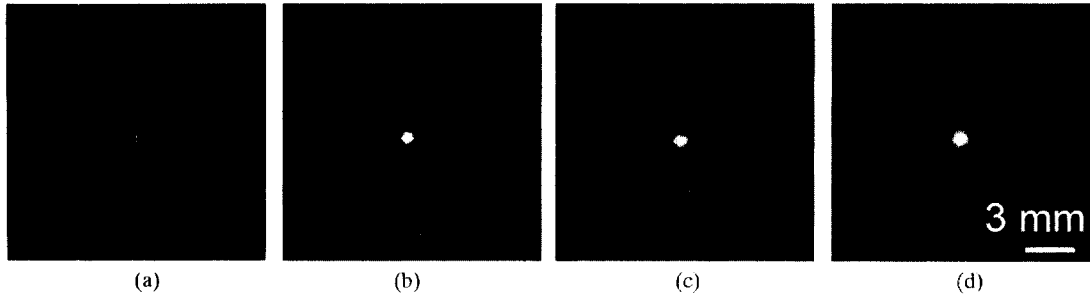


Fig. 8. Light emission from a green phosphor irradiated with a 1024 tips array. The emission currents are (a) 500 nA, (b) 10 μ A, (c) 20 μ A, and (d) 50 μ A.

팁으로 이루어진 어레이에서 게이트전압에 따른 게이트 전류와 아노드전류 및 그것의 Fowler-Nordheim(F-N) 그래프를 나타내었다. F-N 그래프에서 아노드 전류는 직진성을 보여주고 있어 전기장 방출에 의한 전류임을 나타내고 있다. 팁당 1 nA로 정해진 문턱전압은 약 40 V이었으며, 게이트전압이 60 V일 때 아노드전류는 23 μ A(90 nA/팁)이었다. 이때, 게이트전류는 전체전류(게이트 전류+아노드 전류)의 0.1% 미만이었다. Fig. 6은 두 종류의 에미터 팁에서 방출되는 전류를 나타내었다. 게이트 절연막으로 8000 Å의 단일 TEOS 산화막을 사용하는 경우(Type-A)의 특성과 본 연구에서 개발된 이중 게이트 절연막의 구조(Type-B)의 특성을 비교하였다. Fig. 6의 SEM 사진은 두께 8000 Å의 단일 게이트 절연막의 구조(Type-A)를 보여주고 있으며, 이전에 발표한 바 있다[7]. 기존의 단일 게이트막의 Type-A의 경우 문턱전압이 60 V에서 이중 게이트막의 Type-B의 경우 40 V로 감소되었음을 알 수 있다. 이것은 Type-B의 구조의 경우가 Type-A의 구조의 경우보다 게이트와 팁의 간격이 더욱 근접하게 되어, 팁에 인가되는 전기장의 세기가 커진 것에 기인된 것으로 생각되어진다. Fig. 7은 게이트전압이 크게 인가되었을 경우, 인가되는 시간에 따른 방출되는 전류의 특성을 나타내었다. 초기에는 팁으로 부터 방출되는 전자가 증가되다가 일정점이 지나면 다시 감소되었다. 이러한 증가영역(a)은 자연 산화막이나 입자등이 팁의 표면에 있다가 탈착되는 현상으로, 또한 감소영역(b)은 전류가 증가함에 따른 Nottingham 발열효과 혹은 Joule열등에 의한 팁끝의 발열이 증가되어 팁 끝이 무디어 지는 현상으로 설명될 수 있다[8]. Fig. 8은 1024개의 팁 어레이에서 방출된 전자가 형광체를 때려 나오는 빛의 특성을 나타내었다. 이때 아노드와 팁의 거리는 1 mm이었으며, 아노드에는 450 V

가 인가되었다. 사용된 형광체는 ITO위에 ZnS으로 된 상용의 녹색 형광체를 사용하였다. 그림에서와 같이 형광체에서 방출되는 빛 형태의 크기 및 밝기는 게이트전압과 방출전류가 클 수록 증가하였다.

4. 결 론

게이트 절연막으로 열산화막과 TEOS산화막의 이중층으로 사용하고, 스핀-온-그래스 에치백 공정에 의하여 실리콘 전계 방출소자를 제작하였다. 2단계의 팁 식각과 팁 침예화 산화막 성장으로 고 종횡비(aspect ratio)를 가지는 뾰족한 팁을 만들 수 있었다. 특히, 이중 게이트 절연막을 제작하기 위하여 감광막을 도포한 후, O₂ 플라즈마 에칭 공정을 개발하였다. 실험 결과로써 이중 게이트 절연막과 에치백공정을 사용함으로써 게이트 누설전류가 작고, 팁과 게이트의 모양이 대칭이 되고, 자동정렬이 되는 게이트 전극을 형성할 수 있었으며, 1.2 μ m의 팁 패턴으로 0.6 μ m의 게이트개구를 얻었다. 이 공정은 반도체 집적회로 공정과 양립하는 것이 또한 큰 장점이다. 제작된 어레이에서 우수한 전계방출 특성을 얻었는데, 256개의 팁 어레이에서 게이트의 문턱전압은 약 40 V정도이며, 게이트전압이 60 V일 때 아노드에 흐르는 전류는 팁당 90 nA이었다. 이때, 게이트 전류는 아노드전류의 약 0.1%이하를 보였다.

참고문헌

1. C. A. Spindt, I. Brodie, L. Humphrey, and E. R. Westerberg, *J. Appl. Phys.* **47**, 5248 (1976).
2. C. A. Spindt, C. E. Holland, A. Rosengreen, and I. Brodie, *J. Vac. Sci. Tech.* **B11(2)**, 468 (1993).
3. H. F. Gray, J. L. Shaw, D. Temple, *Proceedings of*

- the 8th International Vacuum Microelectronics Conference, Portland, Oregon, 1995, p. 27.
4. H. S. Uh, J. D. Lee, N. S. Park, Proceedings of the 7th International Vacuum Microelectronics Conference, Grenoble, France, 1994, p. 387.
 5. H. H. Busta, B. J. Zimmerman, J.E. Pogemiller, M. C. Tringides, and C. A. Spindt, J. Vac. Sci. Tech. **B 11(2)**, 400 (1993).
 6. J. E. Pogemiller, H. H. Busta, and B. J. Zimmerman, J.Vac. Sci. Tech. **B12(2)**, 680 (1994).
 7. J. H. Lee, S. W. Kang, M. Park, S. G. Kim, H. T. Lee, K. I. Cho, and H. J. Yoo, Proceedings of the 3rd ASID, Seoul, Korea, 1995, p. 143.
 8. M.G. Ancona, Proceedings of the 8th International Vacuum Microelectronics Conference, Portland, Oregon, 1995, p. 61.