

초고집적회로를 위한 구리박막의 화학적 형성기술

박동일 · 조남인

선문대학교 전자공학과
(1996년 6월 5일 접수)

Chemical vapor deposition of copper thin films for ultra large scale integration

Dong Il Park and Nam-Ihn Cho

Department of Electronic Engineering, Sun Moon University, Asan 336-840 Korea
(Received June 5, 1996)

요 약 - 0.25 μm 이하의 최소선폭을 갖는 초고집적회로에 사용할 수 있는 구리박막의 형성기술을 조사하였다. 본 실험에서는 측면박막 형성에 적합한 화학적 증착을 시도하였으며 (hfac)Cu(VTMS) (hexafluoroacetylacetonate vinyltrimethylsilane copper(I))로 명명된 금속유기 화합물을 원료로 사용하였다. 구리박막의 형성은 TiN과 SiO_2 모재 위에 이루어 졌으며, 형성 중에 모재의 온도와 증착용기 내 압력의 함수로서 집적회로 공정상 주요 변수인 박막의 비저항, 박막의 증착선택도를 측정하였다. 구리박막은 모재온도 180°C와 증착용기의 압력 0.6 Torr의 조건에서 가장 좋은 전기적 성질을 보여 주었다. 이 조건에서 형성된 구리박막은 다결정 구조를 나타내었으며 구리박막의 증착속도는 120 nm/min, 비저항은 2.5 $\mu\Omega\cdot\text{cm}$, 평균 거칠기는 15.5 nm로서 0.25 μm 이하 선폭의 집적회로에서 요구되는 전기적, 재료적 사양에 근접한 구리박막을 얻었다. 또한 140-250°C의 모재 온도 범위에서 TiN 모재와 SiO_2 모재 사이에 뚜렷한 증착선택성이 관측되었다.

Abstract - We have investigated the formation techniques of copper thin films which would be useful for sub-quarter-micron integrated circuits. A chemical vapor deposition technology has been tried for the better side wall formation of the thin films, and a metal organic compound, named (hfac)Cu(VTMS) (hexafluoroacetylacetonate vinyltrimethylsilane copper(I)) was used as the precursors. We have deposited the copper thin films on TiN and SiO_2 substrates. The film resistivity and deposition selectivity have been measured as functions of substrate temperature and chamber pressure. Best electrical properties were obtained at 180°C of substrate temperature and 0.6 Torr of chamber pressure. Under the optimum deposition conditions, polycrystalline copper structures were observed to be grown, and the deposition rate of 120 nm/min was measured. The electrical resistivity as low as 2.5 $\mu\Omega\cdot\text{cm}$, and the surface roughness of 15.5 nm were also measured. These are the suitable electrical and material properties required in the sub-quarter-micron device fabrication. Also, in the substrate temperature range of 140-250°C, high deposition selectivity was observed between TiN and SiO_2 .

1. 서 론

현대 정보화사회에서 각종 전자 시스템의 성능은 급격히 향상되고 있으며 기능도 다양화하는 추세에 있다. 이러한 전자시스템을 구성하는 반도체 부품도 소형화하고 있는 가운데, 집적회로 제조 공정상 최소선폭은 현재의 0.35 μm 에서 앞으로 0.25 μm 이하로 크게 감소할 것

이다[1]. 그러나 집적도를 높인 회로의 개발은 종래의 재료기술, 공정기술로는 한계에 부딪힐 것으로 예상되며 이를 극복하기 위하여 각 분야에서 새로운 기술이 요구된다. 공정기술 중에서 해결해야 하는 핵심기술로는 건식식각기술, 사진패턴기술, 금속배선기술을 들 수 있다. 이 중에서 회로내부의 전기적 연결을 도모하는 금속 배선기술은 지금까지 사용되어온 스퍼터링 기술에 의한

알루미늄(Al) 재료로는 한계가 있다고 보여진다. Al은 초기에 낮은 용점 때문에 사용되기 시작하였으며 산업체의 방대한 기술 축적으로 가장 보편적인 금속배선기술이 되어 있다. Al에 의한 금속배선은 물성특성상 비저항이 낮다는 장점이 있지만 소자의 크기가 작아지고 연결선 폭이 미세한 경우 신뢰성 문제가 발생될 수 있다. 이것은 Al이 Si 기판으로의 확산성과 용해도가 크기 때문에 일어나는 현상으로 전자소자의 얇은 접합을 파고 들어 소자 단락을 야기하며, Al이 가지고 있는 electromigration에 대한 낮은 저항[2]은 가늘고 긴 연결라인으로 사용하기에는 적합하지 않게 될 것이다. 또한 초고집적회로에서는 다층 금속 배선공정이 요구되는 바, via hole의 연결부분에서 측면연결을 보장할 수 있는 좋은 step coverage 특성을 가져야 하는데, 화학적증착기술(CVD: chemical vapor deposition)이 스퍼터링이나 전자빔 증착기술과 같은 물리적증착기술(PVD: physical vapor deposition)보다 월등함이 알려져 있다. 따라서 Al-CVD 또는 Al보다 비저항이 낮은 재료인 구리(Cu)의 CVD 기술에 대한 연구가 꾸준히 진행되고 있다[3-16]. 그럼에도 불구하고, Al-CVD와 Cu-CVD 기술이 반도체 제조에 사용될 수 있는 공정기술은 아직 정립되어 있지 않다. Cu-CVD에서 해결해야 할 점으로는 Cu 라인의 건식식각기술, Cu-CVD 형성시 선택적증착(selectivity) 기술, step coverage를 높이는 공정기술 등이다. 또한 라인이 가늘어짐으로 인한 비저항의 증가는 지연시간과 잡음 마진에 악영향을 미치므로 Cu 재료의 순도를 향상시켜 비저항이 낮은 Cu 박막을 형성시키는 기술이 필요하다. 본 실험에서는 Cu-CVD 기술 중에서 산업화에 용이한 금속유기 CVD 기술을 선택하여 저온 증착이 가능하고 비교적 쉽게 구리박막을 얻을 수 있는 장점을 최대한 이용하였다[17-20]. 차세대 반도체 제조공정에서 요구되는 금속배선 재료 사양에 근접하는 Cu-CVD 공정조건을 얻기 위하여 MOCVD 증착시스템을 최대한 단순화하였으며, 모재의 종류, 전구체(precursor)의 종류, 모재의 온도, 증착용기 내에서 전구체 증기압의 함수로 구리박막의 전기적성질, 증착속도, 결정성, 표면균일도, 증착선택도, 박막의 순수도를 측정하였다.

2. 실험장치 및 방법

Cu-CVD에서 전구체원료(precursor)로 쓰이는 재료는 대개 염소(Cl)나 불소(F)가 함유된 물질이다[3-16]. 본

Table 1. Chemical data of precursor used in the present experiment

chemical name	hexafluoro acetylacetonate vinyltrimethylsilane copper(I)
synonyms	(hfac)Cu(VTMS)
chemical family	organometallic copper(I)
formula	$C_{10}H_{13}O_2CuF_6Si$
appearance	dark green liquid at 25°C
boiling point	50°C
molecular weight	370.6 g

실험에서 사용된 전구체원료의 화학적 성질은 Table 1에 요약된 바와 같다. Table 1에서 보는 바와 같이 전구체, (hfac)Cu(VTMS)는 불소(F)가 함유된 일종의 배위화합물로서 배위된 Cu 이온을 중심으로 배위자로 둘러싸인 구조를 하고 있다. 이들은 상온에서 액체 상태의 물질들이며, 두 전구체는 끓는점이 50°C로 낮아서 CVD 증착에 요구되는 증기압을 쉽게 얻을 수 있다. Cu 증착은 전구체 증기가 200°C 정도의 낮은 온도에서 화학반응을 일으키며 Cu⁺는 모재위에 침전 증착되고 Cu(II) (hfac)는 증발하게 된다. 이는 일종의 불균등화 반응인데 Cu⁺가 환원되어 Cu⁰로 되는 동시에 Cu²⁺로의 산화가 부수적으로 일어난다. 즉 Cu는 +2까지의 산화수가 가능한데 화합물 중의 한 원소의 산화수가 가능한 범위의 중간인 Cu⁺가 되면 불균등화 반응을 일으키는 성향을 갖는 것을 이용한 공정방법이다. 따라서 순수한 구리박막 증착을 위하여 배위자의 분해는 요구되지 않는다. 이들 전구체 중에서 (hfac)Cu(VTMS)는 세계적으로 널리 연구되어 왔던 액체상태의 유기금속 화합물[21]으로서 고체상태의 전구체에 비하여 증착속도가 빠르다는 장점이 있다.

Fig. 1에서 보인 실험장치는 순수도가 높은 구리박막 증착을 위해 정밀도를 높히면서 시스템의 간단화를 기하였다. 전구체는 50°C로 가열되어 증착용기로 전달된다. 가열시에는 균일한 온도가 유지되도록 실리콘 오일 중에 전구체 용기를 담그고 전기히터로서 오일을 가열한다. 실험시에 사용되는 가스는 99.999%의 고순도 헬륨과 질소로서 전구체와 반응하지 않는다. 헬륨은 증기상태의 전구체를 증착용기로 오염없이 이동시키는 역할을 하는데 유량은 1-200 sccm 범위에서 Para Plate Co.사의 모델 401 MFC(mass flow controller)로써 정밀하게 조절한다. 증착용기의 배기속도를 일정하게 유지한 경우 운반기체의 유량은 증착용기 내의 압력을 결정하게

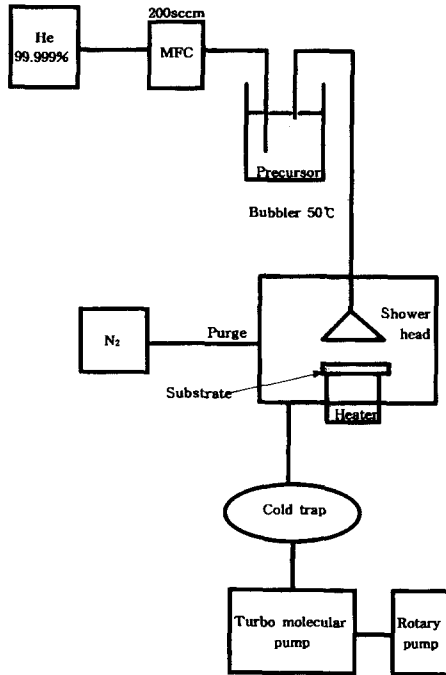


Fig. 1. Schematic diagram of Cu-CVD apparatus.

된다. 헬륨가스의 유량이 0 sccm인 경우 증착용기의 압력은 약 0.2 Torr, 200 sccm인 경우 약 1.0 Torr이었다. 전구체와 증착용기 전달관은 기화된 전구체의 응축을 방지하기 위해 65°C로 가열하였다. 몇 회의 실험을 하고 나면 이 전달관은 구리의 잔존물이 남는데 이는 아세톤과 메탄올로 세척하였다. 증착용기는 반응기체들이 화학적 반응에 의해 모재 위에 증착되도록 하는 중요한 부분으로 스텐레스 스틸의 외벽으로 되어 있으며, 내부에는 운반기체가 분무되는 showerhead가 설치되어 있으며 showerhead와 모재와의 거리는 30 mm를 유지하였다. 모재가 위치하는 곳은 히터로써 가열하여 140-250°C 온도 범위로 조절하였다. 실험에서 구리박막이 증착되는 모재는 두가지 종류를 사용하였다. 이는 (100) p형 실리콘 기판 위에 PECVD(plasma enhanced chemical vapor deposition) 방법으로 200 nm의 산화실리콘층을 증착한 SiO₂ 모재, 실리콘 기판 위에 스퍼터링 방법에 의하여 질소분위기 안에서 타이타늄을 50 nm 두께로 증착한 TiN 모재로 구분된다.

증착용기의 배기시스템은 분자터보펌프와 오일로터리 펌프를 직렬식으로 구성하였다. 증착용기에 시편을 장착하고 구리박막 증착 직전 분자터보펌프로 5×10^{-6}

Torr 이하로 용기내의 불순물 기체를 배기하고, 반응 중에는 오일로터리 펌프만을 가동시켜 미소밸브를 통하여 약하게 배기하여 증착용기 안의 압력을 0.2-1.0 Torr로 조정하였다. 오일로터리 펌프로의 오염과 구리증착 부산물의 외부 방출로 인한 환경오염을 방지하기 위하여 배기관에는 cold trap을 설치하여 77 K로 냉각시켜 포획한다. 구리박막 증착 지속시간은 5분 또는 10분을 유지하였다. 증착이 완료되면 모재의 온도가 상온이 될 때까지 진공을 유지하고, 99.999% 순도의 질소를 증착용기에 주입하여 purge한다.

3. 결과 및 논의

전술한 CVD 실험방법에 따라 구리박막을 SiO₂와 TiN 모재 위에 증착하였다. 140-250°C의 온도범위에서 TiN 모재 위에 형성된 구리박막은 구리빛의 경면을 육안으로 관찰할 수 있었으며, 접착테이프를 접착강도를 알아본 결과 모재와 구리박막은 견고하게 접착됨을 알 수 있었다. 반면 SiO₂ 모재 위에는 140-250°C의 모든 온도에서 구리박막이 전혀 형성되지 않았다. Cu-CVD 방법에 의한 박막의 형성은 모재의 표면물질 및 표면처리 상태, 전구체가 포함하고 있는 배위자의 종류에 따라 좌우된다고 알려져 있는데[15], 250°C 이하 온도에서 모재와 Cu 침전물과의 결합은 금속모재에서 보다 견고하게 일어나며 SiO₂ 모재 위에는 결합력이 매우 미약함을 알 수 있었다. 이와 같은 뚜렷한 증착선택도는 Pt/SiO₂[2], W/SiO₂[15]에 대해서도 이미 보고되어 있는데, 집적회로 제조에서 금속막의 패터를 위한 한 방법이 될 수 있다. 사실상 Cu 박막은 건식식각 공정에서 높은 온도를 요구하고 있어 건식식각 공정을 거치게 되면 박막라인이 부식에 약하게 되는 단점이 있다. 따라서 이 실험결과로 나타난 큰 증착선택성은 Cu를 금속배선으로 사용하게 될 초고집적회로 제조에서 금속배선라인의 패터에 유용한 기술이 될 것이다. 실험에서 사용된 전구체, (hfac)Cu(VTMS)에 의한 구리박막의 비저항을 증착시의 모재온도에 대하여 측정한 결과는 Fig. 2와 같다. 비저항 측정에는 CMT-SR 1000 모델의 4 point probe를 사용하였으며 각 시편에서 4개의 지점을 선택하여 비저항을 측정하고 그 평균값을 취하였다. Fig. 2는 증착용기의 압력을 0.6 Torr로 고정하고 전구체의 종류에 따른 비저항을 140-250°C 모재 온도의 함수로서 보여 주고 있다. 140°C 모재온도에서 약 7.0 μΩ·cm인 구리박막의 비저항은 증착 중 모재온도가 증가함

에 따라 점차 감소하는 경향을 보여 주고 180°C 모재 온도에서는 약 $2.5 \mu\Omega \cdot \text{cm}$ 값을 나타내고 있다. 이러한 현상은 온도가 증가하면 grain size와 crystallity가 커져 비저항이 감소하는 것으로 볼 수 있다. 180°C 모재 온도에서의 비저항값은 순수한 알루미늄 비저항 값($2.65 \mu\Omega \cdot \text{cm}$)에 가까운 좋은 특성으로 초고집적회로에 이용할 수 있는 충분한 비저항치라고 판단된다. Table 2에는 초고집적회로에서 요구되는 사양을 DRAM의 용량에 따라 표시하였으며, 실험에서 얻은 비저항 값이 $0.25 \mu\text{m}$ 이하 선폭을 갖는 회로에 적합함을 알 수 있다. Fig. 2에서 특이한 것은 180°C 이상의 모재 온도에서 Cu 박막 비저항은 약간의 증가 추세를 나타내고 있다는 것이다. 180°C에서 약 $2.5 \mu\Omega \cdot \text{cm}$ 인 비저항이 증착온도의 증가에 따라 서서히 증가하여 250°C에서는 약 $4.0 \mu\Omega \cdot \text{cm}$ 의 값을 보여 주고 있다. Pt 모재위에 구리박막을 증착한 타연구자에 의하면 Pt 모재위의 구리박막의 경우 비저항의 증가는 구리 grain이 커질수록 구리 grain간의 연결이 나빠지기 때문인 것으로 해석되었다[19]. 비저항이 모재 온도

(특히 약 200°C이상의 고온부)의 증가에 따라 나빠지는 경향을 상세히 알아 보기 위해 주사전자현미경(SEM; scanning electron microscopy)을 이용하여 표면상태와 grain을 관찰하였고 XRD(X-ray diffractometer)로 구리박막의 결정성과 AES(Auger electron spectroscopy)를 사용하여 구리박막의 순수도를 알아 보았다. SEM은 JEOL사의 JSM-840A 모델로서 가속전압은 20 kV로 설정하고 배율을 5,000-20,000로 하였다. Fig. 3는 0.6 Torr로 증착

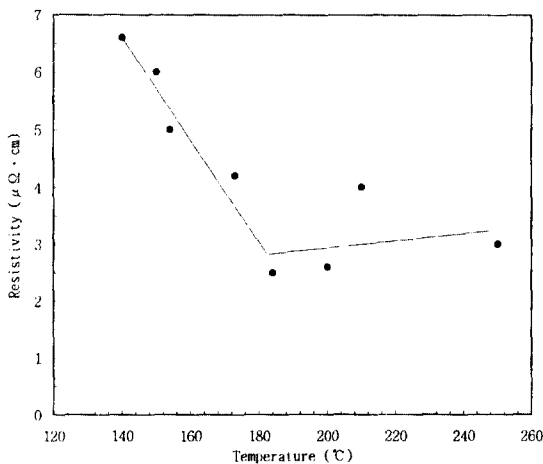
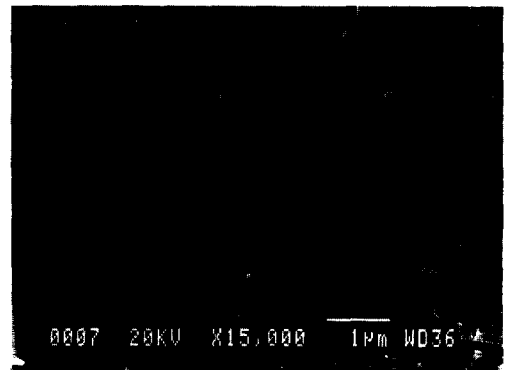
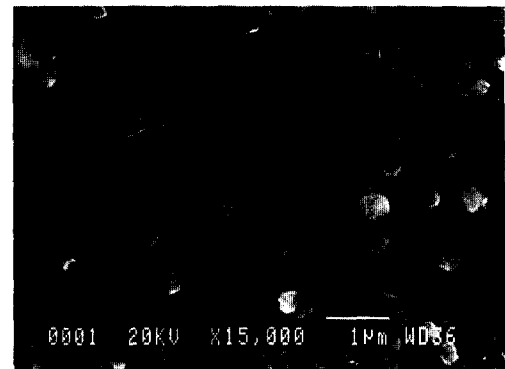


Fig. 2. Resistivity variation of Cu thin films on TiN as a function of substrate temperature at 0.6 Torr.



(a)



(b)

Fig. 3. SEM morphology of Cu thin films at substrate temperatures of (a) 160°C, (b) 240°C.

Table 2. Metallization design rule for ULSI

	256M DRAM	4G DRAM
classification	256M DRAM	4G DRAM
minimum feature size	0.25 μm	0.13 μm
resistivity	3.0 $\mu\Omega \cdot \text{cm}$	2.0 $\mu\Omega \cdot \text{cm}$
step coverage	80% at aspect ratio 2.0	90% at aspect ratio 4.0
roughness	5% at 500 nm	5% at 500 nm
selectivity	20 at SiO_2	20 at SiO_2
filling	0.4 μm at aspect ratio 2.0	0.2 μm at aspect ratio 4.0

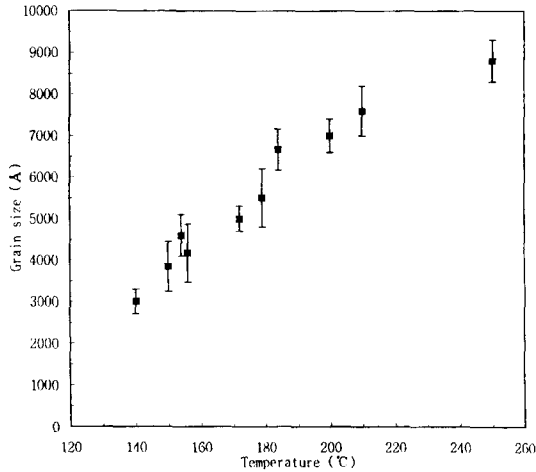


Fig. 4. Cu grain size as a function of substrate temperature with (hfac)Cu(VTMS) at 0.6 Torr.

용기의 증기압을 고정하고 모재온도를 변화시켜 grain의 크기가 변하는 과정을 보여 주고 있다. Fig. 3의 (a)는 모재온도 160°C (b)는 240°C 일때의 SEM 표면사진으로 배율은 모두 15,000 배이다. 예상한 바와 같이 온도 증가에 따라 구리결정의 grain 크기가 커짐을 관찰할 수 있으며 grain 간의 경계면도 양호하게 연결됨을 볼 수 있다. 이러한 구리 grain의 크기를 모재온도의 함수로 표현하면 Fig. 4와 같다. 모재온도 140°C에서 0.3 μm에 불과한 grain의 크기가 모재온도 증가에 따라 점차 증가하여 250°C의 모재온도에서는 0.9 μm로 커짐을 알 수 있다. XRD의 측정결과, 180-250°C 모재온도인 경우 형성된 구리박막은 다결정 구조임을 알 수 있었다. 따라서 180-250°C 범위에서 온도 증가에 따른 비저항 증가 현상을 grain 간의 연결 열화[19]로 볼 수 없다고 판단된다. 다음, 박막의 Cu 순수도를 알기 위해 AES를 측정하였다. Fig. 5는 200°C 모재온도에서 증착된 구리박막의 depth profile로써 5분 식각은 약 50 nm, 10분 식각은 약 100 nm의 깊이로 추정되는데 이 그림에서 구리박막 표면에 존재한 탄소(C)와 산소(O) 성분이 100 nm 깊이에서는 1% 이하로 크게 감소하여 매우 순수도가 높은 구리(Cu)만이 존재함을 볼 수 있다. 이를 좀더 자세히 알기 위해 0 nm, 50 nm, 100 nm의 깊이에서 Auger peak를 관찰하였는데 그 결과는 Fig. 6과 같다. Fig. 6의 (a)는 150°C의 증착 온도일 때의 Auger peak이며, (b) 250°C 일 때의 Auger peak이다. 각각의 온도에서 살펴 본 100 nm 깊이에서의 탄소(C) peak는 거의 볼 수 없지만 250°C의 모재온도에

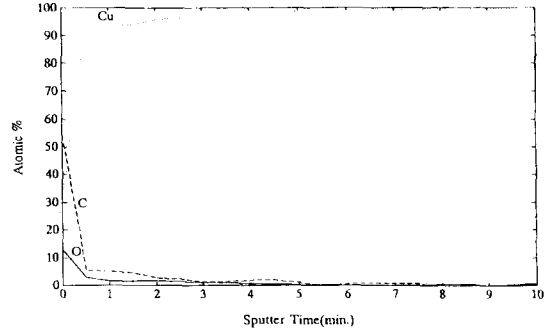


Fig. 5. Auger depth profile for Cu thin films prepared by CVD at 200°C.

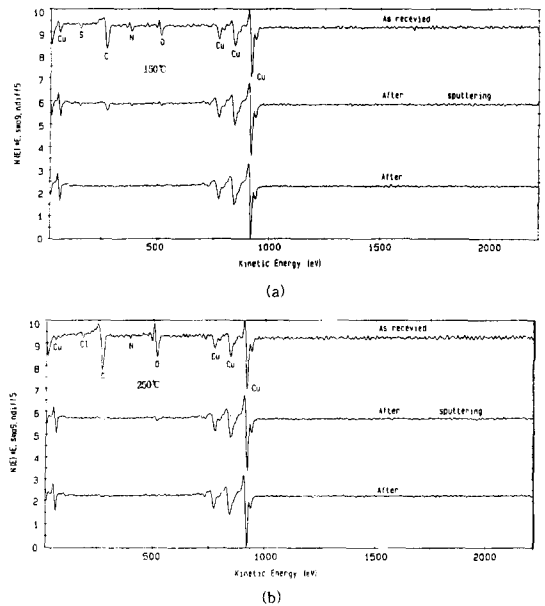


Fig. 6. Auger peaks of Cu thin films prepared at substrate temperatures of (a) 150°C, (b) 250°C.

서 증착된 구리박막에서만 아주 미약한 탄소(C) peak를 볼 수 있다. 이는 증착 중 모재온도가 180°C가 넘는 경우 열에너지로 인하여 전구체에 포함된 탄소(C)의 미소량이 박막에 혼입되었으며, 그것은 구리결정 grain 간의 계면에 약간 존재한다고 여겨진다. 이렇게 grain 계면에 존재한 탄소(C)는 결과적으로 전체 비저항을 높이는 역할을 하게 될 것이다. 그러므로 본 실험방법에 의한 Cu-CVD에서의 최적공정온도는 180°C라고 결론 지을 수 있으며, 실제 회로공정에서는 180°C로써 구리박막을 증착한 뒤 전구체가 없는 진공 중에서 후속 열처리를 통하여 grain

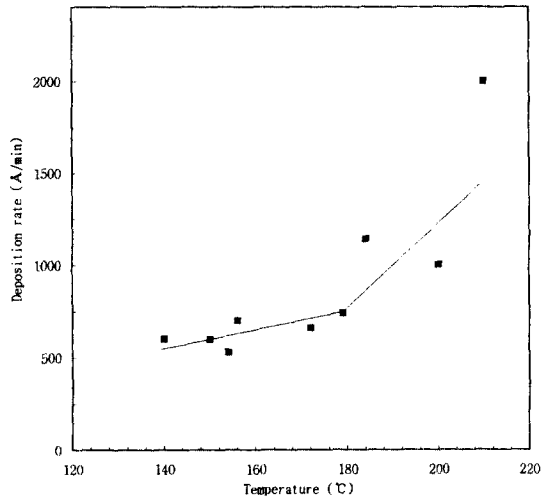


Fig. 7. Deposition rate as a function of substrate temperature for a TiN substrate at 0.6 Torr.

의 크기를 증가시키면 양질의 구리박막을 얻는 방법이라고 생각된다.

Fig. 7은 구리박막의 증착단면을 SEM을 이용하여 측정된 결과를 온도변화에 따른 구리박막의 증착속도를 나타낸 것이다. 증착 중의 전구체 증기압은 0.6 Torr로 하고 모재온도를 변화시켜 증착속도를 측정하였다. 박막의 증착속도는 모재온도에 따라 큰 변화를 나타내었으며, 150°C의 모재온도일 때 약 50 nm/min의 증착속도에서 250°C의 모재온도에서는 약 200 nm/min의 증착속도로 증가함을 알 수 있었다. 이 결과는 다른 연구팀의 결과와 비교할 때 [19-20], 50% 정도 높은 증착속도라고 할 수 있다. 이러한 높은 증착속도는 운반기체로써 본 실험에서는 알곤 대신 헬륨을 사용하였기 때문이라고 생각된다. 사실상 구리박막이 증착되는 화학적 반응은 운반기체와 구리 전구체의 증기 분위기 안에서 이루어 지고, 모재온도와 모재부근의 구리 농도에 의하여 반응속도가 결정된다고 할 수 있다. 따라서 크기와 질량이 월등히 작은 헬륨 분위기에서 구리 원자의 확산 속도가 크고 결과적으로 반응속도가 증가한다고 추정할 수 있다. 한편, Fig. 8는 증착용기의 압력에 따른 구리박막의 증착속도를 나타내었는데 증착용기의 압력에 따른 증착속도는 큰 변화를 보이지 않았다. 모재온도를 180°C로 하고 압력을 0.2 Torr에서 1.0 Torr로 변화시킨 결과, 0.2 Torr 압력에서 약 45 nm/min이던 증착속도가 0.6 Torr에서는 약 80 nm/min

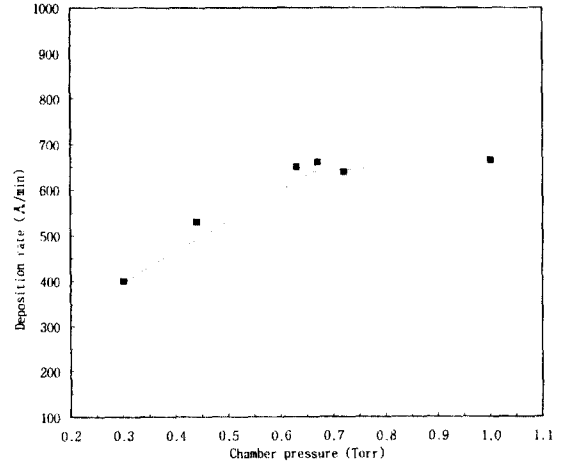


Fig. 8. Deposition rate as a function of chamber pressure for a TiN substrate at 180°C.

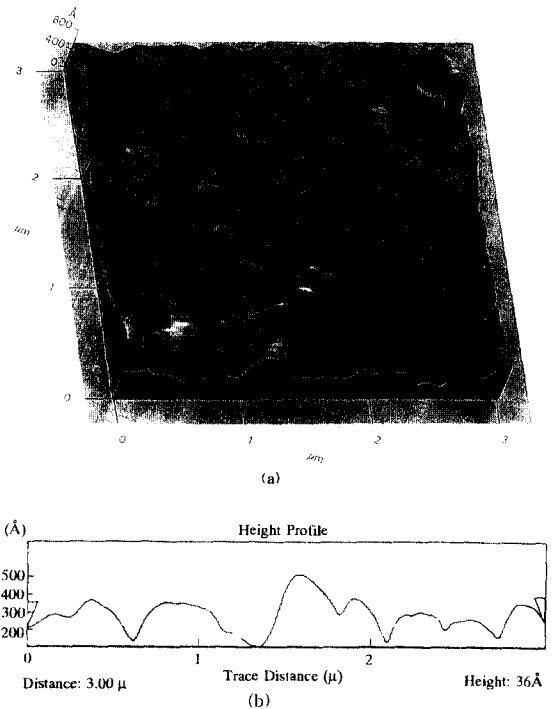


Fig. 9. AFM measurement data of Cu thin films prepared at 180°C, showing (a) AFM surface state; (b) AFM height profile of trace statistics.

으로 증가하고 그 이상의 압력에 대하여는 작은 증가를 보여 주었다.

집적회로 제조에서 중요한 특성 중 하나는 표면거칠

기이다. 금속배선의 표면거칠기는 산화막 형성과 같은 후속공정의 신뢰도와 큰 관계를 가지므로, 표면균일도는 5% 이내로 요구되고 있다. 이를 알아보기 위하여 AFM(atomic force microscope)를 사용하였으며, grain 크기가 커질수록 표면 거칠기가 나빠짐을 관찰할 수 있었다. 구리 박막의 증착두께가 1 μm 인 경우 180°C에서 증착된 구리박막의 평균거칠기는 약 15.5 nm로 나타났으며, 240°C에서 증착된 구리박막에서는 약 26.7 nm로 나타났다. Fig. 9은 AFM 측정결과의 일부이다. Fig. 9의 (a)는 180°C 모재온도에서 구리 박막의 표면상태이고, (b)는 이 중 일부를 선택한 경우 height profile이다. Fig. 9의 (b)에서 높이의 최대치는 약 50 nm이며 전체 구리박막의 두께가 1 μm 임을 고려하면 표면 균일도는 약 5%로서 집적회로 공정 사양을 만족함을 알 수 있다.

4. 결 론

초고집적 회로에 응용할 수 있는 금속배선 공정기술로서 화학적 방법에 의해 구리박막을 형성하는 실험을 실시하였다. 실험에는 (hfac)Cu(VTMS)를 전구체로 사용하였으며, 구리박막의 형성시 모재로는 SiO₂와 TiN를 이용하였다. 전구체의 운반기체로는 헬륨을 사용하고, 모재의 온도는 140-250°C, 증착용기의 압력은 0.2-1.0 Torr 범위에서 변화시켰다. TiN과 SiO₂ 모재 사이에는 매우 높은 증착선택도가 관찰되었으며, 증착속도도 높은 결과치를 얻게 되었으며 구리박막의 증착에 영향을 주는 요소중 증착용기의 압력보다는 기관의 온도가 더 큰 영향을 줌을 알 수 있었다. TiN 모재 위에 증착된 구리박막은 99% 이상의 순도를 나타내었다. 형성된 구리박막의 비저항은 모재온도에 따라 큰 변화를 나타내었으며, 180°C 모재온도에서 약 2.5 $\mu\Omega\cdot\text{cm}$ 로써 낮은 값이 측정되었다. 그러나 모재 온도가 180°C 이상에서는 비저항의 증가현상을 관찰할 수 있었으며, 이는 전구체에 함유된 탄소 성분이 화학반응에 혼입되어 구리 grain의 계면에 미소량 존재함을 의미한다. 가장 좋은 전기적 성질은 모재온도 180°C와 증착용기 압력 0.6 Torr에서 나타났는데, 이때 형성된 구리박막은 다결정 구조를 가지며, 구리박막의 증착속도는 80 nm/min, grain 평균크기는 0.7 μm , 표면균일도는 5% 이하였다. 이는 0.25 μm 선폭의 집적회로 제조에서 금속배선공정으로 사용 가능한 재료기술이라고 여겨진다.

감사의 글

본 연구는 서울대 반도체 공동연구소의 교육부 반도체분야 학술연구조성비 (ISRC-95-E-1027)의 지원에 의해 이루어 졌습니다.

참고문헌

1. M. Ono, M. Saito, T. Yoshitomi, C. Ohgue, and H. Iwai, *IEEE Electron Dev.*, **42**, 10, 1822 (1995).
2. A. Jain, J. Farkas, T.T. Kostas, K.M. Chi and M.J. Hampden-Smith, *Appl. Phys. Lett.*, **61**, 2662 (1992).
3. S.L. Cohen, M. Lieher, and S. Kasi, *Appl. Phys. Lett.*, **60**, 50 (1992).
4. S.K. Reynolds, C.J. Smart, E.F. Baran, T.H. Baum, C.E. Larson, and P.J. Brock, *ibid.*, **59**, 2332 (1991).
5. J.A.T. Norman, B.A. Muratore, P.N. Dyer, D.A. Roberts, and A.K. Hochberg, *J. Phys. IV*, **1**, C2-271 (1991).
6. M.L. Green, R.A. Levy, R.G. Nuzzo, and E. Coleman, *Thin Solid Films*, **114**, 367 (1984).
7. K.P. Cheung, C.J. Case, R. Liu, R.J. Schutz, L.F.Tz. Kwakman, R.S. Wagner, D. Huibergtse, H.W. Piekaar, and E.H.A. Granneman, *Proc. 7th IEEE VLSI Multi-level Interconnect Conference* (1990).
8. K. Tsubouchi, N. Masu, N. Shigeeda, T. Matano, Y. Hiura, and N. Mikoshiba, *Appl. Phys. Lett.*, **57**, 1221 (1990).
9. B.E. Bent, R.G. Nuzzo, and L.H. Dubois, *J. Am. Chem. Soc.*, **111** (1989).
10. B.E. Bent, R.G. Nuzzo, and L.H. Dubois, *Mater. Res. Soc. Proc.*, **101**, 177 (1988).
11. L.H. Dubois, B.R. Zegarski, M.E. Gross, and R.G. Nuzzo, *Surf. Sci.*, **1**, 1 (1991).
12. M.E. Gross, K.P. Cheung, C.G. Fleming, and L.A. Heimbrook, *J. Appl. Phys.*, **69**, 2589 (1991).
13. M.E. Gross, K.P. Cheung, C.G. Fleming, L.A. Heimbrook, and J. Kovalchick, *J. Vac. Sci. Technol.*, **A9**, 57 (1991).
14. L.H. Dubois, B.R. Zegarski, C.T. Kao, and R.G. Nuzzo, *Surf. Sci.*, **7**, 235 (1990).
15. A. Jain, T.T. Kostas, R. Jairath, M.J. Hampden-Smith, *J. Vac. Sci. Technol.*, **11**, 6, 2107 (1993).
16. K. Yuda, K. Sera, F. Uesugi, I. Nishiyama, and F. Okumura, *International Electron Device Meeting* 519 (1994).
17. H.K. Shin, K.M. Chi, T.T. Kostas, J.D. Farr, and M. Paffett, *Chem. Mater.*, **4**, 4, 787 (1992).

18. N.I. Cho, D.I. Park, and Y.S. Kim, *Proc. Fund. Res.*, **6**, 125 (1995).
19. H.K. Shin, K.M. Chi, T.T. Kudas, J. Farkas, M.J. Hampden-Smith and E.N. Duesler, *Inorganic Chemistry*, **31**, 3, 424 (1992).
20. H.K. Shin, K.M. Chi, M.J. Hampden-Smith, T.T. Kudas, J.D. Farr, and M. Paffett, *Chem. Mater.*, **4**, 4, 788 (1992).
21. J.A.T. Norman, U.S. Patent, **4**, 950, 790 (1990).