

반달 모양의 방사형 동조 스텐브를 이용한 저위상 변화 감쇠기의 설계

Low Phase Shift Attenuator Using the Half-Moon Radial Stub

윤종만* · 양기덕** · 김민택*** · 박익모** · 신철재**

Jong-Man Yoon* · Ki-Dug Yang** · Min-Taig Kim*** · Ik-Mo Park** · Chull-Chai Shin**

요 약

PIN 다이오드를 사용한 직렬 마이크로스트립 감쇠기 회로는 PIN 다이오드 등가 회로상의 접합 커패시턴스의 영향으로 인해 감쇠량의 변화에 따라 위상 변화가 많이 발생하게 된다. 본 논문에서는 이러한 감쇠량에 따른 위상 변화량을 최소화하기 위한 CAD 방법을 제안한다. 설계된 감쇠기 회로는 마이크로스트립 선로의 리액턴스 값이 주파수에 따라 용량성과 유도성으로 변하는 특성을 이용한다. 또, 감쇠기 회로의 위상에 영향을 주는 바이어스 회로의 위상 변화량을 미리 예측하여, 그 양을 최소화하고 광대역상에서 동작하도록 하기 위하여 반달 모양의 방사형 동조 스텐브로 종단되어진 $\lambda/4$ 전송선을 이용하였다. 제안된 저위상 변화 감쇠기를 측정 한 결과, 최대 삽입 손실은 1 GHz에서 2.5 dB이었으며, PCS 대역 내에서는 1 dB 미만이였다. 삽입 손실 상태에 대해 정규화 되어진 위상 변화량은 10 dB 감쇠량까지 1.2~1.9 GHz의 대역내에서는 평균 1.27였다. 설계 대역 내에서 감쇠량에 따른 적은 위상 변화, 감쇠량의 평탄도, 입·출력 반사 손실을 고려할 때, 실제 유용한 대역은 1.4~1.9 GHz까지임을 알 수 있었으며, 이 대역 내에서 0~10 dB의 감쇠량까지 입·출력 반사 손실은 10 dB 이상이었다.

Abstract

In this paper, we present a computer-aided design(CAD) technique for minimizing the phase shift in microstrip PIN diode attenuators due to the junction capacitance in the equivalent circuit model of PIN diode. Microstrip PIN diode attenuators use the characteristics which the reactance of microstrip line changes from inductive to capacitive as the frequency sweeps across the band. Microstrip PIN diode attenuator designed utilizes the quarter-wavelength transmission line terminating with the half-moon radial stub, which is designed for negligible phase shifting effect over the interested bandwidth. The attenuator has similar phase shift at 0 dB and 10 dB of attenuation within average 1.27° between 1.2 GHz and 1.9 GHz. The input and output return losses between 1.4 GHz and 1.9 GHz are less than 10 dB over the attenuation range of 0 dB and 10 dB.

*주식회사 팬택 (Pantech Co., Ltd)

**아주대학교 전사공학과(Dept. of Electrical Engineering, Ajou Univ.)

***한국전자통신연구원 이동멀티미디어 연구실(Mobile Multimedia Section, ETRI)

· 논문 번호 : 970506-028

· 수정완료일자 : 1997년 9월 8일

I. 서 론

현대의 통신 시스템에 사용되는 디바이스들은 그 목적에 따라 송·수신 신호의 감쇠량과 위상 변화의 제어를 필요로 할 때가 있다. 예를 들면, 위상배열 안테나를 이용하는 레이더 시스템에서는 RF 신호의 위상과 진폭 특성을 동시에 적절히 조절해야 할 필요가 있으며, 또한 AGC 회로 내의 PIN 다이오드 감쇠기는 회로 내의 전력 증폭기를 온도 등과 같은 외부적인 요인에 관계없이 일정한 이득을 유지시켜 주어야 하는 동시에 감쇠량에 따라 거의 동일한 위상 변화를 가지도록 설계된다면, 전력 증폭기의 비선형 특성에 의해 발생하는 이득과 위상 왜곡을 감소시켜 증폭기의 선형성을 향상시키는데 이용될 수 있을 것이다.

본 논문에서는 일반적인 마이크로스트립 직렬 PIN 다이오드 감쇠기가 등가 회로상의 접합 커패시턴스의 영향으로 감쇠량에 따라 큰 위상 변화를 갖게 되는데, 이러한 감쇠량에 따른 위상 변화량을 보상하기 위해 마이크로스트립 선로의 리액턴스가 주파수에 따라 용량성과 유도성으로 변하는 특성을 이용하였다.¹¹ 감쇠기 회로 설계에 있어서 위상 변화에 영향을 끼치는 성분들에는 입·출력 차단 커패시터, 바이어스 회로, 회로의 크기를 줄이기 위한 Chamfered Bend 효과 등이 있는데, 본 논문에서는 이러한 효과들을 모두 고려하여 광대역상에서 감쇠량에 따른 적은 위상 변화 특성, 설계 대역 내에서 감쇠량의 평탄도, 입·출력 반사 손실 특성이 우수한 마이크로스트립 PIN 다이오드 감쇠기를 설계하였다. 또, 일반적인 마이크로스트립 PIN 다이오드 감쇠기 회로에서는 바이어스 회로로 인덕터를 이용하지만, 인덕터를 이용할 경우에 인덕터 자체에 의해 발생하는 위상 변화가 설계된 감쇠기의 위상 변화에 영향을 미치게 되는데, 이러한 효과를 설계 대역 내에서 정확하게 예측하기 어렵다는 단점이 있다. 그러므로 감쇠기 회로의 위상에 영향을 주는 바이어스 회로의 위상 변화량을 미리 예측하여,

그 양을 최소화하고 광대역상에서 동작하도록 하기 위하여 반달 모양의 방사형 동조 스테르브로 종단되어진 $\lambda/4$ 전송선을 이용하였다.³¹ PIN 다이오드로는 감쇠기용으로 범용적으로 사용되는 HP HSMP-4810을 이용하였다. 먼저, PIN 다이오드 등가 회로상의 파라미터를 추출하였고, 이를 바탕으로 제안된 감쇠기 구조를 초고주파 회로 해석 프로그램인 MDS를 이용한 최적화 과정을 통하여 설계, 제작하였다.

II. PIN 다이오드 등가 회로와 파라미터 추출

PIN 다이오드의 캐리어 수명(carrier lifetime), τ 는 다이오드를 선형 영역에서 동작하기 위한 저주파수 제한을 정의하는 중요한 변수로써 긴 캐리어 수명을 가지는 다이오드일수록 적은 왜곡을 나타내는 특성이 있다. 또한, PIN 다이오드의 왜곡은 바이어스가 0이거나 매우 높은 경우에는 감소하지만 그 외의 상태에서는 왜곡이 커지게 된다. 그러므로 감쇠기를 설계하는데 있어서 왜곡을 최소화하기 위해서는 긴 캐리어 수명을 가지는 PIN 다이오드를 이용하는 것이 바람직하다. 이때, 저주파수 제한을 정의하는 주파수는 식 (1)과 같다.

$$f_o = \frac{1}{2\pi\tau}, \tau : \text{캐리어 수명} \quad (1)$$

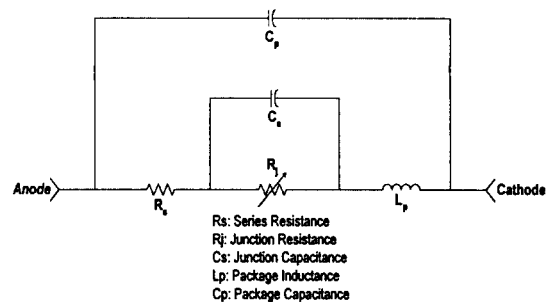


그림 1. PIN 다이오드 고주파 등가 회로

Fig. 1. PIN Diode High Frequency Equivalent Circuit.

그림 1은 f_c 보다 훨씬 더 높은 신호 주파수에서 PIN 다이오드의 고주파 등가 회로이다. R_j 와 R_s 는 다이오드의 접합 저항과 직렬 저항으로서 순방향 DC 바이어스에 의해 변하며 C_j 는 접합 커패시턴스로서 감쇠량의 변화에 따른 직렬 PIN 다이오드 감쇠기 회로의 위상 변화와 삽입 손실을 결정해 주는 변수이다. 그리고 L_p 와 C_p 는 패키지에 의한 기생 성분이다.

2-1 접합 저항과 직렬 저항값의 추출

R_j 와 R_s 는 저주파 제어 전류 또는 DC 바이어스 전류에 의해 변하는 값으로 이를 측정하기 위해 다이오드의 전류·전압 미분 특성을 이용하였다.

다이오드의 접합 전압 V_j 는 외부에서 가해 준 전압 V_F 에서 직렬 저항 R_s 에서의 전압 강하 $I_F R_s$ 를 빼 것이므로 다음과 같다.

$$V_j = V_F - I_F R_s \quad (2)$$

또, 다이오드의 순방향 전류와 접합 전압 사이의 관계를 나타내 주는 식은 다음과 같다.

$$I_F = I_s (e^{V_j / \eta V_T} - 1) \quad (3)$$

여기서, I_s 는 다이오드의 포화 전류(saturation current)이며, η 는 이상 계수(ideality factor)이다.

식 (2)를 식 (3)에 대입한 후, 양변을 I_F 에 관하여 미분하여 정리하면 식 (4)가 얻어진다. 단, 포화 전류 $I_s = 0$ 이라고 가정하였다. 또, 다이오드의 동지향은 순방향 전압과 순방향 전류의 비로 식 (5)와 같이 주어지게 된다.

$$I_F \left(\frac{dV_F}{dI_F} \right) = I_F R_s + \eta V_T \quad (4)$$

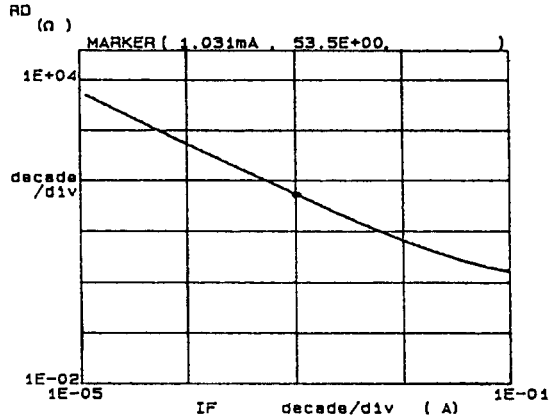


그림 2. 바이어스 전류 변화에 따른 R_j 값
Fig. 2. Junction Resistance versus Bias Current.

$$\frac{dV_F}{dI_F} = R_D = R_j + R_s \quad (5)$$

식(4), (5)를 가지고 사용자 정의 함수 설정이 가능한 HP 4145B Semiconductor Parameter Analyzer를 이용하여 DC 바이어스 전류에 따른 R_j 와 R_s 값을 추출하였고, 그 결과는 그림 2와 같다.

2-2 접합 커패시턴스값의 추출

접합 커패시턴스 C_j 는 I층(intrinsic layer)의 커패시턴스로서 주파수에 관계없이 일정한 값을 가지며, 단지 I층의 구조에 따라 변하게 된다. 일반적으로 PIN 다이오드는 저주파수 대역에서 바이어스가 없는 상태에서도 공핍 영역 내에 존재하는 전하로 인하여 큰 커패시턴스값을 가지며, 역바이어스를 인가함에 따라 커패시턴스값이 감소하는 특성을 나타낸다. 그리고 펀치 스루(punch-through)이상의 역바이어스 하에서는 커패시턴스값이 일정한 값으로 수렴하게 된다. 이때, 그 수렴값이 측정하고자 하는 접합 커패시턴스값이 된다. 그러므로 접합 커패시턴스값을 추출하기 위해서는 PIN 다이오드의

I층이 완전히 공핍되도록 역바이어스되어졌을 때, $f = 1$ MHz의 저주파수에서 브리징 기술을 이용하여 측정할 수 있다.¹⁴⁾ 본 논문에서는 정상적인 동작 상태에서 브리징 기술을 이용하여 인덕턴스, 커패시턴스, 저항값을 측정하는 범용 계측기인 HP 4285A LCR Meter를 이용하여 그 값을 측정하였다. 이렇게 얻어진 실제 커패시턴스값은 10% 이내의 오차를 가지고 초고주파 대역까지 적용이 가능하다.¹⁵⁾

2-3 패키지 커패시턴스 값과 패키지 인덕턴스 값의 추출

C_p 와 L_p 는 패키지에 의한 기생 성분으로서, C_p 는 일반적으로 작은 값을 가지므로 등가 회로상의 C_p 값을 무시하고, 전체 커패시턴스를 LCR Meter를 이용하여 측정한 후, 그 값을 C_o 로 설정하여 모의 실험에 이용하였다. 이렇게 하여 얻어진 C_o 값은 0.35pF이었다. 패키지 인덕턴스 L_p 값을 설계 주파수 대역 내에서 측정하기 위해서는 먼저 그림 1의 PIN 다이오드 고주파 등가 회로의 ABCD 파라미터를 구한다. L_p 값을 제외한 모든 파라미터 값들을 알고 있고, PIN 다이오드가 수동 소자라는 것을 고려하여 주어진 ABCD 파라미터를 S 파라미터로 변환한 후, 벡터 회로망 분석기를 이용하여 바이어스 변화에 따른 HSMP-4810의 S 파라미터를 측정하였다. S 파라미터를 측정하기 위해 TRL calibration을 위한 Thru, Reflect(Open), Line을 제작하여 HP 8510C VNA를 가지고 그 값을 측정하였고, 측정된 데이터를 MDS에 탑재하여 최적화 과정을 거쳤다. 이렇게 하여 얻어진 L_p 값은 0.96 nH였다.

III. 감쇠기 구조 및 위상 계산

3-1 감쇠기 구조

직렬 PIN 다이오드 감쇠기 회로의 감쇠량에 따

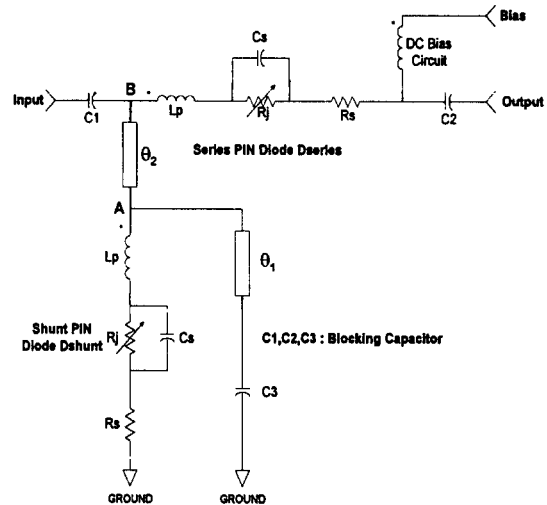


그림 3. 저위상 변화 감쇠기 회로

Fig. 3. Low Phase Shift Attenuator Circuit.

른 접합 커패시턴스에 의한 위상 변화량을 보상하기 위한 회로는 그림 3과 같다. 직렬 PIN 다이오드는 입력 신호를 감쇠시키는 역할을 하며, 병렬 PIN 다이오드는 감쇠량이 적은 경우($R_j=0 \Omega$)와 큰 감쇠량(10 dB 이상)을 가질 때, 위상 보상 회로 θ_1 을 스위칭하는 역할을 한다. 감쇠량이 적은 경우($R_j=0 \Omega$)에 그림 3의 회로는 차단 커패시터의 영향을 무시했을 때, 90° 길이의 병렬 스테르브만 존재하는 회로로 근사화할 수 있다. 이 근사화된 회로는 θ_2 를 중심 주파수에서 90° 의 길이로 설정하면, 그 주파수에서 위상이 0이 되는 특성을 가진다. 하지만, 실제 회로상에서는 직렬 저항 R_j 의 값은 2Ω 이하의 작은 값이므로 그 영향을 무시할 수 있지만, 패키지 인덕턴스 L_p 는 감쇠기의 위상 변화에 영향을 끼치므로 그 효과를 고려해야만 한다. L_p 의 효과는 위상이 0인 주파수를 변하게 하는데, 이 주파수의 변화 정도는 인덕턴스 값에 의존하며, 실제 회로의 위상 변화는 패키지 인덕턴스 값에 의해 변화된 위상이 0인 주파수를 중심으로 유도성과 용량성으로 변하게 된다. 그러므로 주파수 변화에 따른 위상 변화가 중심 주파수를 중심으로 양에서 음으로 변한

다는 사실을 이용하여 감쇠량이 큰 경우에 위상 보상 회로를 추가하여 감쇠량이 적은 경우($R_s=0 \Omega$)와 동일한 위상 특성을 가지도록 할 수 있다면, PIN 다이오드 고주파 등가 회로상의 접합 커패시턴스에 의한 위상 변화량은 보상될 수 있다. 이러한 목적을 위하여 그림 3의 감쇠기 회로내에 설계 대역 내에서 위상 변화량이 최소가 되도록 최적화 된 길이 θ_1 을 가지는 위상 보상 회로가 추가되었다.

3-2 위상 계산

그림 3에서 입력단 차단 커패시터의 임피던스를 Z_1 , 위상 보상 회로 내의 차단 커패시터의 임피던스를 Z_2 , PIN 다이오드의 임피던스를 Z_{diode} , 출력단 차단 커패시터의 임피던스를 Z_4 , PIN 다이오드의 임피던스와 출력단의 차단 커패시터와의 임피던스 합을 Z_5 , A지점에서의 어드미턴스를 Y_A , B지점에서 바라본 임피던스를 Z_B 라고 한다면, 그 등가식은 다음과 같으며, 손실이 없는 마이크로스트립 라인으로 가정하였다.

$$Z_1 = \frac{1}{j\omega C_1} \quad (6)$$

$$Z_2 = \frac{1}{j\omega C_3} \quad (7)$$

$$Z_{diode} = R_s + j\omega L_p + \frac{R_j}{1 + j\omega R_j C_s} \quad (8)$$

$$Y_A = \frac{1}{Z_{diode}} + \frac{jZ_2 \sin\theta_1 + Z_o \cos\theta_1}{Z_2 Z_o \cos\theta_1 + jZ_o^2 \sin\theta_1} \quad (9)$$

$$Z_B = \frac{\frac{Z_o}{Y_A} \cos\theta_2 + jZ_o^2 \sin\theta_2}{Z_o \cos\theta_2 + \frac{j}{Y_A} \sin\theta_2} \quad (10)$$

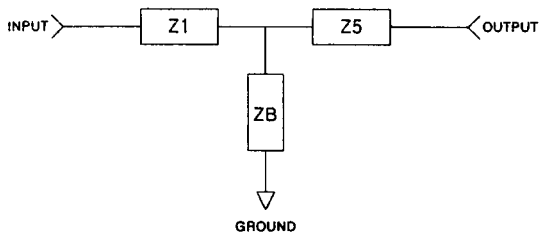


그림 4. 간단화된 회로 모델
Fig. 4. Simplified Circuit Model.

$$Z_4 = \frac{1}{j\omega C_2} \quad (11)$$

$$Z_5 = Z_{diode} + Z_4 \quad (12)$$

위의 식들을 이용하여 그림 3의 회로를 간단한 모델로 나타내면, 그림 4와 같다.

그림 4를 이용하여 구한 전체 회로의 ABCD 행렬은

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 + \frac{Z_1}{Z_B} & Z_1 + Z_5 + \frac{Z_1 Z_5}{Z_B} \\ \frac{1}{Z_B} & 1 + \frac{Z_5}{Z_B} \end{bmatrix} \quad (13)$$

이 되며, S_{21} 은 다음과 같다.

$$S_{21} = \frac{2Z_o Z_B}{2Z_o Z_B + Z_o Z_1 + Z_o^2 + Z_o Z_5 + Z_1 Z_B + Z_B Z_5 + Z_1 Z_5} \quad (14)$$

따라서, S_{21} 의 위상은

$$\text{phase}(S_{21}) = \tan^{-1} \frac{\text{Im}(S_{21})}{\text{Re}(S_{21})} \quad (15)$$

이 된다.

IV. 반달 모양의 방사형 동조 스테르브

일반적으로 $\lambda/4$ 전송선은 100 MHz 이하의 협대역에서만 반사 계수의 크기가 개방이고, 주파수에 따른 위상 변화량이 심해 광대역상에서 위상 제어를 필요로 하는 회로에는 부적합하다. 반면에, 반달 모양의 방사형 동조 스테르브는 스테르브의 외부 반경에 따라 X 밴드에서 반사 계수의 크기가 단락이면서, 주파수에 따른 위상 변화량이 $\pm 15^\circ$ 로 비교적 작은 변화를 나타내는 특성이 있다^[6].

그림 5는 일반적인 방사형 동조 스테르브의 구조를 보여주고 있다. R_i 와 R_o 는 각각 동조 스테르브의 내부 반경, 외부 반경을 나타내며, W 는 사용되는 기관의 특성 임피던스에 의해 결정되고 ANG 는 각으로서 사용 목적에 따라 45° , 60° , 90° , 180° 등을 이용한다.

내부 반경 R_i 와 특성 임피던스에 의해 결정되는 W 의 관계는 식 (16)에 의해 표현된다. 또, 방사형 동조 스테르브의 반사 계수 특성을 결정하는 요인은 외부 반경 R_o 와 ANG 이며, 이들 값에 따라 반사 계수의 크기와 위상 특성이 달라지게 된다.

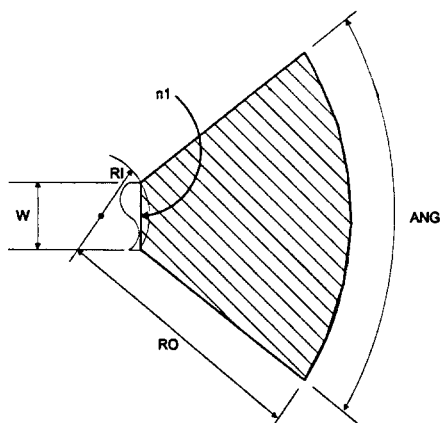


그림 5. 방사형 동조 스테르브의 구조
Fig. 5. Structure of Radial Stub.

$$R_i = \frac{W}{2\sin\left(\frac{ANG}{2}\right)} \quad (16)$$

이 때, 임의의 각도 ANG 를 가지는 개방 마이크로 스트립 방사형 동조 스테르브의 입력 임피던스는 다음과 같다.

$$Z_r = j \frac{hZ_o(kR_i)\cos[\theta(kR_i) - \Psi(kR_o)]}{ANGR\sin[\Psi(kR_i) - \Psi(kR_o)]} \quad (17)$$

h : 유전체의 높이

Z_o : 특성 임피던스

k : wavenumber

$\theta(kr) = \arctan[N_o(kr) / J_o(kr)]$

$\Psi(kr) = \arctan[-J_1(kr) / N_1(kr)]$

J_n : 1차 Bessel 함수

N_n : 2차 Bessel 함수

여기서, 특성 임피던스 Z_o 는 식 (18)과 같이 주어진다.

$$Z_o(kr) = \sqrt{\frac{\mu_o}{\epsilon_r \epsilon_o}} \left(\frac{J_o^2(kr) + N_o^2(kr)}{J_1^2(kr) + N_1^2(kr)} \right)^{1/2} \quad (18)$$

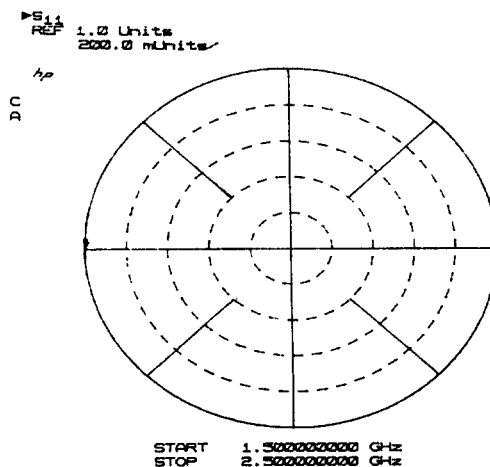


그림 6. $R_o = 11$ mm일 때의 반사 계수 특성
Fig. 6. Reflection Coefficient Characteristics when $R_o = 11$ mm.

식 (17) 과 식 (18) 을 이용하여 설계 대역 내에서 반사 계수의 크기가 단락이면서, 적은 위상 변화를 가지도록 해주는 R_2 값을 결정할 수 있다. 그림 6 은 $R_2 = 11 \text{ mm}$ 일 때, 반달 모양의 방사형 동조 스테르브의 반사 계수 특성을 보여주고 있는데, 1.5~2.5 GHz의 대역 내에서 위상 변화가 매우 적다는 것을 알 수 있다.

V. 측정 결과 및 분석

감쇠량에 따른 접합 커패시턴스에 의한 위상 변화량을 보상하기 위한 위상 보상 회로 θ_2 의 최적값을 찾기 위해 초고주파 회로 해석 프로그램인 MDS를 이용하여 모의 실험하였다. θ_2 는 2.7 GHz에서 90°로 설정되었는데, 이것에 대한 이유는 본 연구에서 이용한 PIN 다이오드 HSMP-4810의 패키지 인덕턴스값이 0.96 nH로 매우 큰 값을 가지므로 입·출력 차단 커패시터의 영향을 고려하지 않았을 때, 위상이 0인 주파수를 PCS 대역인 1.9 GHz로 설정하기 위해서이다. 감쇠량이 적은 경우에 입·출력 차단 커패시터의 영향을 고려하였을 때, 감쇠기 회로는 2 GHz에서 위상이 0이 되고, 그 주파수를 중심으로 위상이 유도성과 용량성으로 변하는 것을 확인할 수 있었다. 모의 실험상에서 PCS 대역의 중심 주파수인 1.8 GHz에서 위상이 0이 되도록 설정하는 것이 바람직하지만, 패키지 인덕턴스 값의 영향에 의한 위상이 0인 주파수의 이동을 감안하고 1~2 GHz의 설계대역 내에서 입·출력 반사 손실, 위상 특성의 개선을 위해 동작하는 마이크로스트립 PIN 다이오드 감쇠기의 설계를 위해서는 2.7 GHz에서 θ_2 가 90°로 설정되어야만 한다. 그림 7은 $R_1 = 0 \Omega$ 인 경우와 $R_1 = 185.78 \Omega$ 인 경우에 1~3 GHz 대역 내에서 위상 특성을 보여주고 있는데, 그림에서 알 수 있듯이 모의 실험상에서는 1.5~2.1 GHz의 대역에서 거의 동일한 위상값을 나타낸다는 것을 알 수 있다.

설계된 저위상 변화 감쇠기의 도면은 그림 8과 같다. 실제 도면상에서는 회로 크기를 줄이기 위해

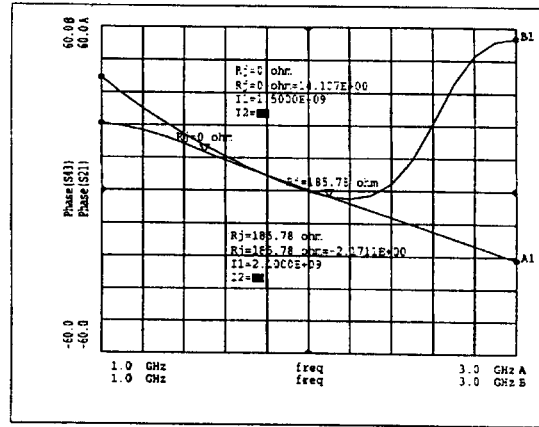


그림 7. $R_1 = 0 \Omega$ 과 $R_1 = 185.78 \Omega$ 일 때의 위상 특성 비교

Fig. 7. Comparison of Phase Characteristics when $R_1 = 0 \Omega$ and $R_1 = 185.78 \Omega$.

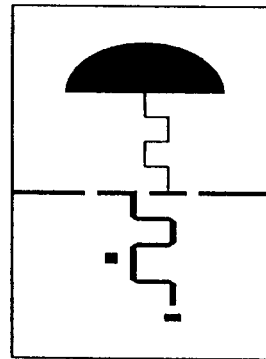


그림 8. 저위상 변화 감쇠기의 도면

Fig. 8. Layout of Low Phase Shift Attenuator.

Chamfered Bend를 이용하였는데, Chamfered Bend는 Chamfering이 증가함에 따라 마이크로스트립 선로의 등가 선로 길이 증가의 원인이 된다.⁽⁶⁾ 그러므로 MDS를 통해 모의 실험하였을 때, θ_1 의 길이가 2.7 GHz에서 80.16°였으나, 실제 도면에서는 Chamfered Bend에 의한 등가 선로 길이의 증가를 고려하여 2.7 GHz에서 65.47°로 그 길이가 감소하였다.

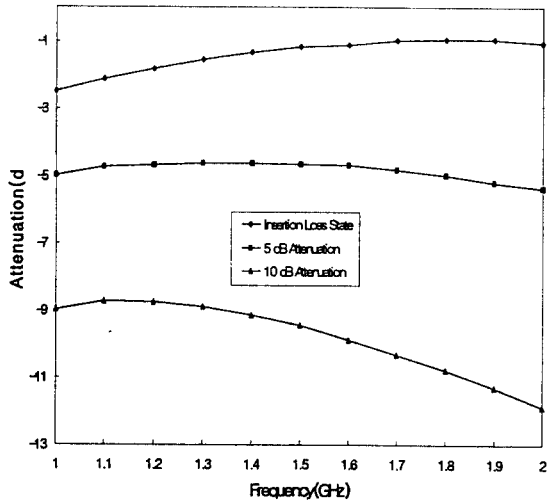


그림 9. 주파수 변화에 따른 감쇠량
Fig. 9. Attenuation versus Frequency.

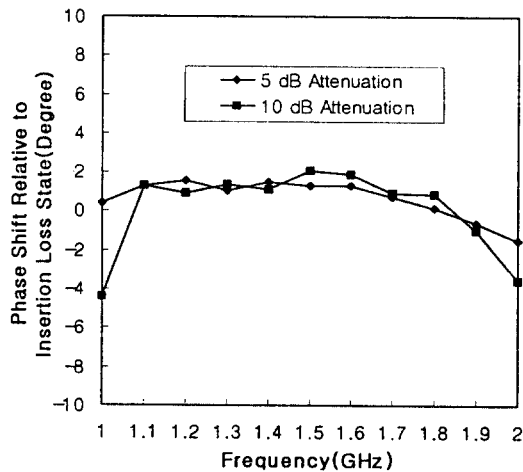


그림 10. 주파수 변화에 따른 위상 변화
Fig. 10. Phase Shift versus Frequency.

그림 9는 설계 대역 내에서 감쇠량 특성을 나타낸 그래프이다. 1~2 GHz의 대역 내에서 최대 삽입 손실은 1 GHz에서 2.5 dB였으며, 대부분의 대역에서 1.5 dB 미만이었으며, PCS 대역 내(1.7~1.9 GHz)에서의 삽입 손실은 1 dB 미만이었다. 감쇠량이 5 dB일 때의 특성을 보면, 설계 대역 내에서

주파수에 따라 감쇠량 특성이 일정한 것을 알 수 있다. 그러나 10 dB일 때의 특성을 보면, 설계 대역 내에서 주파수에 따라 감쇠량의 변화가 일정하지 않으므로 대역 내에서 감쇠량을 일정하게 하기 위한 추가적인 연구가 필요하다.

그림 10은 삽입 손실 상태의 위상에 대해 정규화 되어진 대역 내에서의 위상 변화를 나타내 주는 그래프이다. 1.8 GHz에서는 12 dB 감쇠량까지 위상 변화량이 단지 0.7°였으며, 1.2~1.9 GHz의 대역 내에서는 10 dB 감쇠량까지 평균 1.27°였고, 1 GHz와 2 GHz에서는 다른 대역에 비해 10 dB의 감쇠량까지 각각 -4.39°, -3.567°의 다소 큰 위상 변화량을 나타내었다. 위상 특성과 함께 입·출력 반사 손실을 고려할 때, 실제 유용한 대역은 1.4~1.9 GHz까지였고, 이 대역 내에서는 10 dB의 감쇠량까지 입·출력 반사 손실이 모두 10 dB 이상이었다. 제안된 저위상 변화 감쇠기를 동작시키기 위한 바이어스 전류는 30 mA였으며, 감쇠량이 5 dB, 10 dB, 12 dB일 때의 바이어스 전류값은 각각 2.3 mA, 1.1 mA, 900 μ A였다.

VI. 결 론

1~2 GHz의 대역 내에서 감쇠량에 따라 작은 위상 변화를 가지는 마이크로스트립 PIN 다이오드 감쇠기를 설계하였고, MDS를 통한 모의 실험 결과를 바탕으로 MIC 형태로 실제 제작하였다. 또, 회로의 크기를 줄이기 위한 Chamfered Bend의 이용은 마이크로스트립 선로의 등가 선로 길이 증가의 원인이 되므로, 실제 제작된 회로에서는 이를 고려하여 그 길이가 MDS를 통한 모의 실험 결과에 비해 짧아졌다. 벡터 회로망 분석기를 이용하여 측정된 결과, 1.8 GHz의 주파수에서는 12 dB 감쇠량까지 감쇠량에 따라 0.07°/dB의 거의 무시할 만한 위상 변화량을 나타내었고, 1.2~1.9 GHz의 주파수 대역에서는 10 dB의 감쇠량까지 평균 1.27°의 위상 변화량을 나타내었다. 감쇠량에 따른 작은 위상 변화 특성, 대역 내에서 감쇠량의 평탄도, 입·

출력 반사 손실을 모두 고려할 때에 1.4~1.9 GHz의 대역에서 추가적인 정합 회로의 필요없이 PIN 다이오드 감쇠기를 필요로 하는 회로내에 실제 적용이 가능함이 판명되었다. 1.4~1.9 GHz의 대역 내에서 0~10 dB의 감쇠량까지 입·출력 반사 손실은 10 dB 이상이였다. 따라서, 본 논문을 통하여 제작된 저위상 변화 감쇠기는 PCS용 AGC 회로내에서 전력 증폭기의 이득과 위상의 동시 제어를 통해 전력 증폭기의 비선형 특성에 의한 AM/AM, AM/PM 변환 왜곡을 감소시켜 전력 증폭기의 선형성 향상에 실용화될 수 있을 것이다.

참 고 문 헌

- [1] Stewart Walker, "A low phase shift attenuator," *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 182-185, Feb. 1994.
- [2] Robert J. Baeten, T. Koryu Ishii, and

James S. Hyde, "p-i-n Diode Attenuator with Small Phase Shift," *IEEE Trans. Microwave Theory Tech.*, vol. 36, pp. 789-791, April. 1988.

- [3] B. A. Syrett, "A Broad-Band Element for Microstrip Bias or Tuning Circuits," *IEEE Trans. Microwave Theory Tech.*, vol. 28, pp. 925-927, August. 1980.
- [4] *Application of PIN diodes*, Application Note 922, Hewlett Packard
- [5] Kai Chang, *Handbook of Microwave and Optical Components*. New York : John Wiley & Sons Inc., pp. 192-229, 1990.
- [6] Terry Edwards, *Foundations of Microstrip Circuit Design*. John Wiley & Sons Inc., 1992.
- [7] David M. Pozar, *Microwave Engineering*. Addison-Wesley Publishing Company., 1990.

윤 중 만



1995년 2월 : 아주대학교 전자공학과 (공학사)
 1997년 2월 : 아주대학교 전자공학과 (공학석사)
 1997년 1월~현재 : (주) 팬택 연구원

[주 관심분야] 초고주파 회로 설계

양 기 덕



1987년 2월 : 인하대 전자공학과 (공학사)
 1993년 6월 : 미 Polytechnic Univ. 전기전자공학과 대학원(공학석사)
 1994년 3월~현재 : 아주대학교 대학원 전자공학과 박사과정

[주 관심분야] 이동통신 및 위성통신 부품 개발, 수치 해석

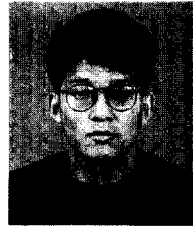
김 민 택



1979년 2월 : 아주대학교 전자공학과
(공학사)
1984년 2월 : 연세대학교 대학원 전
자공학과(공학석사)
1992년 3월~현재 : 아주대학교 대학
원 전자공학과 박사과정

1984년 9월~1985년 7월 : 아주대학교 전자공학과 전임조교
1985년 7월~현재 : 한국전자통신연구원 이동통신기술연구단
이동멀티미디어 연구실장
[주 관심분야] 디지털 통신시스템, 이동통신, 위성통신

박 의 모



1984년 : 뉴욕주립대학교 전기전
자공학(공학사)
1989년 : 일리노이대학교 전기전
자공학(공학석사)
1994년 : 일리노이대학교 전기전
자공학(공학박사)

1994년~1996년 : LG 전자기술원 선임연구원
1996년~현재 : 아주대학교 전기전자공학부 조교수
[주 관심분야] 안테나설계 및 해석, EMI /EMC, 수치 해
석

신 철 재



1964년 : 연세대학교 전자공학과(공
학사)
1968년 : 연세대학교 전자공학과(공
학석사)
1983년 : 연세대학교 전자공학과(공
학박사)

1970년~1977년 : 광운대학교 조교수
1986년~1987년 : 플로리다대학교 방문교수
1977년~현재 : 아주대학교 전기전자공학부 교수
[주 관심분야] 안테나설계 및 해석, EMI /EMC, 초고주파
통신 부품 개발, 전파전파