

# 분석 조건에 따른 p-MOSFET의 게이트에 유기된 드레인 누설전류의 열화



## Degradation of Gate Induced Drain Leakage(GIDL) Current of p-MOSFET along to Analysis Condition

배지철\*, 이용재\*  
(Ji-Cheol Bae, Yong-Jae Lee)

### Abstract

The gate induced drain leakage(GIDL) current under the stress of worse case in p-MOSFET's with ultrathin gate oxides has been measured and characterized. The GIDL current was shown that p-MOSFET's of the thicker gate oxide is smaller than that of the thinner gate oxide. It was the results that the this current is decreased with the increamental stress time at the same devices. It is analyzed that the formation components of GIDL current are both energy band to band tunneling at high gate-drain voltage and energy band to defect tunneling at low drain-gate voltage. The degradations of GIDL current was analyzed the mechanism of major role in the hot carriers trapping in gate oxide by on-state stress.

**Key Word(중요 용어)** : GIDL(gate induced drain leakage) (게이트 유기 드레인 누설), Degradation (열화), hot carrier( 핫 캐리어), trap(포획)

### 1. 서 론

저전력 초고집적 회로가 배터리 동작의 초소형 이동 전자제품의 수요가 급증하고 있기 때문에 중요성이 가중되고 있다. 장시간의 배터리 수명 시간을 견디기 위해서 동작 상태 전류의 최소화가 필수적이다. 아울러 초고집적 기술의 발전과 더불어 미세 기술과 저전력화등의 요소가 부각되고 있으며, 소자의 축적에 따른 높은 신뢰성 문제<sup>1,2)</sup>와 소자 구조와 제조 공정의 개발에 많은 연구가 있어야 할것이다. 특히 최근에 문제시 되고 있는 핫-캐리어 현상으로 일어나는 제반 특성들 중에서 저전력화의 개선을 막는 고전장에 의해 가속된 높은 에너지를 가진 핫-캐리어가 실리콘-산화막 계면 에너지 장벽을 넘어 드레인 게이트 중첩영역의 산화막에 포획되며, 포획 전하와 계면에서 트랩 상태

밀도에 의해 소자의 특성이 변화 되며, 여기서 중요시 되고 있는 포획 전하와 계면 트랩 상태 밀도는 핫-캐리어 현상 뿐만 아니라 동작 상태에서 게이트 유기 드레인 누설(GIDL) 전류에서도 심각한 문제에 관한 연구가 보고<sup>3,4,7)</sup>되고 있다.

본 연구에서는 초고집적용 p-MOSFET에서 게이트 단자에 동작 상태 스트레스 인가 조건으로 게이트 전류와 기판 전류를 측정하여 최대 게이트 누설 전류의 게이트 전압을 인가하는 스트레스는 소자에 최악의 상태를 짧은 시간에 경년 변화를 준다. 따라서 최대 게이트 전류에서의 전압을 게이트에 인가한 상태에서 직류와 교류 스트레스를 소자에 인가 하였으며, 스트레스 시간의 변화에 따라 게이트와 드레인 단자에서 나타나는 게이트 유기 드레인 누설 전류를 분석 조건에 따라 측정 및 분석 하였다. 이는 게이트 산화막의 두께를 변화 시킬때 나타나는 영향과 스트레스 인가 시간에 따른 게이트 유기 드레인 누설 전류의 영향의 분석과 이 전류의 구성 성분인 에너지 밴드에서 밴드 혹은 에너지 밴드에서 결합 준위로의 터널링 성분을

\* : 동의대학교 전자공학과  
접수일자 : 1996년 9월 17일  
심사완료 : 1996년 11월 11일

각각 분석 추출 하였다.

## 2. GIDL 전류의 형성 메카니즘

드레인과 게이트 단자에서 게이트 유기 드레인 누설전류의 생성은 높은 전압에서는 에너지 밴드-밴드 터널링에 의해 발생하는 것으로 보고<sup>1,3,6)</sup>되고 있다. 조고집적화와 더불어 얇아지는 게이트 산화막의 모스 트랜지스터에서 드레인과 게이트의 중첩 부분은 기판 영역을 포함하여 역 바이어스된 p-i-n 구조의 터널 다이오드 형태로 구성된다. 여기서 산화막은 포획전하와 계면 트랩 상태 밀도에서 핫-캐리어 현상 뿐만 아니라 게이트 유기 드레인 누설 전류를 야기시킨다. 이러한 측정을 위해 동작 상태 (e.g.,  $I_{g,max}$  또는  $I_{sub,max}$ )의 최대 스트레스 인가 전압 조건에서 시간 변화에 따른 게이트 유기 드레인 누설 전류를 측정후 전류 성분을 분석한다.

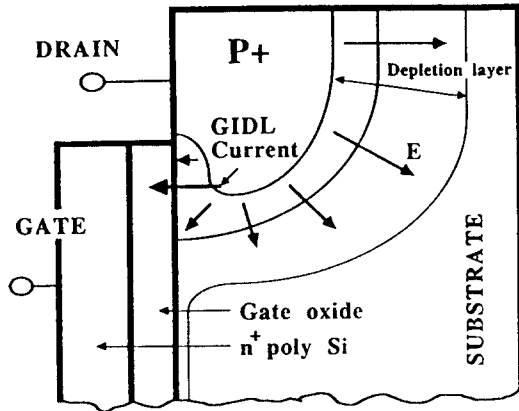


그림 1 소자에서 GIDL 전류 형성 부분의 단면. n<sup>+</sup> 표면은 역바이어스( $V_g > 0, V_d < 0$ )

Fig. 1. Cross-section of GIDL current formation parts in devices. n<sup>+</sup> surface is deep-depletion under reverse-bias. ( $V_g > 0, V_d < 0$ )

연구 소자에서 그림1은 게이트와 드레인 부위의 GIDL 전류 형성 구조인데, 소오스를 단락 시킨 상태에서 게이트와 드레인에  $|V_{gd}|$ 를 인가하고 기판은 접지 시킨 상태에서 공핍층으로 인한 전장의 구성이다. 여기에서 최대 스트레스의 인가는 평탄대 전압( $V_b$ )을 변화 시키므로 인해 임계전압을 변화시킨다.

또한 드레인과 게이트 중첩 영역과 깊은 공핍층 영역이 형성되어 수직 방향의 강한 전장에 의해

전도대에서 가전자대로 전자의 터널링이 일어나고, 이 과정에서 일부 충돌에 의한 전자-전공쌍은 드레인과 기판으로 유입이 되는 기판 전류이며, 게이트와 드레인의 모스 구조에서는 강한 전장에 의해 얇은 게이트 산화막을 터널링하는 캐리어 성분의 누설 전류가 강한 수평 전장에 의해 생성되는데, 이 전류가 게이트 유기 드레인 누설 전류이며, 터널링이 일어나기 위한 최소한의 확률은 충분한 표면 전장과 밴드-휨의 에너지값이 1.12eV 보다 큰 값을 요구하며, 이를 수식으로 표현한 식1이고, 드레인 전압의 관계식과 게이트 유기 드레인 누설 전류는 식2이며, 여기에 관련된 인자의 의미는 식3,4로 보고<sup>1,2,4)</sup>가 되고 있다.

$$V_d = V_g - V_b - 3 \cdot T_{ox} \cdot E_s - \Psi_s \quad (1)$$

( $\Psi_s > E_g$  (Silicon  $E_g : 1.12\text{eV}$ ))

$$I_{GIDL} = A \cdot E_s \cdot \exp\left(\frac{-B}{E_s}\right) \quad (2)$$

$$E_s = \frac{V_{dg} - 1.2}{3T_{ox}} \quad (3)$$

$$A = \frac{2qm_r \pi E_g^2}{h^3} \quad (4)$$

식 2는 게이트 유기 드레인 누설 전류에서  $E_s$ 는 표면 전장, A는 식 4의 표현으로 상수, B는 산화막 전장이고,  $E_s$ 의 표현은 식 3으로 터널링 관점에서의 전장을 표현한 식으로  $T_{ox}$ 는 산화막 두께,  $V_{dg}$ 는 드레인과 게이트의 전압이다. 산화막 전장은 게이트에 유기된 드레인과 누설전류의 발생에 비례적인 요소로써 게이트 산화막이 얇을수록 전장이 증가되며, 따라서 GIDL 전류 성분은 증가되는 관계로서 이는 그림1에서 나타난 드레인과 게이트의 중첩부분에서 발생하는 변화는 전장이며, 산화막 내에서 포획 전하는 균일한 포획이 아닌 불규칙한 포획 전하 분포를 나타낸다.

게이트 유기 드레인 누설 전류의 메카니즘과 구성 성분이 그림2로서 피-채널 모스 트랜지스터에서 드레인과 게이트 중첩 영역내에서 약한 에너지의 a) 밴드-결함 준위 사이의 터널링과 b) 에너지 밴드에서 밴드로 터널링 과정을 형성화 하였으며, 전자-전공쌍의 생성은 전도대에서 가전자대로의 터널링이 발생하는 것을 알수 있다. 산화막 근처의 에너지 휨은 식1에서 주어진 표면 전위( $\Psi_s$ )를 1.12eV 보다 크게 함으로서 일어나고, 계면상태에

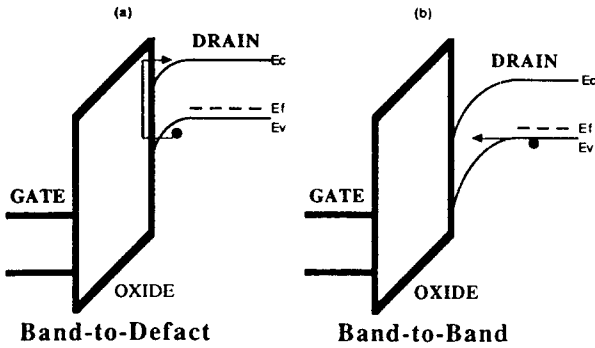


그림 2. 피-채널 모스 트랜지스터에서 GIDL의 터널링 메카니즘 (a : 밴드에서 결함 터널링 b : 밴드에서 밴드 터널링)  
 Fig. 2. Tunneling mechanism of GIDL in p-channel MOSFET's ( a : band to defect tunneling. b : band to band tunneling)

의한 터널링은 낮은 전장에서 핫-캐리어의 스트레스에 의한 영향에서 터널링 전류 성분을 측정 분석할 수 있다.

### 3. 실험 및 측정

본 연구의 소자는 게이트 산화막 두께가 각각 72Å, 79Å, 87Å과 116Å인 p-MOSFET 소자로서 주요 공정으로는 활성화 영역 정의 후 단계에서 초박막 게이트 산화막층은 현재까지 보고<sup>5)</sup>된 양질의 성장 방법인 급속열처리공정-화학기상증착 장치에 의한 건식 산소 분위기 속에서 성장시킨 증가형이며, 게이트 채널 폭/길이가 25/1 μm인 소자를 제조하였다. 측정은 소자에서 최악의 스트레스 인가 조건을 구하기 위해서 소자에서 게이트 단자의 최대 게이트 전류와 기판 전류를 측정하여 최대 전류에서 전압을 인가하는 파라미터 구한다. 이를 기초로 시간에 누적적으로(스트레스 전, 10초, 30초, 100초, 300초, 1000초, 2000초) 최대 게이트 전류의 전압을 게이트에 각각 인가하면서 게이트 전류, 기판 전류와 게이트 유기 드레인 누설전류를 각 조건에 따라 측정하였다.

피-모스 트랜지스터에서 낮은 게이트 전압의 부임계 특성의 측정 결과가 그림 3으로 스트레스 전과 후의 특성이 다르게 나타났는데, 스트레스 조건은 게이트 전류가 최대인 게이트 전압( $V_g = -1.9V$ )이 측정되어, 이 전압을 소자의 게이트 단자에 각각 시간을 달리 인가한 상태에서 스트레스 영향으

로 인한 제반 특성을 측정하며, 게이트 유기 드레인 누설 전류에서 스트레스의 핫-캐리어 영향은 산화막내에 포획된 전하와 계면 상태 밀도에 의한 것으로 보고<sup>4,7)</sup>되고 있다.

스트레스 시간의 변화에 따른 드레인 전류는 임계 전압 이상의 높은 게이트 전압에서는 부임계 전류 기울기가 거의 동일한 특성이지만, 임계 전압 이하의 낮은 전압에서는 드레인 전류가 차이는 결과가 그림 3이다.

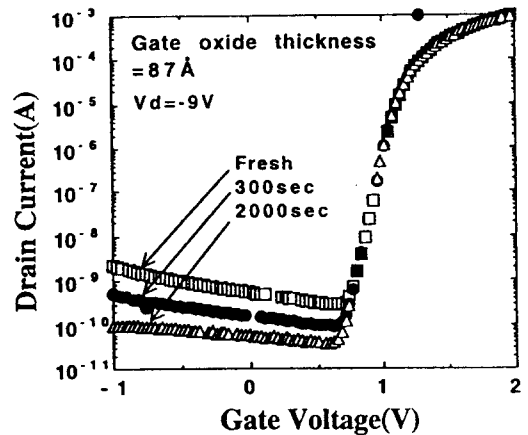


그림 3. 다른 게이트에서 인가 전압의 부임계 전류 기울기 특성

Fig. 3. Characteristics of subthreshold current slope in different gate voltage

이는 게이트 전압의 변화에 대해 드레인-게이트 전압( $V_{dg} = -9V$ )은 일정한 상태이며, 스트레스 인가 시간이 길어질수록 드레인 전류는 감소하였으며, 순방향 바이어스 상태 게이트 전압에서는 드레인 전류는 조금 증가하는 현상을 보였고, 역바이어스 상태에서는 스트레스의 큰 영향으로 드레인 전류는 많이 감소하는 결과의 두 영역으로 나뉘어진다.

게이트 산화막 두께가 각각 다른 소자에서 드레인 누설전류에 대해서 역방향 드레인과 게이트 전압을 측정된 결과가 그림 4로서 역방향 전압이 증가할수록 드레인 전류는 감소하고, 두께별로 소자의 게이트 산화막 두께가 얇을수록 전자의 터널링은 보다 많이 일어날 수 있는 확률을 가지며, 낮은 역방향의 드레인-게이트 전압에서 드레인 누설전류의 불규칙한 특성 부분은 전자의 불규칙한 터널링 때문이다.

그림 5는 드레인-게이트 전압에 대해 드레인 전류를 측정된 결과로 동일한 드레인-게이트 전압에

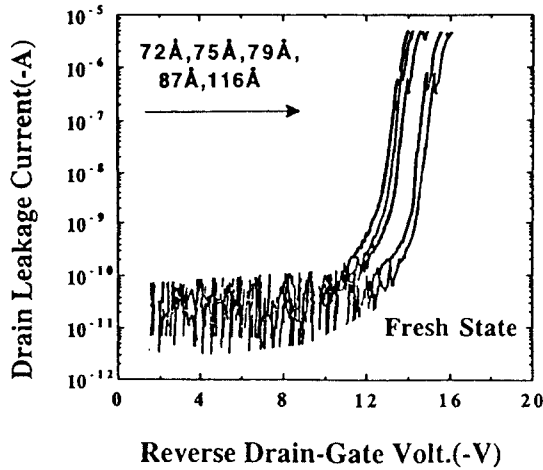


그림 4. 스트레스 인가 전에 게이트 산화막 두께에 따른 드레인 누설 전류  
 Fig. 4. Drain leakage current at before stress along to gate oxide thickness

서 스트레스의 영향이 분명한 결과로 스트레스를 받은 소자는 드레인 전류가 많이 감소된 결과를 나타내며, 인가 시간의 증가에 따른 드레인 전류는 큰 감소는 아닌 특성이지만, 스트레스 인가전의 소자의 드레인 전류에서 스트레스의 원인으로 급격한 전류의 감소 특성을 보인다. 이는 전류 성분이 그림 2의 모델 a와b에서 낮은 드레인-게이트 전압에서는 스트레스 인가 전과 후의 소자에 관계없이 불규칙한 전류 특성과 -11 볼트 정도의 높은 드레인과 게이트 전압에서는 에너지 밴드에서 밴드간의 터널링으로 산화막 두께와 스트레스 시간에 다른 일정한 전류 특성을 나타낸다.

4. 분석 및 고찰

게이트 유기 드레인 누설 전류 성분을 낮은 드레인-게이트 전압과 높은 전압에서의 전류 성분을 구별하기 위해 식 2, 3으로 부터 그림 4와 5의 특성 형태의 소자별 여러 측정 데이터에서 추출한 결과가 그림 6으로 산화막 포획 전하와 계면 포획의 생성에 의해 게이트 유기 드레인 누설 전류의 생성이 확연히 변하는 것을 확인할 수 있는데, 크게 계면 상태 생성에 의한 영역은 낮은 드레인-게이트 전압을 가진 경우로 이 영역은 밴드에서 결합간의 터널링 현상이 일어나는 영역이며, 핫 캐리어의 새로운 생성의 포획과 포획에서 이탈하는 현상이 동시에 진행되면서 불안정한 전류 파형 특성

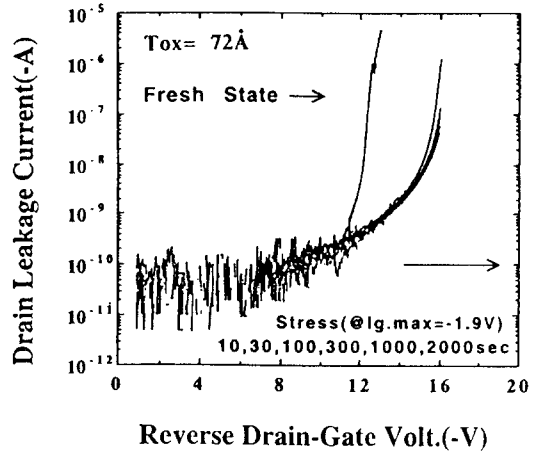


그림 5. 동작 상태 스트레스 전과 후의 드레인 누설전류 (Vg= -6V에서 측정)  
 Fig. 5. Drain leakage current (measured at Vg=-6V) before and after on-state stress

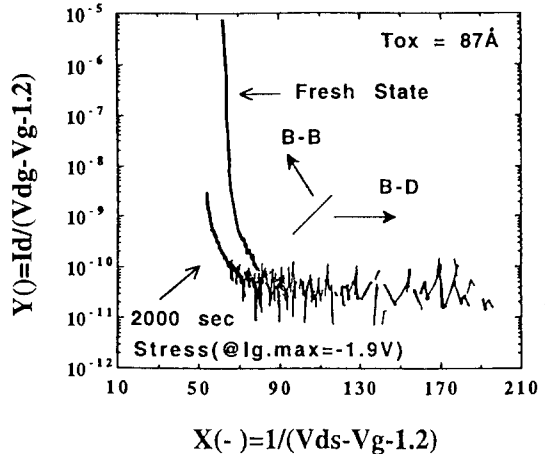


그림 6. 스트레스 전후에서  $\log [I_d / (V_{dg} - 1.2)]$  대  $1 / (V_{ds} - V_g - 1.2)$ 의 전류 성분  
 Fig. 6. The current component of  $\log [I_d / (V_{dg} - 1.2)]$  versus  $1 / (V_{ds} - V_g - 1.2)$  for before and after stress.

을 나타낸다. 또한 스트레스 인가 후에서도 마찬가지로의 GIDL 전류가 낮은 게이트 전압에서도 불규칙한 현상이 일어나는데, 이는 낮은 전압에 의해 전하 포획이 어려운 상태인데 반해 누설전류는 계속적으로 발생되기 때문이다. 산화막 내의 포획 전하에 의한 영역은 높은 드레인-게이트 전압을 가진 경우로 이 영역은 전하가 에너지 밴드에서 밴

드칸 터널링 현상이 일어나는 영역의 전류 성분이며, 스트레스 인가 시간의 증가로 산화막 내의 포획 전하 때문에 GIDL 전류 성분은 시간의 증가에 따라 감소한다.

게이트 유기 드레인 누설 전류의 구성 성분 에너지 밴드에서 밴드로 터널링 되는 높은 전장에서 결과 그래프 7로써 스트레스 인가 전과 후의 성분을 추출한 관계는 스트레스 시간에 따라 GIDL 전류 성분이 감소함을 나타내고, 산화막 두께에 따라서는 게이트 산화막의 두께가 얇을수록 누설 전류가 증가되는 결과이며, 스트레스에 따른 감소는 게이트 산화막에 관계없이 거의 선형적이다.

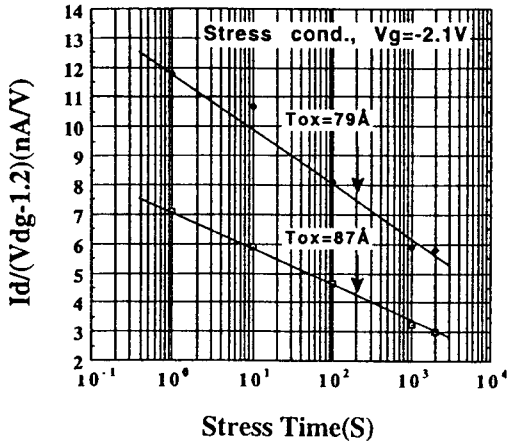


그림 7.  $I_d/E_s$  대 산화막 두께로부터 GIDL 전류 측정

Fig. 7. GIDL current measurements from  $I_d/E_s$  vs. oxide thickness

그림 8은 스트레스 시간에 대한 누설 전류를 게이트 산화막의 두께 변화에 따른 스트레스 시간 변화의 관계성을 추출한 결과를 바탕으로 산화막의 두께와 전장은 동일 인가 전압에서 얇은 산화막이 높은 전장을 형성하므로 인해 얇은 산화막에서 많은 누설 전류가 발생되며, 스트레스에 따라 게이트에 유기된 드레인 누설 전류가 감소하는 특성을 보였고, 초박막 게이트 산화막의 소자일수록 두께의 감소에 따른 게이트에 유기된 드레인 누설 전류는 증가하는 결과가 나타났다.

식 3, 5를 이용하여  $3T_{ox}B$ 를 추출한 데이터로부터 B값을 추출한 결과가 그림9이며, 이때 인자 B의 값이 19.0 MV/cm 정도로 추출되었는데, 이는 C. Hu은 이론<sup>12)</sup>으로 인자 B=21.3 MV/cm 인 B값

에 근접하는 결과치로 나타났다.

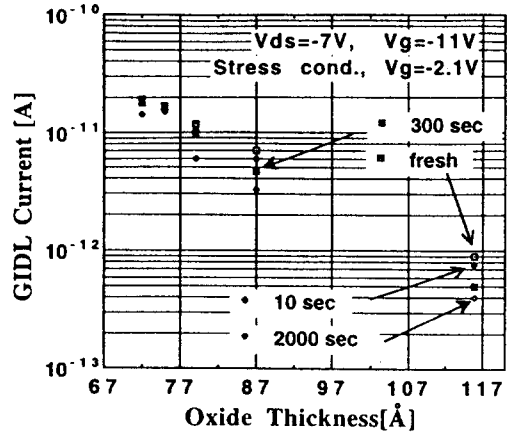


그림 8. 스트레스 하에서 GIDL 전류 대 산화막 두께

Fig. 8. GIDL current vs oxide thickness under stress

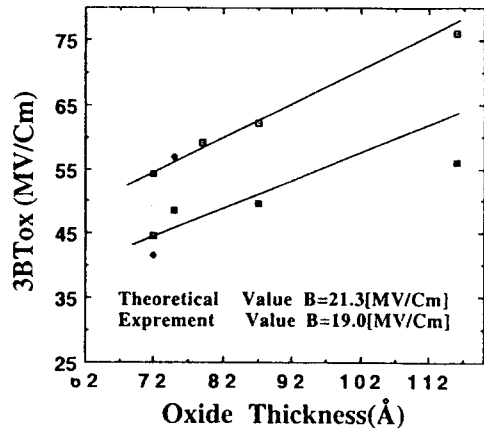


그림 9. 게이트 산화막의 함수로서  $3T_{ox} \cdot B$ 의 기울기

Fig. 9. The slope of  $3T_{ox} \cdot B$  as a function of the oxide thickness.

$$B = \frac{\pi^2 \sqrt{m_r} E_g^{\frac{3}{2}}}{qh\sqrt{2}} = 21.3 \text{ (MV/Cm)} \quad \dots (5)$$

게이트 유기 드레인 누설 전류의 대부분의 전류 성분은 에너지 밴드-밴드 터널링을 야기시키는 가장 큰 요소로 부각되고 있으며, B값의 추출로 본 소자에서 양호한 신뢰성을 나타낸다는 설명이 가능하며, 또 다른 중요시 되는 요소는 드레인과 게

이트의 큰 전압 인가인 높은 전장에서 측정된 결과를 의미하며, 낮은 전장에서는 추출 인자B에 의한 터널링 보다는 결합 준위의 게이트 산화막 계면상태에 의한 게이트에 유기된 드레인 누설전류의 발생이 주 원인으로서 그림 9가 전체적인 분석 결과이다.

### 5. 결 론

스트레스 인가 전에 게이트 유기 드레인 누설 (GIDL) 전류량은 게이트 산화막이 얇을수록 많았으며, 스트레스의 영향이 클수록 감소되는 결과를 보였다. 얇은 게이트 산화막 소자에 있어서의 누설 전류량은 증가된 결과로 측정 되었으며, 이들 데이터로 누설 전류에 가장 큰 영향을 미치는 산화막 내의 인가되는 전장 세기별로 GIDL 전류를 추출 분석하였다. 게이트 유기 드레인 누설 전류 성분의 추출은 낮은 드레인-게이트 전압에서 전류 성분은 밴드에서 결합 준위로 터널링이고, 높은 전압에서는 에너지 밴드에서 밴드 터널링이 전류의 주성분으로 확인되었다. 낮은 드레인-게이트 전압에 의한 전류 성분은 에너지 밴드에서 결합 준위의 터널링 성분으로 나타났으며, 게이트 유기 드레인 누설 전류는 감소되었다. 스트레스에 의해 소자의 게이트 산화막속에 포획된 핫 캐리어에 의한 영향은 높은 전장에서는 많은량의 캐리어가 산화막 속의 포획으로 GIDL 전류가 감소 되었으며, 동작 상태 스트레스에 의한 핫 캐리어에 의해 부임계 전류 기울기, GIDL 전류도 열화 특성을 나타내었다. 따라서 초고집적화의 소자는 더욱 낮은 동작 전압이 요구되며, 소자의 신뢰성에서 스트레스 영향에 의한 게이트 유기 드레인 누설 전류의 열화 특성은 제조 공정과 설계에 있어서 신중히 고려할 인자이다.

### 참 고 문 헌

1. N. Lindert, C. Hu "Comparison of GIDL in P+-poly PMOS and n+-poly PMOS Devices" IEEE Electron Device Lett. vol. 17, NO.6, pp.285-288, June 1996.
2. T. Y. Chan, J. Chen, P.K. Ko and C. Hu, "The Impact of Gate-Induced Drain Leakage Current on MOSFET Scaling," IDEM Tech., Dig., pp.718-721, Dec. 1987.
3. Zeng Xu, et al "Enhanced Off-State Leakage Current in n-Channel MOSFET with N<sub>2</sub>O-Grown Gate Dielectric" IEEE Electron Device Lett., Vol. 16, No.10, pp. 436-438, Oct. 1995.
4. Tse-en Chang, Chimoon Huang, Tahui Wang, "Mechanisms of Interface Trap-Induced Drain Leakage Current in Off-State n-MOSFET's," IEEE Tran., Electron Devic, Vol. 42, No. 4, April, 1995.
5. G. Q. Lo, Dim-Lee Kwong, "Roles of Trapping and Interface State Generation on Gate-Induced Drain Leakage Current in p-MOSFET's," IEEE Tran., Electron Device, Vol. 12, No. 12, Dec. 1991.
6. Yong Jae Lee, et al "Gate-Induced-Drain-Leakage(GIDL) Current Degradations of Drain-gate Overlap Region in MOSFET's" Prodeeding of KITE Fall Conference '95, Vol.18, No.2, pp499-502, Dec. 1995
7. J. F. Zjang, W. Eccleston "Effects of High Field Injection on the Hot Carrier Induced Degradation of Submicrometer pMOSFET's" IEEE Trans. on Electrins Devices. Vol. 42, No.7, pp. 1269-1276, July 1995.

※ 이 연구는 한국과학재단 '95핵심전문연구 과제번호 951-0911-060-1의 지원 결과임.

저자소개



배지철

1967年 7月 1日生. 1994年 2月 동의 대학교 전자공학과 졸업. 1995年 3月 ~ 현재 동의대학교 전자공학과 석사과정.



이용재

1954年 10月 11日生. 1981年 2月 경북대학교 공대 전자공학과(학사). 1983年 2月 연세대학교 대학원 전자공학과(공학석사). 1986年 8月 연세대학교 대학원 전자공학과(공학박사). 1991年 7月 ~ 1992年 7月 University of Texas at Austin Micro-Electronics Research Center Post Dr. 1983年 3月 ~ 1984年 7月 삼성 반도체 연구소 연구원. 1985年 3月 ~ 1988年 2月 한국전자통신연구소 집적회로 개발부 선임연구원. 1988年 3月 ~ 현재 동의대학교 전자공학과 부교수. 주관심 분야는 실리콘 반도체 공정, 소자 설계와 모델링, MOSFET의 핫-캐리어, 초박막 게이트 산화막 등임.