

論文97-34S-3-2

ATM 교환 시스템의 성능향상을 위한 새로운 셀 스위치 구조 연구

(A Study on New Cell Switch Fabric for Increasing the Performance of ATM Switching Systems)

鄭 鎮 泰 * , 李 沃 宰 ** , 田 炳 實 **

(Jin-Tae Jurng, Ok-Jae Lee, and Byoung-Sil Chon)

요 약

본 논문에서는 셀(cell) 기반의 self-routing 스위칭 네트워크들에 대한 연구를 통하여 ATM 교환 시스템의 성능 향상을 위한 새로운 셀 스위치 구조를 제안한다. 제안한 스위칭 네트워크는 셀 단위의 2×2 스위칭 소자들로 이루어진 공간 분할 방식의 다단 상호 연결 네트워크로서, sorting 기능을 수행하는 sorting 네트워크와 routing 기능을 수행하는 routing 네트워크의 상호 결합으로 구성되어 있다. 이 구조는 sort-route 형태의 self-routing 및 nonblocking 특성을 활용하면서, 입력 부하를 분산하여 병렬로 sorting 및 routing을 수행하는 구조로 설계하여 네트워크의 하드웨어를 감소시키고 버퍼의 효율성을 향상시켜, 전체 교환 시스템의 throughput을 증가시키도록 하였다. 성능 분석 결과, 제안한 스위칭 네트워크는 N이 큰 대규모 시스템에서도 적은 크기의 공유 버퍼를 사용하여, 항상 N=2인 경우의 출력 버퍼를 갖는 일반적인 네트워크와 동일한 throughput을 보이고 있어, 고속의 대용량 ATM 교환 시스템에 적합한 구조임을 알 수 있다.

Abstract

In this paper, we propose a new cell switch fabric for increasing the performance of ATM switching systems. Proposed switching network consists of a sorting network and a routing network. Both of these are multistage networks where each stage performs a fixed permutation on the incoming lines, and then routes them through a column of 2x2 switching elements. It is designed for distributing inputs and parallel processing to reduce the hardware complexity and obtain high performance of switching network. The structure and the operation of the switching network are described and the performance of the switching network is analyzed under uniform traffic models. In this result, though the size of proposed network is increased the large scale, it has always the same throughput as the that of general output queueing system with N=2. So, it is found that our proposed network is appropriate for the high speed and larger size of ATM switching systems.

* 正會員, 全北産業大學校 情報通信工學科

(Dept. of Information & Telecommunication Eng., Chonbuk Sanup Univ.)

** 正會員 全北大學校 電子工學科

(Dept. of Elec. Eng., Chonbuk Nat'l Univ.)

※ 본 연구는 1995년도 학술진흥재단의 연구비 지원에 의한 결과임.(과제번호: 02 E-0244)

接受日字: 1997年1月20日, 수정완료일: 1997年3月13日

I. 서 론

ATM 교환 기술의 핵심이 되는 스위치 구조(switch fabric)는 원래 회선 교환 방식을 위해 도입된 최초의 공간 분할 방식인 크로스바(crossbar) 형태의 스위칭 네트워크(switching network)에 기반을 둔 구조였다. 이 구조의 스위칭 네트워크는 단순하며, 내부적으로 routing 기능 수행시 blocking을 일으키지 않는 장점을 가지고 있으나, 입·출력 포트 수가 증가함에 따라

시스템 관리면이나 경제적인 면에서 매우 불합리해지므로, 동적인 스위칭 구조를 가지는 셀(cell) 또는 노드(node)라 불리는 스위칭 소자(switching element)를 기본으로, 이를 다단(multistage) 상호 연결(interconnection)한 구조의 스위칭 네트워크 개념이 도입되게 되었다. 이들 다단 상호 연결 네트워크(multistage interconnection network)에 대한 연구는 높은 병렬성의 수용과 분산 제어 및 하드웨어 레벨에서의 self-routing 기능 등에 역점을 두어 고속의 패킷 교환 개념에 의한 교환 시스템 구조를 목표로 진행되어 오고 있다. 이들 교환 시스템은 패킷을 공간적으로 스위칭 하는 형태를 취하고 있어 스위치의 크기나 용량이 스위치의 성능과 직접 연관이 되므로, 스위치의 성능이나 요구되는 스위치의 동작속도, 하드웨어의 규모, 실현의 용이성 사이에서 어느 측면을 강조하느냐에 따라 요구 조건에 맞는 최적의 스위칭 구조가 달라질 수 있는 trade-off 관계를 가지고 있다 할 수 있겠다^{11~11)}.

따라서, 본 논문에서는 개념상으로 ATM 기술 출현 배경에 가장 근접되어 있다고 볼 수 있는 셀 기반의 self-routing 스위칭 네트워크들에 대한 연구를 통하여 ATM 교환 시스템의 성능 향상을 위한 새로운 셀 스위칭 구조를 제안하고자 한다. 본 논문에서 제안한 스위칭 네트워크는 셀 단위의 2×2 스위칭 소자들의 컬럼으로 이루어진 공간 분할 방식의 다단 상호 연결 네트워크로서, sorting 기능을 수행하는 sorting 네트워크와 routing 기능을 수행하는 routing 네트워크의 상호 결합으로 구성되어 있다. 이 구조는 Batcher-Banyan 네트워크¹²⁾와 그 형태(topology)가 같은 sort-route 구조로서, 이 sort-route 구조는 전송 목적지 주소의 크기 순서대로 sorting되어 있는 bitonic 시퀀스 입력을 Banyan 네트워크¹³⁾에서 blocking없이 routing할 수 있다는 Narasimha¹⁴⁾의 증명에 따른 것으로, Huang과 Knauer에 의해 Starlite 시스템¹²⁾에서 처음으로 제안되었으며 여러 교환 시스템에 널리 활용되어 왔다. 제안한 네트워크 또한 이 sort-route 구조의 self-routing 및 nonblocking 특성 등의 장점을 그대로 유지하면서도, 네트워크의 하드웨어를 감소시키고 버퍼의 효율을 향상시킬 수 있는 구조로 설계하여, 전체 교환 시스템의 throughput를 증가시킬 수 있도록 하였다. 제안한 네트워크는 Batcher-Banyan 네트워크와는 달리, 하나의

N -sorter 대신 2개의 $N/2$ -sorter를 병렬로 배치하여 sorting 네트워크를 구성하고, routing 네트워크 또한 2개의 $N/2$ -Banyan 네트워크로 이루어진 router를 병렬로 하여 구성하였다. 따라서 네트워크로 들어오는 전체 N 개의 패킷은 자연스럽게 절반으로 나누어져 $N/2$ 개씩 각각의 $N/2$ -sorter로 입력되어 병렬로 sorting이 된다. 각각의 $N/2$ -sorter에서 sorting된 결과는 다시 패킷의 선두에 포함되어 있는 목적지 주소 정보의 내용에 따라 해당 router에 위치한 $N/2$ -Banyan 네트워크에서 self-routing되어 최종 목적지까지 전송된다. 이와 같이 입력 부하를 절반으로 나누어 병렬로 sorting한 후, routing이 이루어지도록 네트워크를 설계함으로써, 기존의 Batcher-Banyan 네트워크 및 Narasimha에 의해 제안된 네트워크에 비하여 그 스테이지와 스위칭 소자의 수를 줄일 수 있었다. 예를 들어, 1024×1024 크기의 스위칭 구성시 제안한 네트워크는 54 스테이지만을 필요로 하며, 각각 65 스테이지와 175 스테이지로 구성된 Batcher-Banyan 네트워크 및 Narasimha의 네트워크에 비해 하드웨어를 감소시킬 수 있었다.

또한 2개 이상의 패킷이 동시에 하나의 출력으로 전송될 때 발생하는 blocking에 대해서는 공통 메모리 형태의 '버퍼를 sorting 네트워크 출력 단에 위치시키고, Banyan 네트워크의 최종 출력 단에 출력 버퍼를 위치시켜 해결하고 있다. 제안한 네트워크는 입력 부하를 절반으로 나누어서 병렬로 sorting을 하는 구조이기 때문에, 동일 출력 주소를 갖는 blocking 패킷들의 경우도 2개의 $N/2$ -sorter로 나누어져 입력될 수 있다. 따라서 공유 버퍼를 통하여 sorting 네트워크로 재 입력되는 패킷 수를 감소시킬 수 있게 되어 버퍼의 효율을 향상시킬 수 있게 되었다. 각각의 버퍼는 Markov chain을 이용하여 모델링하고, 이를 균일한 트래픽(uniform traffic) 환경 하에서 통계적인 방법으로 성능 분석을 하였다. 분석 결과 제안한 스위칭 네트워크는 N 이 큰 대규모 시스템에서도 항상 $N=2$ 인 경우의 출력 버퍼를 갖는 네트워크와 동일한 throughput을 가질 수 있게 되어, 고속의 대용량 교환 시스템에 적합한 구조임을 알 수 있었다.

본 논문은 I장 서론에 이어 II장에서는 제안한 스위칭 네트워크의 구조와 동작 기능과 기존 Batcher-Banyan 구조의 네트워크와 비교하여 하드웨어 감소 및 blocking 해결 방안 등에 대하여 서술한다.

III장에는 제안한 스위칭 네트워크에 대한 성능 분석 및 분석 결과를 서술하였으며, 끝으로 IV장에서 본 논문에 대한 결론을 내린다.

II. 제안한 스위칭 네트워크

1. 스위칭 네트워크의 구조

제안한 스위칭 네트워크는 셀 또는 노드라 불리는 2×2 스위칭 소자들의 칼럼으로 이루어진 공간 분할 방식의 self-routing 네트워크로서, 그림 1에 나타나 있는 것처럼 sorting 기능을 수행하는 sorting 네트워크와 routing 기능을 수행하는 routing 네트워크의 상호 결합으로 이루어져 있다. 앞단의 sorting 네트워크는 Batcher의 bitonic sorting 네트워크^[15]로 널리 알려져 있는 $N/2 \times N/2$ 크기의 sorter 2개를 병렬로 배치하여 구성하였으며, 다음 단의 routing 네트워크는 $N \times N/2$ 크기의 Mo, M1 router 2개를 하나의 쌍으로 하여 $N \times N$ 크기의 routing 네트워크를 구성하고 있다. 하나의 $N \times N/2$ router는 $N/2 \times N/2$ 크기의 Banyan 네트워크를 위·아래로 배치하여 구성하고 있는데, 이들 $N/2$ -Banyan 네트워크의 출력은 서로 연결되어 있으며 입력은 다른 router에 있는 $N/2$ -Banyan 네트워크의 입력과 서로 연결되어 있다. sorting 네트워크와 routing 네트워크는 셔플-교환으로 상호 결합되어 있다.

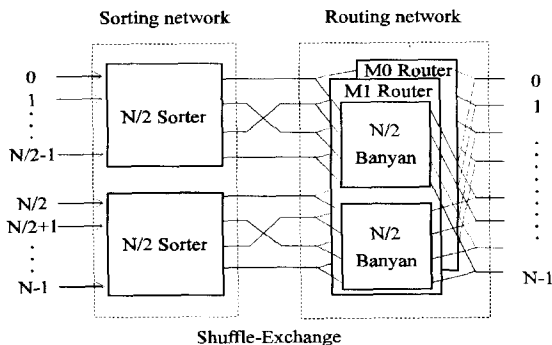


그림 1. 제안한 self routing 네트워크의 구성도
Fig. 1. Block diagram of the proposed self routing network.

이와 같이, 제안한 네트워크는 Starlite 시스템으로 잘 알려져 있는 Batcher-Banyan 네트워크와 그 토폴로지가 같은 sort-route 구조로 되어 있어, 이 구조의 self-routing 특성 등의 장점을 그대로 유지하고 있다.

다만 제안한 스위칭 네트워크는 2개의 $N/2$ -sorter를 병렬로 배치하여 네트워크로 입력되는 부하를 절반씩 나누어서 각각의 $N/2$ -sorter에서 병렬로 sorting이 이루어지게 하고, routing 기능 또한 $N/2$ -banyan 네트워크로 구성되어 있는 한 쌍의 router에서 병렬로 이루어지도록 구성하여, N -sorting 네트워크와 N -banyan 네트워크로 구성되어 있는 Batcher-Banyan 네트워크와 비교하여 그 스테이지 및 스위칭 소자 수를 줄이고 있다. 다시 말해서 Batcher-Banyan 네트워크는 2×2 sorting 소자들의 칼럼으로 이루어진 $n(= \lceil \log_2 N(1 + \log_2 N) \rceil / 2)$ 스테이지의 sorting 네트워크와 2×2 스위칭 소자들의 칼럼으로 이루어진 $n(= \log_2 N)$ 스테이지의 banyan 네트워크의 결합으로 구성되지만, 제안한 네트워크는 N 입력에 대하여 2×2 sorting 소자들의 칼럼으로 이루어진 $n(= \lceil (\log_2 N)^2 - \log_2 N \rceil / 2)$ 스테이지의 sorting 네트워크와 2×2 스위칭 소자들의 칼럼으로 이루어진 $n(= \log_2(N/2))$ 스테이지의 routing 네트워크의 결합으로 구성되어 있다. 그림 2는 $N=8$ 일 때 제안한 스위칭 네트워크를 나타내고 있다.

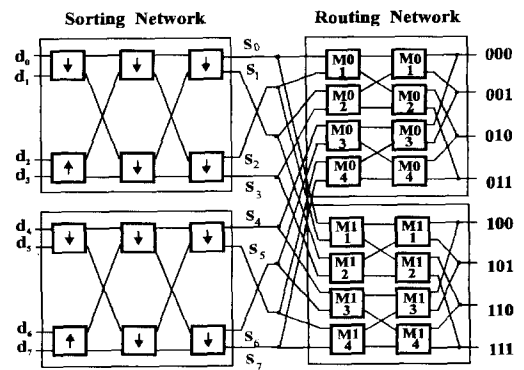


그림 2. 제안된 self routing 네트워크(8 입력)
Fig. 2. Proposed self routing network for 8 inputs.

2. 제안한 스위칭 네트워크의 동작기능

제안한 스위칭 네트워크는 먼저 앞단에 위치한 sorting 네트워크에서 입력 패킷을 그들의 목적지 주소 정보에 의하여 오름차순이나 내림차순으로 sorting 한 후 이 결과를 다음 단에 있는 routing 네트워크를 통하여 적절한 목적지로 routing하는 구조로 이루어져 있다. 이는 목적지 주소 정보의 크기 순서대로 sorting 되어 있는 bitonic 시퀀스 입력을 Banyan 네트워크에

서 적절하게 routing할 수 있다는 Narasimha의 증명에 따른 것으로, 이와 같은 sort-route 구조는 Huang과 Knauer에 의해 Starlite 시스템에 처음으로 도입되었다.

이러한 sorting 기능과 routing 기능은 별도의 중앙 처리 장치에서 이루어지는 것이 아니라, 네트워크를 구성하고 있는 각 스위칭 소자들에 의하여 하드웨어 레벨에서 이루어진다. 이들 스위칭 소자들은 단순히 입력되는 패킷의 목적지 주소 정보 bit만을 검색하거나 비교하는 것으로서 그 상태를 결정한다. 입력 패킷의 목적지 주소 정보는 d_0, d_1, \dots, d_k 로 표시되며, d_k 는 k 번째 입력의 목적지 주소를 $i(\log_2 N)$ 개의 bit로 binary 형태로 표현된다.

먼저, sorting 네트워크는 2개의 $N/2$ -sorter에 의해 병렬로 구성되어 있는데, 이들 각 sorter는 차원이 증가하는 Batcher의 bitonic sorter로서 이에 대한 입력은 일반적인 $S_2, S_4, \dots, S_{N/2}$ 시퀀스로 구성된다. S_k 로 표기된 sorter는 k -크기를 갖는 bitonic 시퀀스를 sorting한다(S_2 는 간단한 2×2 스위치임). 입력 패킷의 선두에는 전송하고자 하는 목적지의 주소 정보가 포함되어 있고, sorter의 2×2 스위치는 입력 단에서 이 목적지 주소 정보의 내용을 비교하여 더 큰 목적지 주소를 갖는 입력 패킷이 스위칭 소자에 표시되어 있는 화살표 방향으로 출력될 수 있도록 그 상태가 결정된다. S_k 네트워크에서 각각의 모든 스위칭 소자들에 대한 화살표는 그림 2에서 해당되는 부분의 화살표 방향과 동일하다. 이때 전송 목적지를 갖지 않는 입력(이하 inactive 입력이라 함)에 대해서는 active 입력보다 더 큰 목적지 주소를 할당하는 방법을 사용한다.

네트워크로 들어오는 전체 N -입력은 자연스럽게 $N/2$ 으로 나누어져 각각의 $N/2$ -sorter로 입력된다. 이렇게 $N/2$ 으로 나누어져 입력된 패킷은 2개의 $N/2$ -sorter에 의해 각각 병렬로 sorting이 된다. 즉, 각각의 $N/2$ -sorter는 전체 N 개의 입력 패킷중 자신의 sorter내로 입력되는 $N/2$ 개의 패킷만을 sorting하여 출력한다. 이제 이들 bitonic 시퀀스를 갖는 각 $N/2$ -sorter의 출력은 Narasimha의 증명에 따라 다음에 결합되어 있는 $N/2$ -Banyan 네트워크를 통하여 최종 목적지까지 routing된다.

Routing 네트워크는 그림 3(a)에 나타나 있는 것처럼 M0 router 및 M1 router로 표기되는 $N \times N/2$ 크기의 router 2개를 하나의 쌍으로 하여 $N \times N$ 크기의

네트워크를 구성하고 있다. 이들 각각의 router는 위·아래 병렬로 배치한 2개의 $N/2$ -banyan 네트워크로 이루어지는데, 위·아래 각 $N/2$ -banyan 네트워크의 출력은 그림 3(a)에서와 같이 서로 연결되어 있고, 입력은 또 다른 router에 위치한 $N/2$ -banyan 네트워크의 입력과 서로 연결되어, 앞 단의 각 sorter와 셔플-교환으로 상호 결합되어 있다. 이와 같이, 앞 단에 위치한 각 sorter의 출력을 M0 router에 있는 $N/2$ -banyan 네트워크와 M1 router에 있는 $N/2$ -banyan 네트워크로 다중 연결하여 routing 네트워크를 구성하고 있는 것은, 앞 단의 sorting 네트워크가 2개의 $N/2$ -sorter로 나누어져 병렬로 sorting을 하고 있기 때문이다. 즉, 각각의 $N/2$ -sorter는 전체 N 개의 입력 패킷중 자신의 sorter내로 입력되는 $N/2$ 개의 패킷만을 sorting하여 출력하고 있으나, 이 출력은 "0"번지에서부터 " $N-1$ "번지까지의 목적지 주소를 가지는 패킷들로 bitonic 시퀀스를 구성하고 있기 때문이다. 다시 말해서, 각 $N/2$ -sorter 다음에는 $N/2$ -banyan을 결합하여 routing을 수행하도록 하고 있으나, 이 $N/2$ -banyan 네트워크로는 "0"번지에서부터 " $N-1$ "번지까지의 목적지 주소를 갖는 bitonic 시퀀스는 routing할 수 없기 때문이다. 따라서 그림 3(a)에 나타나 있는 것처럼 routing 네트워크를 구성함으로써, 각 sorter의 출력중 "0"번지에서 " $N/2-1$ "번지까지의 목적지 주소를 갖는 패킷은 M0 router에 위치한 $N/2$ -banyan 네트워크에서 routing되고, " $N/2$ "번지에서 " $N-1$ "번지까지의 목적지 주소를 갖는 패킷은 M1 router에 위치한 $N/2$ banyan 네트워크에서 routing 되도록 하고 있다. 각 router는 왼쪽부터 1번에서 $n(\log_2(N/2))$ 번 스테이지까지로 표기되는 2×2 스위칭 소자들의 칼럼으로 이루어진 $N/2$ banyan 네트워크를 병렬로 배치하여 구성한다.

이들 2×2 스위칭 소자들의 상태는 그림 3(b)에 있는 것처럼 직선 연결이나 교차 연결로 설정되며, 표준적인 bit-controlled 방식에 의해 self routing 된다. 즉 routing 기능은 각 스테이지마다 패킷의 선두에 포함되어 있는 해당 목적지 주소 정보의 bit가 "0"이면 상위 연결로 해당 bit가 "1"이면 하위 연결로 스위칭 소자의 상태를 설정함으로써 이루어진다. 다시 말해 첫 번째 스테이지에 위치한 스위칭 소자에서는 목적지 주소 정보의 $i+1$ 번째 bit의 내용에 따라 스위칭을 행하고 그 다음 스테이지에서는 그 다음 bit에 의해서 스

위칭 상태가 결정되며, 이러한 형식으로 마지막 스테이지까지 반복하여 최종 목적지까지 self-routing된다. 다만 각 router에 위치한 2x2 스위칭 소자들은 입력 패킷의 선두에 포함되어 있는 목적지 주소 정보의 i번째 bit인 MSB의 내용에 따라 그 스위칭 기능을 달리 하도록 설계되어 있다.

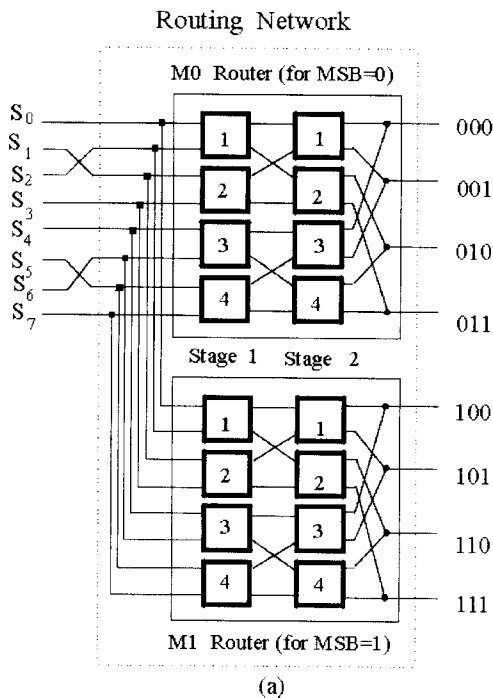


그림 3. Routing 네트워크 구성도
Fig. 3. Structure of the Routing network.

즉, M0 router에 위치한 스위칭 소자들은 목적지 주소 정보의 MSB 내용이 "0"인 패킷들에 대해서는 위와 같은 self-routing 기능을 수행하고 MSB의 내용이 "1"인 패킷들에 대해서는 inactive 입력으로 간주하여 routing 기능을 수행하지 않도록 설계되어 있으며, 반면에 M1 router에 위치한 스위칭 소자들은 반대로 MSB의 내용이 "1"인 패킷들에 대해서만 위와 같은

self-routing 기능을 수행하고 MSB의 내용이 "0"패킷들은 inactive 입력으로 처리하여 routing 기능을 수행하지 않도록 설계하였다.

3. 하드웨어 감소 비교

앞에서 서술한 바와 같이 제안한 스위칭 네트워크에서는 2개의 N/2-sorter에 의하여 네트워크로 입력되는 패킷을 절반으로 나누어서 병렬로 sorting을 하고, 이 결과를 2개의 router에 의하여 병렬로 routing을 하도록 함으로서 전체 스위치의 스테이지 및 스위칭 소자 수를 감소시킬 수 있었다.

표 1에는 제안한 네트워크와 기존의 네트워크에 대해 그 스테이지 수 및 스위칭 소자 수를 비교한 결과를 보이고 있다. 제안한 네트워크는 16x16 크기인 경우 9 스테이지로 구성되어, 각각 14 스테이지로 구성된 Narasimha와 Batcher Banyan 네트워크에 비해 더 경제적인을 알 수 있다. 표 1에서 볼 수 있듯이 Narasimha에 의해 제안된 네트워크는 크기가 16 이하인 소규모 시스템에서는 Batcher-banyan 네트워크에 비해 그 스테이지 수가 감소하고 있음을 볼 수 있으나, N이 16 이상인 경우에는 오히려 스테이지 수가 증가하고 있다. 그러나 본 논문에서 제안한 네트워크는 N이 16 이상인 경우에도 스테이지 수가 감소하고 있음을 볼 수 있다.

표 1. 복잡도 비교

Table 1. Comparison of complexity.

Batcher-Banyan	Stages	$1/2 * [\log_2 N(1 + \log_2 N)] + \log_2 N$
	SEs	$N/2 * [1/2 \log_2 N(1 + \log_2 N) + \log_2 N]$
Narasimha	Stages	$\log_2 N [(\log_2 N)^2 + 5]/6$
	SEs	$N/2 * [\log_2 N [(\log_2 N)^2 + 5]/6]$
Proposed	Stages	$[(\log_2 N)^2 - \log_2 N]/2 + \log_2(N/2)$
	SEs	$N/2 * \{[(\log_2 N)^2 - \log_2 N]/2 + N * [\log_2(N/2)]\}$

N	Batcher-banyan		Narasimha		Proposed	
	stages	SEs	stages	SEs	stages	SEs
4	5	10	3	6	2	6
8	9	36	7	28	5	28
16	14	112	14	112	9	96
32	20	320	25	400	14	288
64	27	864	41	1312	20	800
128	35	2240	63	4032	27	2112
256	44	5632	92	11776	35	5376
512	54	13824	129	33024	44	13312
1024	65	33280	175	89600	54	32256

4. Blocking 해결 방안

제안한 스위칭 네트워크의 sort-route 구조는 Banyan 네트워크에서 bitonic 시퀀스가 blocking 없이 routing될 수 있다는 Narasmha의 증명에 따른 것으로, 네트워크로 입력되는 패킷을 sorting 네트워크에서 목적지 주소 순서대로 sorting한 후 Banyan 네트워크를 통해 routing하는 구조로 되어 있다. 그러나 2개 이상의 입력 패킷이 같은 목적지로 전송되고자 하는 경우에는, 전송 도중 Banyan 네트워크 내부에서 패킷 상호간 충돌을 일으키는 blocking 문제가 발생된다. 이러한 blocking 문제를 해결하기 위하여 기존 sort-route 구조의 스위칭 시스템에서는 sorting 네트워크 앞에 버퍼를 사용하여 이를 해결하거나, sorting 네트워크 출력 단에 트랩 네트워크를 사용하여 전송 목적지가 같은 패킷들에 대해서는 하나의 패킷만 Banyan 네트워크로 보내고 나머지는 다시 sorting 네트워크로 재 입력시키는 방법을 이용하여 이를 해결하고 있다. 또한 추가 하드웨어 없이 3-phase 알고리즘을 사용하여 이러한 문제를 해결하는 등의 여러 방안들이 연구되어 왔다^[16-19].

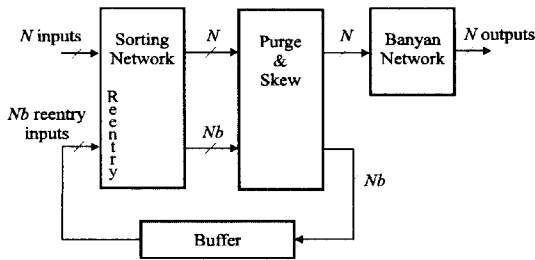


그림 4. 공유 버퍼에서의 재 입력 과정
Fig. 4. Reentry process with shared buffer.

본 연구에서는 그림 4에서와 같이 sorting 네트워크의 출력 단에 공유 버퍼를 사용하여, 이들 전송 목적지가 같은 패킷들에 대해서는 다시 sorting 네트워크로 쉼시켜 재 입력하는 방법으로 이 문제를 해결하고 있다. 즉, sorting 네트워크의 출력 단에서 같은 전송 목적지를 갖는 패킷들에 대해서는 서로 충돌 경쟁을 하도록 하여 충돌 경쟁에서 승리한 하나의 패킷은 다음 단의 Banyan 네트워크로 입력되어 routing되고, 나머지 충돌 경쟁에서 탈락한 패킷들은 공유 버퍼를 통하여 sorting 네트워크로 재 입력되어 다음 time-slot에 재 전송하는 방법을 사용하고 있다.

또한, 제안한 스위칭 네트워크는 입력을 절반으로 나

누어서 2개의 $N/2$ -sorter에서 각각 병렬로 sorting을 하는 구조로 되어 있기 때문에, blocking이 발생할 경우 또한 2개의 $N/2$ -sorter로 나누어져 입력된다.

따라서 공유 버퍼를 통하여 재 입력되는 패킷 수는 하나의 N -sorter를 사용할 때 보다 감소하게 되며, 결과적으로 버퍼의 효율성은 향상되게 된다. 그러나 이렇게 2개의 $N/2$ -sorter에서 병렬로 sorting을 하고 있기 때문에 routing 기능 또한 패킷의 목적지 주소 정보에 의해 해당 router에 위치한 $N/2$ -Banyan 네트워크에서 병렬로 이루어지므로, 그림 2에서처럼 각 router의 $N/2$ -Banyan 네트워크의 출력은 하나의 목적지로 합류할 수 밖에 없고, 여기서 발생하는 blocking은 그림 6에서처럼 이들 $N/2$ -Banyan 네트워크의 최종 출력포트에 버퍼를 사용하여 처리하고 있다.

III. 제안한 스위칭 네트워크의 성능 분석 및 평가

본 장에서는 제안한 스위칭 네트워크에 대한 성능 분석을 실시하고, 이에 대한 분석 결과를 서술한다. 성능 분석은 입력되는 패킷이 모든 출력포트로 균일하게 전송되는 uniform traffic 환경 하에서 실시한다.

1. 성능 분석

성능 분석은 두 부분으로 구성된다. 첫 번째 부분은 sorting 네트워크의 출력 단에 위치한 공유 버퍼에 대한 성능 분석이며, 두 번째 부분은 최종 출력 단에 위치한 출력 버퍼에 대한 성능 분석을 다룬다.

1) 공유 버퍼의 성능 분석

공유 버퍼의 구조는 그림 5에 나타나 있는 것처럼 출력 버퍼의 형태를 취하고 있지만, 각 출력 단에 분리된 개개의 버퍼를 가지고 있는 대신 모든 메모리가 하나의 완전한 공유 메모리 형태로 되어 있는 구조로 이루어져 있다. 이 공유 버퍼는 Nb 개의 패킷을 수용할 수 있는 각각의 분리된 입력단과 출력 단을 가지고 있으며, 각 sorter의 크기는 $N/2 \times N/2$ 에서 $N(b+1)/2 \times N(b+1)/2$ 로 증대된다. 따라서 각 sorter로는 $N/2$ 개의 새로운 패킷과 공유 버퍼에 저장되어 있던 $Nb/2$ 개의 패킷이 입력될 수 있다.

여기서 만약, k ($k=1, 2, \dots, N(b+1)/2$)개의 입력되는 패킷이 동일한 출력으로 지정되었다면, 각 sorter는

단지 하나의 패킷만 출력으로 전달하고 나머지 $k-1$ 개의 패킷은 공유 버퍼의 $Nb/2$ 개의 입력 단의 $k-1$ 개로 각각 전달될 것이다. 이들 $k-1$ 개의 패킷은 먼저 저장되어 있던 다른 패킷들과 같이 sorter로 다시 재 입력되기 위하여 다음 time-slot의 시작까지 대기하게 된다. 이 구조는 실질적으로 sorter의 각 출력 단에 하나의 분리된 버퍼로 구성되어 있지만, 물리적으로는 저장되는 모든 패킷들이 같은 버퍼 영역을 공유하고 있는 구조로 되어 있다. 따라서 출력 버퍼와 같은 최적의 성능을 낼 수 있으며, 같은 허용 범위내의 패킷 손실에서는 보다 작은 크기의 메모리를 가지고서도 출력 버퍼와 동일한 성능을 낼 수 있다^[20].

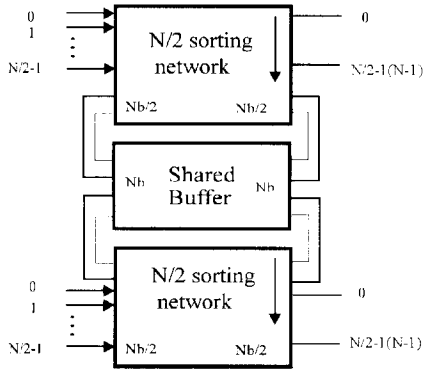


그림 5. 공유 버퍼의 구조
Fig. 5. Structure of shared buffer.

먼저, m 번째 time-slot의 마지막에서 i 번 출력으로 전달되는 패킷의 수를 Q_m^i 라 하면, $\sum_{i=1}^N Q_m^i$ 는 m 번째 time-slot의 마지막에서 공유 버퍼에 저장되는 전체 패킷의 수를 나타낸다. 만일 공유 버퍼의 크기가 무한대($Nb = \infty$)라 하면, m 번째 time slot 동안 i 번 출력 단에 도착되는 패킷의 수를 A_m^i 라 할 때 버퍼의 크기를 다음처럼 표시할 수 있다.

$$Q_m^i = \max \{ 0, Q_{m-1}^i + A_m^i - 1 \} \quad (1)$$

그러나 버퍼의 크기가 유한한 경우에는, 어느 특정한 출력으로 전송되기 위해 도착하는 패킷이 같은 time-slot에 다른 출력으로 전송되기 위해 도착하는 패킷들을 희생시키면서 공유 버퍼를 채울 것이다. 따라서 버퍼의 오버플로우 결과로 식 (1)을 사용하는 것은 그리 유효하지가 않다. 하지만 식 (1)은 아주 적은 패킷 손실 확률 영역 (10^{-6} 이하인 패킷 손실)에서는 좋은 근사치를 나타내므로 버퍼의 크기가 유한한 경우에

도 이 식을 그대로 사용하기로 한다^[21].

또한, N 이 유한한 경우, i 번 출력 단으로 전송되기 위해 도착하는 패킷의 정상상태(steady-state)에서의 수, A^i 는 A^j ($j \neq i$)와 독립적이지 않다. 적어도 N 개의 패킷이 스위치에 도착하므로, 하나의 출력 단으로 많은 패킷이 집중되는 것은 자연 다른 출력 단에 도착되는 패킷의 수를 감소시키게 할 것이다. 그러나 여기서 N 이 크게 증가된다면 A^i 는 독립적인 Poisson 랜덤 변수가 될 것이며, i 번 출력 단으로 가기 위해 버퍼에 대기하고 있는 패킷의 정상 상태시의 수, Q^i 는 Q^j ($j \neq i$)와 독립적이 될 것이다. 따라서 N 이 유한한 경우에도 이러한 독립적이며 Poisson 분포를 가진다는 가정을 그대로 사용할 수가 있다.

그러므로, 공유 버퍼에 있는 정상 상태에서의 패킷의 수를 $N M/D/1$ 대기행렬의 N 배 콘볼루션으로서, $\sum_{i=1}^N Q^i$ 로 모델링할 수가 있으며, 무한한 크기의 버퍼 설정 하에서는 $\Pr [\sum_{i=1}^N Q^i \geq Nb]$ 에 의해 패킷 손실 확률을 근사화할 수 있다^[21].

2) 출력 버퍼의 성능 분석

출력 버퍼는 그림 6에서처럼 모든 대기행렬(queue)이 네트워크의 각 출력 측에 개별적으로 분리되어 있으며, b 개의 패킷을 선입선출(FIFO:First In First Out) 방식으로 처리하고 있다.

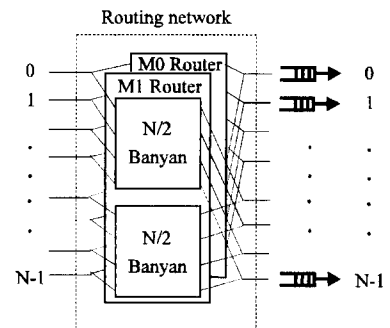


그림 6. 출력 버퍼의 구조
Fig. 6. Structure of output queuing.

출력 버퍼를 해석하기 위하여, 이러한 스위칭 시스템을 이산시간 대기행렬(discrete-time queue) 시스템으로 모델링하고 다음과 같은 가정을 한다.

먼저, N 개의 입력회선에 도착하는 패킷은 서로 독립적이고, 베르누이 과정(Bernoulli process)을 따른다. 특별히 주어진 time-slot에 임의의 입력에 도착하는 패킷의 확률은 p 이다. 각 패킷은 $1/N$ 이라는 똑같은 확

를 가지고서 특정한 출력에 전달되며, 연속적으로 들어오는 패킷은 서로 독립적이다. 따라서 특정한 출력으로 전달되는 패킷은 p/N 확률을 갖는다.

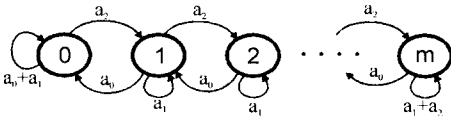


그림 7. 출력 단 대기행렬의 Markov 상태 천이도
Fig. 7. Markov-state transition diagram of the output queue.

입의 출력 대기행렬("tagged" queue)에 초점을 맞추어서, 주어진 한번의 time-slot 동안 tagged queue에 도착하는 패킷의 수를 랜덤 변수 A 로 정의해 보면, 다음과 같은 이항 확률(binomial probability)을 가지며

$$a_i \triangleq \Pr[A = i] = \binom{N}{i} (p/N)^i (1-p/N)^{N-i} \quad i=0, 1, \dots, N \quad (2)$$

확률 발생 함수는 다음과 같다.

$$A(z) \triangleq \sum_{i=0}^N z^i \Pr[A = i] = \left(1 - \frac{p}{N} + z \frac{p}{N}\right)^N \quad (3)$$

여기서 $N \rightarrow \infty$ 일 때, 각 time-slot 동안 tagged queue에 도착하는 패킷의 수는 다음과 같은 포아송 확률(Poisson probability)을 가지며, PGF는 각각 다음과 같다.

$$a_i \triangleq \Pr[A = i] = \frac{p^i e^{-p}}{i!} \quad i=0, 1, \dots \quad (4)$$

$$A(z) \triangleq \sum_{i=0}^N z^i \Pr[A = i] = e^{-p(1-z)} \quad (5)$$

이제 m 번째 time slot 동안 도착된 전체 패킷의 수를 A_m 으로 표시하고, m 번째 time slot의 마지막에서 tagged queue에 존재하는 패킷의 수를 Q_m 으로 표시하면, Q_m 은 다음과 같이 나타낼 수 있다.

$$Q_m = \max(0, Q_{m-1} + A_m - 1) \quad (6)$$

여기서 $Q_{m-1} = 0$ 이고 $A_m > 0$ 인 경우 하나의 새로운 패킷이 들어오면, 이 m 번째 time-slot 동안 바로 출력으로 전달된다. 즉, 패킷은 어떠한 시간 지연 없이 네트워크를 통하여 바로 목적지에 전달된다. 여기에서 대

기행렬의 크기를 Q_m 으로 놓고 이산시간 Markov chain을 이용하여 대기행렬을 모델링 해보면 그림 7과 같은 상태 천이도로 나타낼 수 있다.

이제 위의 상태 천이도로부터 다음과 같은 balance equation들을 얻을 수 있다.

$$q_0 \triangleq \Pr(Q=0) = (a_0 + a_1)q_0 + a_0q_1 \quad (7)$$

$$q_1 \triangleq \Pr(Q=1) = a_2q_0 + a_1q_1 + a_0q_2 \quad (8)$$

$$q_2 \triangleq \Pr(Q=2) = a_2q_1 + a_1q_2 + a_0q_3 \quad (9)$$

$$q_3 \triangleq \Pr(Q=3) = a_2q_2 + a_1q_3 + a_0q_4 \quad (10)$$

...

$$q_i \triangleq \Pr(Q=i) = a_2q_{i-1} + (a_1 + a_2)q_i \quad (11)$$

위의 balance equation을 다시 정리해 보면 다음과 같다.

$$q_1 \triangleq \Pr(Q=1) = (1 - a_0 - a_1) \cdot \frac{q_0}{a_0} \quad (12)$$

...

$$q_i \triangleq \Pr(Q=i) = \frac{(1 - a_1)}{a_0} \cdot q_{i-1} - \frac{a_2}{a_0} \cdot q_{i-2} \quad (13)$$

$$q_0 \triangleq \Pr(Q=0) = \frac{1}{1 + \sum_{i=1}^b q_i / q_0} \quad (14)$$

여기서 $Q_{m-1} = 0$ 이고 $A_m > 0$ 이면 tagged output 으로 전송되는 패킷은 하나도 없을 것이다. 따라서 네트워크의 평균화 전송율(normalized throughput), ρ 는 다음과 같이 나타낼 수 있다.

$$\rho = 1 - q_0 a_0 \quad (15)$$

또한 패킷 손실 확률은 다음처럼 표시할 수 가 있고

$$\Pr[\text{packet loss}] = 1 - \frac{\rho}{p} \quad (16)$$

평균 대기행렬의 크기는 다음과 같으며

$$\bar{Q} = \sum_{i=1}^b i q_i \quad (17)$$

출력 단 대기행렬에서의 평균 지연시간은 Little [22] 의 식을 이용하여 다음처럼 나타낼 수 가 있다.

$$\bar{W} = \frac{\bar{Q}}{\rho} = \sum_{i=1}^b \frac{i a_1}{1 - q_0 a_0} \quad (18)$$

2. 분석 결과

여기서는 제안한 스위칭 네트워크의 성능 분석 결과를 설명한다. 그림 8은 128×128 스위칭 네트워크에 대하여, 입력 부하가 p=0.85인 경우 출력 단 대기행렬에서의 출력 버퍼 크기에 따른 패킷 손실 확률을 나타내고 있다.

각각의 곡선들은 네트워크의 중간에 위치한 공유버퍼의 크기에 따라 다른 특성을 보이고 있다. 여기서 볼 수 있듯이 공유 버퍼의 크기가 b=2인 경우, 출력 버퍼의 크기가 증가하더라도 패킷 손실 확률은 더 이상 향상되지 않음을 볼 수 있다. 이러한 현상은 중간 단 공유 버퍼에서의 blocking에 의한 패킷 손실에 기인하는 것으로, 그림 8에서 볼 수 있듯이 내부 공유 버퍼의 크기를 증가시킴으로서 패킷 손실 확률을 향상시킬 수 있다. 즉, b=4인 경우 출력 단 버퍼의 크기가 30인 경우에 패킷 손실 확률은 10⁻⁹임을 알 수 있다. 이 경우 아주 적은 크기의 공유 버퍼를 가지고서 네트워크 전체 패킷 손실 확률을 향상시키고 있다.

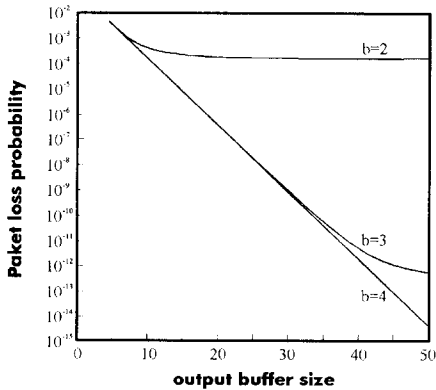


그림 8. 출력 단 대기행렬 크기 대비 패킷 손실 확률 (128×128 네트워크, p=0.85)
Fig. 8. Packet loss probability versus output buffer size.

그림 9와 10은 각각 64×64 스위칭 네트워크 및 32×32 스위칭 네트워크에 대한 출력 버퍼 크기 대비 패킷 손실 확률을 나타내 보이고 있으며, 위에서 언급한 바와 같이 내부 공유 버퍼의 크기에 따라 패킷 손실 확률이 향상됨을 알 수 있다.

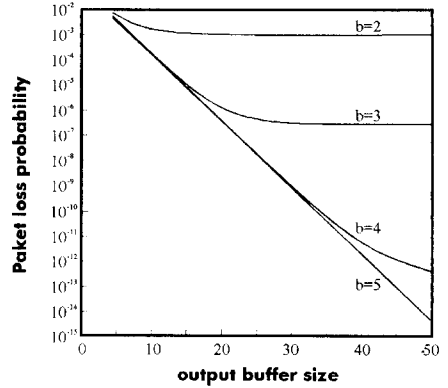


그림 9. 출력 단 대기행렬 크기 대비 패킷 손실 확률 (64×64 네트워크, p=0.85)
Fig. 9. Packet loss probability versus output buffer size.

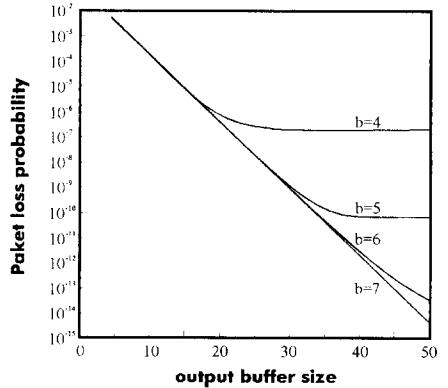


그림 10. 출력 단 대기행렬 크기 대비 패킷 손실 확률 (32×32네트워크, p=0.85)
Fig. 10. Packet loss probability versus output buffer size.

또한 그림 8, 9, 10에서 볼 수 있듯이 스위칭 네트워크의 크기가 변화하더라도 같은 성능 분석 결과를 보이고 있음을 알 수 있다. 즉, 그림 11에서 볼 수 있듯이 일반적인 출력 버퍼에서의 성능 분석 결과는 네트워크의 크기, N에 따라서 다른 성능을 보이고 있으나²⁰⁾, 본 논문에서 제안한 네트워크는 N이 증가하더라도 항상 네트워크의 크기가 N=2인 일반적인 출력 버퍼 구조의 경우일 때와 같은 성능을 보이고 있다. 다시 말해서 제안된 네트워크는 N이 증가하더라도 항상 N=2인 경우일 때와 같은 성능을 낼 수 있으므로, 일반적인 출력 단 대기행렬 시스템에서 N이 증가함에 따라 출력 버퍼의 크기를 증가하여 패킷 손실 확률을 향상시킬 수 있었으나, 본 논문에서 제안한 네트워크는 적

은 크기의 중간 단 공유 버퍼에 의해서 항상 $N=2$ 인 출력 단 대기행렬의 성능을 유지하고 있다.

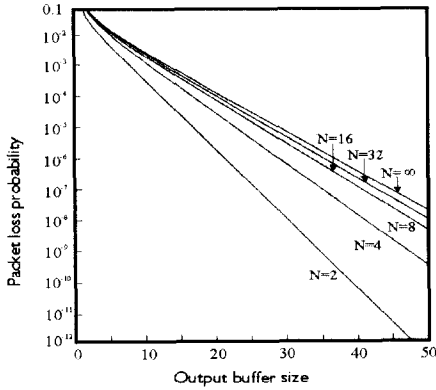


그림 11. 일반적인 출력 단 대기행렬 구조에서의 대기행렬 크기 대비 패킷 손실 확률^[20].
Fig. 11. Packet loss probability versus buffer size for general output queue.

IV. 결론

본 논문에서는 개념상으로 ATM 기술 출현 배경에 가장 근접되어 있다고 볼 수 있는 셀 기반의 self-routing 스위칭 네트워크들에 대한 연구를 통하여 ATM 교환 시스템의 성능 향상을 위한 새로운 셀 스위치 구조를 제안하였다.

제안한 스위칭 네트워크는 여러 교환 시스템에 널리 활용되어온 셀 단위의 공간 분할형 스위치인 Batcher-Banyan 네트워크를 기반으로 하고 있는 sort-route 형태의 네트워크로서, 입력되는 부하를 절반으로 나누어서 병렬로 처리하는 구조로 설계하였다. 이것은 sort-route 구조의 self-routing 특성 등의 장점을 유지하면서, 기존 Batcher-Banyan 기반의 네트워크에 비해 하드웨어를 더욱 감소시키고, blocking을 처리하기 위하여 사용한 버퍼의 효율성을 향상시켜, 전체 교환 시스템의 throughput를 증가시킨 구조를 갖도록 하였다.

$N=16$ 인 경우, Batcher-Banyan 네트워크와 Narasimha가 제안한 네트워크는 각각 14스테이지를 필요로 하는 반면, 제안한 네트워크는 9스테이지면 충분하도록 되어 있다. 표 1에서 볼 수 있듯이 Narasimha가 제안한 네트워크는 N 이 16이하인 경우에만 하드웨어가 감소하고 있어 소규모 시스템에 적합한 구조를 보이고 있으나, 제안한 네트워크는 N 이 16

이상인 경우에도 하드웨어가 감소됨을 알 수 있다. $N=1024$ 인, 경우 본 논문에서 제안한 네트워크는 54스테이지를 필요로 하는데 비해, Narasimha의 네트워크와 Batcher-Banyan 네트워크는 각각 175스테이지와 65스테이지로 구성된다.

뿐만 아니라, 이렇게 입력을 절반으로 나누어서 sorting하는 구조로 되어 있기 때문에, 동일 출력 주소를 갖는 blocking 패킷들의 경우 또한 2개의 $N/2$ -sorter로 나누어져 입력될 수 있게 되었다. 따라서 패킷 충돌 해결 과정을 통하여 sorting 네트워크로 재 입력되는 패킷의 수 또한 줄일 수 있게 되어, 결과적으로 버퍼의 효율성을 높일 수 있게 되었다. 또한, 이렇게 sorting된 결과를 병렬 구조의 Banyan 네트워크를 통하여 routing되게 함으로서, 최종 출력 단계에 위치한 출력 버퍼의 크기는 네트워크의 크기와 관계없이 항상 $N=2$ 인 출력 버퍼를 갖는 네트워크와 동일한 성능을 낼 수 있게 되었다. 다시 말해서 제안한 스위칭 네트워크는 네트워크의 크기에 관계없이 작은 크기의 공유 버퍼를 사용하여 항상 $N=2$ 인 출력 버퍼를 갖는 네트워크와 동일한 성능을 보이고 있음을 알 수 있었다.

결론적으로, 제안한 스위칭 시스템은 sort-route 구조의 self-routing 특성의 장점을 유지하면서, 하드웨어를 감소시키고 버퍼의 효율성을 극대화할 수 있는 구조로 네트워크를 설계함으로써, 고속의 대용량 스위칭 시스템에 적합한 구조를 갖도록 하였다.

참고 문헌

- [1] H. Ahmadi and W. E. Denzel, "A survey of modern high-performance switching techniques," *IEEE J. Select. Areas Commun.*, vol. 7, no. 7, pp. 1091-1103, 1989.
- [2] G. Broomell and J. R. Heath, "Classification Categories and Historical Development of Circuit Switching Topologies," *Computing Surveys*, vol. 15, No. 2, June 1983, pages 95-133.
- [3] J. S. Turner and L. F. Wyatt, "A packet network architecture for integrated services," in *Proc. GLOBECOM'83, San Diego, CA*, Nov. 1983, pp. 2.1.1-2.1.6.
- [4] J. S. Turner, "New directions in

- communications," *IEEE Commun. Mag.*, vol. 24, pp. 8-15, Oct. 1986.
- [5] C. Clos, "A study of non blocking switching networks," *Bell Syst. Tech. J.*, vol. 32, pp. 406-424, Mar. 1953.
- [6] C. L. Wu and T. Y. Feng, "On a class of multistage interconnection networks," *IEEE Tans. Comput.* vol. C-29, pp. 694-702, Aug. 1980.
- [7] Marco et al., "Switching structures for ATM," *Computer Communications* vol. 12, Dec. 1989.
- [8] Hennion et al., "Switching networks architectures for ATM based broadband communications," ISS'90.
- [9] T. H. Lee, "Design and analysis of a new self-routing network," *IEEE Trnas. Commun.*, vol. 40, No. 1, pp. 171-177, Jan. 1992.
- [10] S. Lee and Mi Lu, "New self routing permutation networks," *IEEE Trans. Comput.*, vol. 43, No. 11, pp. 1319-1323, Nov. 1994.
- [11] A. S. Acampora, "An introduction to broadband networks," *Plenum*, 1994.
- [12] A. Huang and S. Knauer, "Starlite: A wideband digital switch," in *Proc. GLOBECOM'84, Atlanta, GA*, Dec. 1984, pp. 121-125.
- [13] L. R. Goke and G. J. Lipovski, "Banyan networks for partitioning multiprocessor systems," in *Proc. 1st Annu. Int. Symp. Comput. Architecture*, Dec. 1973. pp. 21-28.
- [14] M. J. Narasimha, "The Batcher-banyan self-routing network: Universality and simplification," *IEEE Trans. Commun.*, vol. 36, no. 10, pp. 1175-1178, Oct. 1988.
- [15] K. E. Batcher, "Sorting networks and their application," in *Proc. Spring Joint Comput. Conf., AFIPS*, 1968, pp. 307-314.
- [16] J. Y. Hui and E. Arthurs, "A broadband packet switch for integrated transport," *IEEE J. Select. Areas Commun.*, vol. 5, no. 8, pp. 1264-1273, 1987.
- [17] J. N. Giacopelli, W. D. Sincoskie, and M. Littlewood, "Sunshine: A high performance self-routing broadband packet switch architecture," in *Proc. ISS'90*, pp. 123-129, 1990.
- [18] T. T. Lee, "A modular architecture for very large packet switches," *IEEE Trans. Commun.*, vol. 38, no. 7, pp. 1097-1106, July 1990.
- [19] T. T. Lee, "Nonblocking copy networks for multicast packet switching," *IEEE J. Select. Areas Commun.*, vol. SAC-6, pp. 1455-1467, Dec. 1988.
- [20] M. J. Krol, M. Hluchjy, and S. Morgan, "Input versus output queueing on a space division packet switch," *IEEE Trans. Commun.*, vol. COM-35, pp. 1347-1356, Dec. 1987.
- [21] M. G. Hluchyj and M. J. Karol, "Queueing in high-performance packet switching," *IEEE J. Select. Areas Commun.*, vol. 6, no. 9, pp. 1587-1597, 1988.
- [22] P. G. Harrison and N. M. Patel, "Performance modelling of communication networks and computer architectures," *Addison-Wesley Publishing Co. Inc.*, Wokingham, England, pp. 164-171, 1992.
- [23] J. H. Patel, "Performance of processor-memory interconnections for multiprocessors," *IEEE Trans. Comput.*, vol. C-30, pp. 771-780. Oct. 1981.
- [24] D. M. Dias and J. R. Jump, "Analysis and simulation of buffered delta networks," *IEEE Trans. Comput.*, vol. C-30, pp. 273-282, Apr. 1981.
- [25] C. P. Kruskal and M. Snir, "The performance of multistage interconnection networks for multiprocessors," *IEEE Trans. Comput.*, vol. C-32, pp. 1091-1098, Dec. 1983.
- [26] H. Kuwahara et al, "A shared buffer memory switch for an ATM exchange," in *Proc. ICC'89, Boston, MA*, June 1989, pp. 118-122.
- [27] H. Suzuki et al, "Output-buffer switch architecture for asynchronous transfer mode," in *Proc. ICC'89, Boston, MA*, June 1989, pp. 99-103.
- [28] D. M. Dias and J. R. Jump, "Analysis and simulation of buffered delta networks" *IEEE Trans. Comput.*, vol. C 30, pp.

- 273-282, Apr. 1981.
- [29] E. P. Rathgeb, T. H. Theimer, and M. N. Huber, "Buffering concepts for ATM switching networks," in *Proc. GLOBECOM'88, Hollywood, FL*, Nov. 1988, pp. 1277-1281.
 - [30] K. E. Batcher, "The flip network in STARAN," in *Proc. 1976 Int. Conf. Parallel Processing*, pp. 65-71, 1976.
 - [31] V. E. Benes, "Optimal rearrangeable multi-stage connecting networks," *Bell Syst. Tech. J.*, vol. 43, pp. 1641-1656, July 1964.
 - [32] D. H. Lawrie, "Access and alignment of data in an array processor," *IEEE Trans. Comput.* C-24, pp. 1145-115, Dec. 1975.
 - [33] M. C. Pease, "The indirect binary n -cube microprocessor array," *IEEE Trans. Comput.* C-26, pp. 458-473, May 1977.
 - [34] J. S. Turner, "Design of an integrated services packet network," in *Proc. 9th ACM Data Commun. Symp.*, Sept. 1985, pp.124-133.
 - [35] Y. S. Yeh, M. G. Hluchyj, and A. S. Acampora, "The Knockout switch: A simple, modular architecture for high-performance packet switching," *IEEE J. Select. Areas Commun.*, vol. SAC-5, pp. 1274-1283, Oct. 1987.
 - [36] K. Y. Eng, M. G. Hluchyj, and Y. S. Yeh, "Multicast and broadcast services in a knockout packet switch," in *Proc. INFOCOM'88, New Orleans, LA*, Mar. 1988, pp. 29-34.
 - [37] C. T. Lea, "The load-sharing banyan network," *IEEE Trans. Comput.*, vol. C-34, pp. 1025-1034, Dec. 1986.
 - [38] H. S. Kim and A. Leon-Garcia, "A self-routing switching network for broadband-ISDN," *IEEE J. Select. Areas Commun.*, vol. 8, pp. 459-466, Apr. 1990.
 - [39] S. C. Liew and K. W. Lu, "A 3-stage interconnection structure for very large packet switches," in *Proc. ICC'90*, pp. 316.7.1-316.7.7.
 - [40] M. N. Huber, E. P. Rathgeb, and T. H. Theimer, "Self routing banyan networks in an ATM environment," in *Proc. ICC'88, Tel Aviv, Israel*, Oct. 1988, pp. 167-174.
 - [41] Gerke et al., "Fast packet switching - A Principle future system generations ?," ISS'87.
 - [42] Weimik et al., "Broadband public network and switch architecture," ISS'90.
 - [43] M. V. Chien et al., "Adaptive binary sorting schemes and associated interconnection networks," *IEEE Trans. Paralle. Distrib. Sys.*, vol. 5, No. 5, pp. 561-572, June 1994.
 - [44] J. W. Byun and T. T. Lee, "The design and analysis of an ATM multicast switch with adaptive traffic controller," *IEEE/ACM Trans. Network.*, vol. 2, No. 3, pp. 289-298, June 1994.

저 자 소 개



鄭 鎭 泰(正會員)

1984년 2월 전북대학교 전자공학과 졸업(공학사). 1989년 2월 전북대학교 대학원 전자공학과 졸업(공학석사). 1995년 8월 전북대학교 대학원 전자공학과 졸업(공학박사). 1986년 1월 ~ 1991년 10월 금성산

전 연구소 1996년 3월 ~ 현재 전북산업대학교 전임 강사. 주관심분야는 ATM Switching Network, 병렬 처리 컴퓨터.



李 沃 宰(正會員)

1986년 2월 전북대학교 전자공학과 졸업(공학사). 1994년 2월 전북대학교 대학원 전자공학과 졸업(공학석사). 1997년 2월 전북대학교 대학원 전자공학과 박사과정 수료. 주관심 분야는 지능망, 가상사설망, ATM

Switching Network