

論文97-34D-9-9

Flash EEPROM의 Two-Step 프로그램 특성 분석

(Analysis of Two-Step Programming Characteristics of The Flash EEPROM's)

李在浩*, 金炳一*, 朴根亨*, 金南帥**, 李炯圭**

(Jae Ho Lee, Byung Il Kim, Keun Hyung Park, Nam Soo Kim, and Hyung Gyo Lee)

요 약

Fowler-Nordheim 터널링을 사용하여 Flash EEPROM의 셀들을 소거한 후에는 그 셀들의 문턱전압에 일반적으로 큰 차이들이 존재한다. 따라서 과소거된 셀들이 일부 존재한다. 이러한 과소거된 셀들을 기존의 one-step 프로그램 방식, 즉 프로그램을 위해서 제어게이트에 12 내지 13 볼트의 전압 펄스를 100 μ S 동안 인가하는 방식을 사용하여 프로그램한다면, 프로그램 동안 게이트 산화막의 열화가 심각하게 발생할 수 있다. 본 논문에서는 이러한 문제를 해결하기 위하여 two-step 프로그램 방식, 즉 프로그램을 위해서 8 V, 12 V의 전압 펄스를 차례로 각각 50 μ S 동안 제어게이트에 인가하는 방식에 대해 연구하였다. 실험 결과는 프로그램 특성의 측면에서는 위의 두가지 방식 사이에 별다른 차이가 없으나, 프로그램 동안 발생하는 게이트 산화막의 열화는 two-step 프로그램 방식을 사용했을 때 더 크게 낮추어질 수 있음을 보여 주었다. 이는 아마도 과소거된 셀들의 부유게이트에 축적된 양전하가 8 V의 전압 펄스가 인가되는 동안 부유게이트에 주입되는 전자들에 의해 소멸되고, 따라서 8 V의 전압 펄스가 인가된 후에 과소거된 셀들이 보통으로 소거된 셀들의 상태로 되기 때문이라고 판단된다.

Abstract

There generally exists a large variation in the threshold voltages of the Flash EEPROM cells after they are erased by using the Fowler-Nordheim tunneling, thereby getting some cells to be overerased. If the overerased cells are programmed with the conventional one-step programming scheme where an 12 - 13 V pulse with the duration of 100 μ S is applied on the control gate for the programming, they can suffer from the significant degradation of the reliability of the gate oxide. A two-step programming scheme, where an 8/12 V pulse with a duration of 50 μ S for each voltage is applied on the control gate for the programming, has been studied to solve the problem. The experimental results have shown that there is little difference in the programming characteristics between those two schemes, whereas the degradation of the gate oxide due to the programming can be significantly reduced with the two-step programming scheme compared to that with the one-step programming scheme. This is possibly because the positive charge stored in the floating gate of the overerased cells is compensated with the electrons injected into the floating gate while the 8 V pulse is applied on the control gate, which leaves the overerased cells in the normally erased state after the duration of the 8 V pulse.

* 正會員, 忠北大學校 半導體科學科
(Chungbuk National University, Science of Semiconductor)

** 正會員, 忠北大學校 電氣電子工學部

(Chungbuk National University, School of Electrical and Electronic Engineering)

接受日字: 1997年4月9日, 수정완료일: 1997年8月18日

I. 서 론

최근 세계 반도체 메모리 시장에서는 비휘발성 메모리의 일종인 Flash EEPROM이 많은 관심을 받고 있다. 그 주된 이유는 Flash EEPROM이 laser printer 나 cellular phone 등에서 주 메모리 소자로 크게 각광을 받고 있을 뿐만 아니라, 장치 portable computer에서 현재 가장 널리 쓰이고 있는 외부 기억 장치인 Hard Disk Drive(HDD)를 대체할 것으로 예상되기 때문이다^[1, 2]. 이는 Flash 메모리가 기존의 EEPROM이나 EPROM에 비해서는 사용이 편리하고, 성능이 우수하며, 기존의 HDD에 비해서는 크기가 작고, 가볍고, 속도가 빠르고, 소비 전력이 작고, 외부 충격에 강한 장점들을 갖고 있기 때문이다^[3].

주지하는 바와 같이, 대부분의 Flash EEPROM은 단위 메모리 셀이 stacked-gate MOSFET로 구성되어 있으며, 각 셀의 프로그램은 channel hot electron injection(CHE) 의해 셀의 채널 채널 영역으로부터 부유게이트로 전자가 주입되어 수행되고, 데이터 소거는 제어게이트를 접지하고 소오스에 높은 양전압을 인가하여 부유게이트에 축적된 전자가 Fowler-Nordheim (FN) tunneling 현상에 의해 소오스 쪽으로 방출되도록 하여 수행되고 있다^[4]. 이 때, 프로그램은 각 메모리셀에 대하여 독립적으로 수행되고 있으나, 데이터 소거는 칩 전체^[4]나 또는 칩의 한 블록^[5]에 속해 있는 모든 셀들에 대해서 일괄적으로 수행되고 있다.

이러한 FN tunneling에 의한 데이터 소거는 self-limited 공정이 아니기 때문에, 각 셀의 FN tunneling 특성이 다를 경우에 각 셀의 데이터 소거 특성이 서로 다를 수 있으며, 따라서 소거 후의 각 셀의 문턱 전압이 서로 크게 다를 수 있다. 실제로 INTEL의 ETOX Flash EEPROM의 경우에 일부의 셀들에게서 소오스 쪽의 게이트 산화막 내에 포획된 hot hole들로 인하여 FN tunneling 전류가 크게 증가하고 따라서 데이터 소거시 심하게 과소거되는 현상이 보고되고 있다^[5]. 이러한 과소거된 셀들의 경우에는 프로그램시에 부유게이트에 축적된 양전하로 인하여 부유게이트에 인가된 실제 전압이 지나치게 높게 나타남으로 말미암아 프로그램 속도가 저하되고 또한 프로그램시의 게이트 산화막의 열화가 훨씬 더 심각해지는 문제가 발생할 수 있다. 그러나, 우리가 아는 한

에는 이러한 문제들에 대하여 아직까지 어떤 구체적인 연구 결과나 해결책이 전 세계의 전문 학술 논문지에서 논의된 적이 없었다.

본 논문에서는 이러한 문제들을 해결하기 위한 방안의 하나로서 기존에 사용하던 one-step 프로그램 방식과는 다른 two-step 프로그램 방식의 사용을 제안하고자 한다. 기존의 one-step 방식의 경우에는 프로그램시 소오스와 기판은 접지하고 드레인에 7 ~ 8 V를 인가한 후 제어게이트에 약 12 V의 전압 펄스를 약 100 μ S 동안 인가한다. 그러나, 이 논문에서 제안하는 two-step 프로그램 방식에서는 프로그램시 소오스, 기판과 드레인에 인가하는 전압 조건들은 기존의 one-step 방식과 동일하나, 대신 제어게이트에는 먼저 8 V의 전압 펄스를 50 μ S 동안 인가하고 나서 전압 펄스의 크기를 12 V로 증가시켜 나머지 50 μ S 동안 인가한다.

이러한 two-step 프로그램 방식을 사용하여 Flash EEPROM을 프로그램하는 경우에는, 프로그램 초기시 제어게이트에 8 V의 전압 펄스가 50 μ S 동안 인가되는 동안, 그 셀이 과소거되어 있었으면 프로그램의 진행과 함께 부유게이트로 전자가 주입되면서 부유게이트에 축적된 양전하가 소멸되고 따라서 과소거 상태에서 보통의 소거 상태로 변하고, 반면에 보통으로 소거되어 있었으면 제어게이트에 인가된 전압이 낮음으로 인하여 프로그램이 거의 진행되지 않기 때문에 보통의 소거 상태 그대로 남아 있게 될 것이다. 그러므로, 제어게이트에 8 V 전압 펄스 후에 50 μ S 동안 12 V 전압 펄스가 또 인가되면, 처음에 과소거 상태에 있었던 소자들이나 보통으로 소거되었던 소자들이나 동일한 조건에서 정상적인 프로그램이 진행될 것으로 판단된다.

따라서, 이러한 two-step 프로그램 방식을 사용하게 되면, 앞에서 언급한 과소거된 Flash EEPROM 셀을 프로그램할 때 발생하는 프로그램 속도 저하와 게이트 산화막의 열화 문제가 크게 개선될 것으로 판단된다.

본 논문에서는 Flash EEPROM을 기존의 one-step 프로그램 방식과 two-step 프로그램 방식을 각각 사용하여 Flash EEPROM을 프로그램하는 경우에 프로그램 특성 및 게이트 산화막의 열화가 각각 서로 어떻게 다르게 나타나는지를 측정하고 그 결과를 분석하였다.

II. 실험 과정

우리가 실험을 위해서 사용한 소자는 INTEL의 ETOX stacked-gate 구조를 가진 Flash EEPROM 소자로서, 전형적인 CMOS 공정인 twin well, LOCOS (Local Oxidation of Silicon) isolation, double polysilicon, double metal 공정을 사용하여 제작되었으며, 게이트 산화막의 두께가 약 200 Å, ONO (oxide-nitride-oxide) interpoly dielectric 층의 두께가 유효 산화막으로 약 240 Å이었으며, 유효 채널 길이(L_{eff})가 약 0.65 μm 이었고, 유효 채널 폭(W_{eff})은 약 1 μm 에서 25 μm 까지 다양했다.

본 논문에서는 먼저, 소자 특성 분석기의 하나인 HP 4155A를 사용하여 이러한 소자의 각 단자들의 정전용량 정합율을 측정하였고, 다음으로 부유게이트와 제어게이트가 서로 단락된 소자 (앞으로는, shorted-gate Flash EEPROM라고 부르겠음)들을 사용하여 프로그램조건하에서의 게이트 전류 특성을 측정하였다.

다음으로, 0.65 μm L_{eff} , 1 μm W_{eff} 를 갖고 있는 Flash EEPROM 소자들을 A, B, C 그룹으로 나누어, 먼저 제어게이트를 접지시킨 후 소오스에 13 V의 전압을 인가하여 (i) A 그룹에 속하는 소자들은 보통으로 (소거 후, $V_{th} = 2$ V), (ii) B 그룹에 속하는 소자들은 약간 과소거된 상태로 ($V_{th} = 0$ V), (iii) C 그룹에 속하는 소자들은 심하게 과소거된 상태로 ($V_{th} = -2$ V) 소거시킨 후, 각 소자들에 대하여 앞에서 말한 one-step 프로그램과 two-step 프로그램 방식으로 프로그램을 수행하면서 프로그램 특성을 측정하였다.

마지막으로 two-step 프로그램이 프로그램 도중 게이트 산화막의 신뢰성에 미치는 영향을 분석하기 위해서, 먼저 shorted-gate Flash EEPROM 소자들을 Flash EEPROM 소자의 프로그램 조건과 동일하게 드레인에 7 V를 인가하고 부유게이트에 여러 가지 크기가 다른 전압 펄스를 100 ms 동안 인가한 후, 그 소자들의 문턱전압, 트랜스컨덕턴스 (g_m), TDDDB (Time Dependent Dielectric Breakdown) 특성의 변화를 측정하고, 다음으로 앞에서 설명한 세 그룹의 소자들이 one-step과 two-step 프로그램의 방식으로 프로그램을 진행할 때의 부유게이트 전압의 변화 추이를 구한 다음, 이 두 결과를 서로 비교 분석을 하여, one-step과 two-step 프로그램 방식이 각각 게이트

산화막의 신뢰성에 미치는 영향을 연구하였다.

III. Flash EEPROM 소자의 Two-Step 프로그램 특성

본 논문에서는 Flash EEPROM 소자의 프로그램 특성을 측정하기 전에 먼저 HP 4155A를 사용하여 Flash EEPROM 소자의 각 단자들의 정전용량 정합율을 측정하였다. 이들을 측정한 결과, 부유게이트와 제어게이트, 소오스, 드레인, 기판 사이의 정전용량 정합율은 각각 0.63, 0.18, 0.1, 0.09이었다 [6].

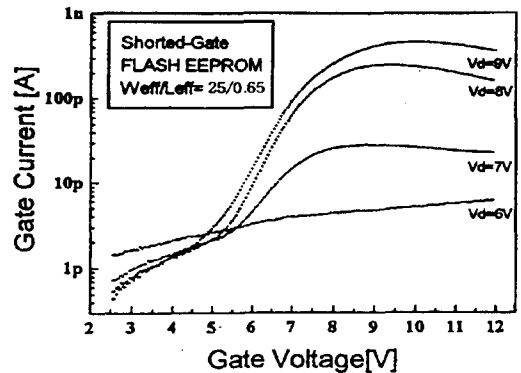


그림 1. Shorted-gate Flash EEPROM의 게이트 전류 특성

Fig. 1. Characteristics of the gate current of the shorted-gate Flash EEPROM.

다음으로는, L_{eff} 가 0.65 μm , W_{eff} 가 25 μm 인 shorted-gate Flash EEPROM 소자의 게이트 전류 특성을 측정하였다 (그림 1). 이 때, 소오스와 기판은 접지하고, 드레인에는 6, 7, 8, 9 V의 4가지의 다른 전압을 인가하고, 게이트에 인가하는 전압은 0 V에서 12 V까지 변화시켰다. 이러한 게이트 전류의 특성은 전문학술지의 논문에서 이미 발표된 연구 결과 [7]와 거의 동일하였다. 그림 1의 결과를 살펴보면, 일정한 드레인 전압에 대해서 초기에는 게이트 전압의 증가와 함께 게이트 전류는 증가하고, 그리고 게이트 전류는 $V_g = V_d + 1$ V에서 정점을 이루고, 그 후에는 게이트 전압의 증가와 함께 드레인 전류는 점차 감소하였다. 한편으로, 동일한 게이트 전압에 대해서는 모든 경우에 드레인 전압의 증가와 함께 게이트 전류는 크게 증가하였다. 이러한 결과는 MOSFET에서 CHE에 의한 게이트 전류, I_{gr} 를 나타내는 식 중에서 일반적으로

잘 알려진 다음의 식으로 설명될 수 있다^[8].

$$I_g = CI_d \exp(-\phi_b/qE_m \lambda) \quad (1)$$

여기서, C는 상수, I_d 는 드레인 전류, ϕ_b 는 실리콘과 게이트 산화막 사이의 에너지 장벽 높이, E_m 은 채널 영역에서의 수평전계, λ 은 채널 영역에서 hot electron들의 자유행정거리를 의미한다. 즉, 게이트 전압이 드레인 전압보다 낮은 경우 일정한 드레인 전압에 대하여 게이트 전압의 증가와 함께 게이트 전류가 증가하는 것은 드레인 전류의 증가에 의한 것이고, 게이트 전압이 드레인 전압보다 높은 경우 게이트 전압의 증가와 함께 게이트 전류가 감소하는 것은 채널 영역에서의 수평전계의 크기의 감소에 의한 것이다. 또한, 일정한 게이트 전압에 대하여 드레인 전압의 증가와 함께 게이트 전류가 증가하는 것은 채널에서의 수평전계의 크기가 증가하기 때문인 것이다.

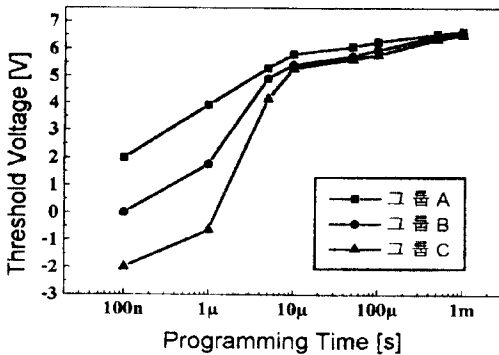


그림 2. Flash EEPROM의 one-step 프로그램 특성
Fig. 2. One-step programming characteristics of the Flash EEPROM's.

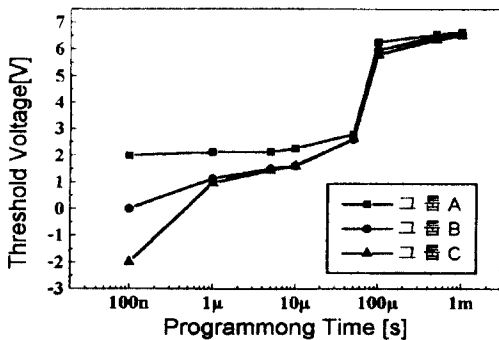


그림 3. Flash EEPROM의 two-step 프로그램 특성
Fig. 3. Two-step programming characteristics of the Flash EEPROM's.

다음으로 본 논문에서는 앞에서 언급한 그룹 A, B, C에 속하는 각각의 Flash EEPROM 소자들을 앞에서 이미 언급한 one-step 방식과 two-step 방식을 사용하여 프로그램하면서 그 프로그램 특성을 측정하였다. 여기서, 그림 2와 3은 각각 one-step 방식과 two-step 방식으로 프로그램한 경우의 프로그램 특성을 보여주고 있다. 그림 2에서 볼 수 있듯이, one-step 방식으로 프로그램을 했을 경우는 프로그램 시작 후 1 ~ 10 μS 기간 동안 A 그룹의 소자보다 B, C 그룹의 소자들의 프로그램 속도가 월등히 빨라서 10 μS 후에는 A, B, C 그룹에 속하는 모든 소자들의 문턱 전압이 거의 같아지고, 또한 프로그램이 더 진행되면서 문턱 전압이 약 6.5 V로 포화되는 것으로 발견되었다. 반면에, two-step 방식을 사용하여 프로그램하는 경우는, 초기에 8 V의 전압 펄스를 50 μS 동안 인가하는 동안 그룹 A에 속하는 소자는 거의 프로그램이 진행되지 않았고, 반면에 그룹 B, C 그룹에, 특히 C 그룹에 속하는 소자는 초기에 프로그램이 상당히 빠르게 진행되다가 점차 포화되어 50 μS의 프로그램 시간이 지나면 그룹 A의 소자들과 문턱 전압이 거의 동일하게 되었다. 따라서, 그 후에 12 V 전압 펄스가 인가된 후 50 μS의 시간이 지나면, 모든 소자들이 one-step 프로그램의 경우와 같이 문턱전압이 약 6.5 V로 포화되는 것으로 나타났다.

본 논문에서는 이러한 결과들을 분석하기 위해서, 앞에서와 같이 그룹 A, B, C에 속하는 각각의 Flash EEPROM 소자들을 one-step 방식과 two-step 방식을 사용하여 프로그램을 진행하는 동안 부유게이트에 인가되는 전압을 계산하였다. 이미 잘 알고 있듯이, Flash EEPROM에서 각 단자에 각각 임의의 전압이 인가되고 프로그램에 의해 부유게이트에 전하, Q_{fg} 가 저장되어 있을 때, 부유게이트의 전압(V_{fg})을 다음과 같은 식으로 나타낼 수 있다^[9].

$$V_{fg} = \alpha_{cf} V_g + \alpha_d V_d + \alpha_s V_s + \alpha_{sub} V_{sub} + Q_{fg}/C_t \quad (2)$$

이때, α_{cf} , α_d , α_s , α_{sub} 는 각각 부유게이트와 제어게이트, 드레인, 소오스, 기판 사이의 정전용량 정합율, C_t 는 부유게이트의 총 정전용량을 나타내고, V_g , V_d , V_s , V_{sub} 는 각각 제어게이트, 드레인, 소오스, 기판 단자에 인가된 전압을 나타낸다. 또한, 이미 잘 알려져 있다시피 Flash EEPROM 소자의 문턱전압,

V_{th} 는 다음의 식으로 표시할 수 있다 [9],

$$V_{th} = V_{th0} - Q_{fg}/C_{pp} \quad (3)$$

여기서, V_{th0} 는 부유게이트에 전하가 축적되지 않았을 때의 문턱전압이고 C_{pp} 는 부유게이트와 제어게이트 사이의 정전용량이다. 따라서, 식 (3)을 식 (2)에 대입하면, 부유게이트의 전압을 다음의 식으로 표현할 수 있다. 즉,

$$V_{fg} = \alpha_{cf}V_g + \alpha_dV_d + \alpha_sV_s + \alpha_{sub}V_{sub} - \alpha_{cf}(V_{th} - V_{th0}) \quad (4)$$

이 때, 우리가 위에서 Flash EEPROM을 프로그램할 때, 소오스와 기판은 접지하였고 드레인에 7 V를 인가하고, 또한 앞에서 이미 언급하였듯이, 이 Flash EEPROM 소자들의 α_{cf} 와 α_d 는 각각 0.63, 0.1로 측정되었고, 또한 V_{th0} 는 2 V로 측정되었으므로 이러한 결과를 식 (4)에 포함하면, 부유게이트의 전압은 다음의 식으로 요약될 수 있다.

$$V_{fg} = 0.63V_g + 0.7V - 0.63(V_{th} - 2) \quad (5)$$

따라서, 본 논문에서는 앞에서 보여준 그림 2와 3의 프로그램 시간의 함수로 나타난 문턱 전압의 값의 변화의 결과와 위의 식 (5)를 사용하여, one-step과 two-step 방식으로 위의 Flash EEPROM 소자들을 프로그램할 때 프로그램 시간의 함수로서 부유게이트의 전압이 어떻게 변하는가를 계산하였다. 여기서, 그림 4와 5는 각각 one-step과 two-step 방식으로 프로그램할 때의 부유게이트 전압의 변화 추이를 계산한 결과이다. 그림 4의 결과에서 볼 수 있듯이, one-step 방식으로 프로그램하는 경우는 프로그램 초기시 그룹 A에 속하는 소자의 경우는 부유게이트에 인가된 전압이 약 8.3 V, 그룹 C에 속하는 소자의 경우는 그것이 약 10.8 V 정도이다. 따라서, 그림 1의 게이트 전류에 대한 측정 결과를 보면, 오히려 그룹 A 소자의 게이트 전류가 그룹 C의 것보다 클 것으로 판단된다. 그러므로, 그룹 C 소자, 즉 심하게 과소거된 소자는 프로그램 초기시 그룹 A 소자, 즉 보통으로 소거된 소자보다 프로그램 속도가 다소 떨어질 것으로 판단된다. 만일, 그룹 C 소자보다 더 심하게 과소거된 소자가 있다면, 이러한 소자의 경우에는 심각한 프로그램의 지연이 발생할 수도 있음을 충분히 예측할 수 있다. 또한, 그림 4

에서 볼 수 있듯이 프로그램이 진행되면서 모든 소자의 경우에 부유게이트의 전압이 급속히 떨어지면서 약 5.5 V로 포화된다. 이 때는 더 이상의 프로그램은 거의 진행되지 않는데, 이는 그림 1의 결과에서 볼 수 있듯이 W_{eff} 가 $25 \mu m$ 인 shorted-gate Flash EEPROM 소자의 경우에 부유게이트 전압이 5.5 V일 때 게이트 전류가 약 3 pA이므로, 우리가 프로그램 특성을 측정한 소자($W_{eff} = 1 \mu m$)인 경우에는 위와 동일한 조건에서 게이트 전류가 약 0.15 pA으로서, 지나치게 낮기 때문이라고 판단된다.

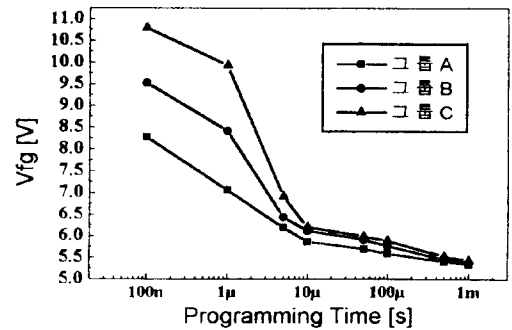


그림 4. One-step 프로그램 동안 Flash EEPROM의 부유게이트 전압

Fig. 4. The voltage of the floating gate during the one-step programming in the Flash EEPROM.

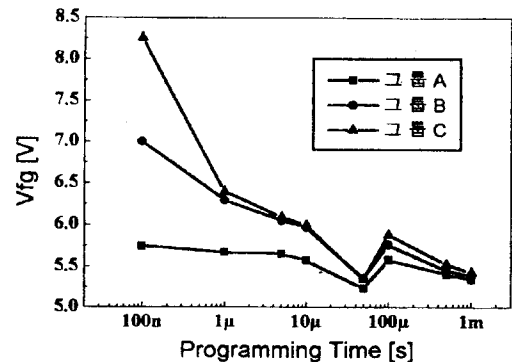


그림 5. Two-step 프로그램 동안 Flash EEPROM의 부유게이트 전압

Fig. 5. The voltage of the floating gate during the two-step programming in the Flash EEPROM.

한편으로, two-step으로 프로그램하는 경우는 우선 프로그램 초기시 모든 소자의 경우에 있어서 부유게이

트에 인가되는 전압이 one-step 프로그램의 경우보다 낮다. 또한, 그룹 A 소자의 경우는 그림 5의 결과에 따르면, 프로그램 초기시의 부유게이트 전압이 약 5.7 V에 불과하고 따라서 이 때는 그림 1의 결과로부터 게이트 전류가 지나치게 낮아서 프로그램이 거의 진행되지 않을 것이며, 이는 그림 3의 결과와 일치한다. 반면에, 그룹 C 소자의 경우는 그림 5의 결과에 따르면, 프로그램 초기시 부유게이트의 전압이 약 8.25 V되므로 그림 1으로부터 W_{eff} 가 $1 \mu\text{m}$ 인 경우에는 게이트 전류가 약 1.2 pA가 되어 프로그램이 빠르게 진행될 것으로 예측되며, 이는 그림 4의 결과와 일치한다.

이러한 프로그램의 특성을 측정된 결과를 요약하면, one-step이나 two-step 중 어느 방식을 사용하던 프로그램이 끝난 후, 그룹 A, B, C의 모든 소자들의 문턱전압은 거의 동일할 것이다. 반면에, 프로그램 도중의 부유게이트에 인가되는 전압은 one-step 방식을 사용했을 경우에 월등히 높게 나타나며, 따라서 프로그램 도중 게이트 산화막이 받는 스트레스는 one-step 방식이 훨씬 더 클 것으로 판단된다. 이것은, 과소거된 소자의 경우에 특별히 더 심각할 것으로 판단된다.

IV. Two-Step 프로그램이 게이트 산화막의 열화에 미치는 영향

앞에서 이미 언급한 것처럼, one-step과 two-step 프로그램이 프로그램 도중 게이트 산화막의 열화에 미치는 영향을 분석하기 위해서, 먼저 L_{eff} 가 $0.65 \mu\text{m}$ 이고 W_{eff} 가 $25 \mu\text{m}$ 인 shorted-gate Flash EEPROM 소자들을 Flash EEPROM 소자의 프로그램 조건과 동일하게 드레인에 7 V를 인가하고 게이트에 여러 가지 크기가 다른 전압 펄스를 100 mS 동안 인가한 후, 그 소자들의 g_m 과 TDDDB 특성을 측정하였다.

그림 6은 여러 가지 stress를 인가하기 전과 후의 g_m 을 측정된 결과를 보여주고 있고, 그림 7은 그림 6의 결과로부터 g_m 의 열화 정도를 stress 인가시 게이트 전압의 크기의 함수로써 구하여 도식한 것이다. 여기서, $\Delta g_m = g_m - g_{m0}$ 이고, g_{m0} 는 stress를 인가하기 전의 g_m 이다. 이러한 결과를 살펴보면, 처음에는 stress 인가시의 게이트 전압이 증가하면 g_m 의 열화가 점차 증가하다가 약 10 V일 때 정점을 이룬다. 또한, 10 V 이상이 되면 게이트 전압의 증가와 함께 오

히려 g_m 의 열화가 감소하는데, 이는 그림 1로부터 알 수 있듯이 게이트 전압의 증가와 함께 게이트 전류가 감소하기 때문인 것으로 판단된다. 위와 유사한 결과가 스트레스 후의 TDDDB 특성을 측정된 결과에서도 보여지고 있다 (그림 8).

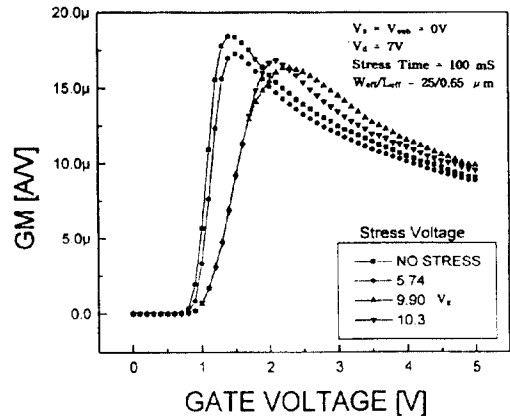


그림 6. 100mS 게이트 전압 스트레스 후의 shorted-gate Flash EEPROM의 g_m 의 열화

Fig. 6. G_m degradation of the shorted-gate Flash EEPROM after a 100mS gate voltage stress.

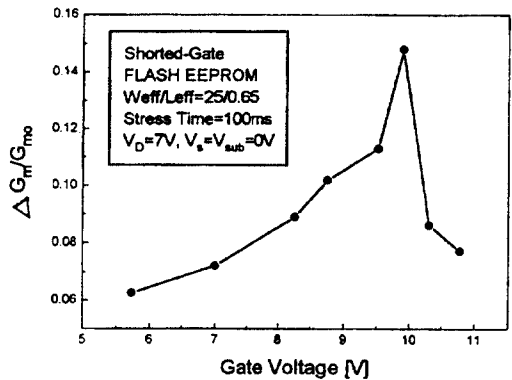


그림 7. 100mS 게이트 전압 스트레스 후의 shorted-gate Flash EEPROM의 g_m 의 열화의 게이트 전압 의존성

Fig. 7. Dependence of the g_m degradation of the shorted-gate Flash EEPROM on the gate voltage after a 100mS gate voltage stress.

위의 전압 스트레스로 인한 g_m 과 TDDDB의 특성의 열화를 측정된 결과를 토대로 하여 one-step과 two-step 프로그램이 게이트 산화막의 열화에 미치는 영향을 살펴보면, 먼저 one-step 프로그램 방식을 사

용하여 Flash EEPROM을 프로그램할 때에는 그림 4의 결과로부터 그룹 C 소자, 즉 심하게 과소거된 소자의 경우 프로그램 초기에 부유게이트에 약 10.8 V가 인가되므로 상당히 심각한 게이트 산화막의 열화가 발생할 것으로 판단된다. 물론 그룹 A 소자, 즉 보통으로 소거된 소자의 경우는 그 열화 정도가 훨씬 적을 것이다.

반면에, two-step을 사용하여 프로그램을 하는 경우는 비록 심하게 과소거된 소자일 경우라도 프로그램 도중 부유게이트에 인가되는 최대 전압이 그림 5의 결과로부터 8.3 V 이하가 되므로, 그림 7과 8의 결과를 비추어 볼 때 프로그램으로 인한 게이트 산화막의 열화는 크게 방지된다.

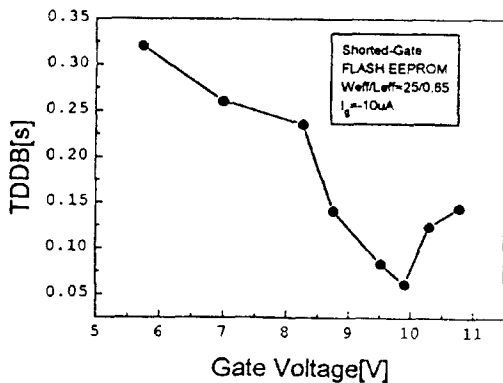


그림 8. 100mS 게이트 전압 스트레스 후의 shorted-gate Flash EEPROM의 TDDB 특성
Fig. 8. TDDB characteristics of the shorted-gate Flash EEPROM after a 100mS gate voltage stress.

V. 결 론

지금까지의 실험 결과를 살펴본 바에 의하면, Flash EEPROM을 프로그램할 때 기존의 one-step 방식과 본 논문에서 제안한 two-step 방식을 사용하여 프로그램할 때, 프로그램 특성은 서로 큰 차이가 없으나, 프로그램으로 인한 게이트 산화막의 열화는 two-step 방식으로 프로그램할 때 크게 감소시킬 수 있음을 발견하였다.

특히 심하게 과소거된 소자의 경우에는 기존의 방식대로 프로그램할 때 발생할 수 있는 심각한 게이트 산화막의 열화 문제가 two-step 프로그램 방식을 사용하면 크게 개선될 수 있음을 볼 수 있었다.

감사의 글

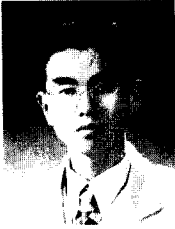
※ 본 연구는 한국과학재단 95핵심전문연구 지원과제에 의해 수행된 것입니다 (과제 번호: 951-0911-002-2).

참 고 문 헌

- [1] K. Chang, S. Cheng, and C. Kuo, "A Modular Flash EEPROM Technology For 0.8 μ m High Speed Logic Circuits", IEEE 1991 Custom Integrated Circuits Conference, section 18.7.2, 1991
- [2] S. Wells and D. Clay, "Flash Solid-State Drive with 6MB/s Read/ Write Channel and Data Composition", ISSCC Digest of Technical Papers, p. 52, 1993
- [3] F. Masuoka, "Technology Trend of Flash EEPROM", 1992. Symposium on VLSI Technology, Digest of Technical Papers, p. 6, 1992
- [4] G. Verma and N. Mielke, "Reliability Performance of ETOX Flash Memories", IRPS Abstracts, p. 158, 1988
- [5] H. Kume, M. Kato, T. Adachi, T. Tanaka, T. Sasaki, T. Okazaki, N. Miyamoto, S. Saeki, Y. Ohji, M. Ushiyama, J. Yugami, T. Morimoto, and T. Nishida, "A 1.28 μ m² Contactless Memory Cell Technology for a 3V-only 64Mbit EEPROM", IEDM, Digest of Technical Papers, p. 992, 1992
- [6] 박근숙, 이재호, 박근형, "Submicron EPROM/Flash EEPROM의 프로그램 특성에 소오스 바이어스가 미치는 영향", 대한전자공학회지, 33권, A편, 제 3호, pp. 477-486, 1996.
- [7] J. Chung, M. Jeng, G. May, P. Ko, and C. Hu, "Hot-Electron Currents in Deep-Submicrometer MOSFETs", IEDM, Digest of Technical Papers, p. 200, 1988
- [8] N. Einspruch and G. Gildenbalt, "Advanced MOS Device Physics", VLSI Electronic Microstructure Science, Volume 18, 1989
- [9] A. Kolodny, S. Nieh, B. Eitan, and J. Shappir, "Analysis and Modeling of Floating-Gate EEPROM Cells", IEEE Trans. Electron Devices, vol. ED-33, no. 6, pp.

835-844, June 1986

— 저 자 소 개 —



李在浩(正會員)

1975년생. 1997년 2월 충북대학교 반도체과학과 졸업 (학사). 1997년 3월 ~ 현재 충북대학교 반도체과학과 석사과정 재학중



金炳日(正會員)

1972년생. 1997년 2월 충북대학교 반도체과학과 졸업 (학사). 1997년 3월 ~ 현재 충북대학교 반도체과학과 석사과정 재학중



朴根亨(正會員)

1954년생. 1984년 한양대학교 전자공학과 졸업 (학사). 1987년 University of Michigan (Ann Arbor) 전기공학과 (석사). 1992년 University of Texas at Austin 전기공학과 (박사). 1992년 ~ 1993년 미

국 Cypress Semiconductor에서 Senior Technology Engineer. 1993년 ~ 1994년 LG 반도체의 중앙연구소에서 책임연구원으로서 Flash EEPROM 개발. 현재 충북대학교 반도체과학과 조교수, 약 20여편의 기술논문 발표. 주 관심분야는 Flash EEPROM과 FRAM의 공정 및 셀 개발과 초박막 유전체의 신뢰성 향상 등임

金南帥(正會員)

1954년생. 1977년 서울대학교 물리학과 졸업 (학사). 1984년 Univ. of Connecticut 물리학과 (석사). 1988년 Univ. of Connecticut 물리학과 (박사). 1988년 ~ 1991년 현대전자 반도체 연구소. 현재 충북대학교 전기전자공학부 부교수

李炯圭(正會員)

1953년생. 1976년 서울대학교 재료공학과 졸업 (학사). 1978년 서울대학교 물리학과 (석사). 1980년 한국과학기술원 재료공학과 (석사). 1989년 Ph. D. University of Southern California. 1980년 3월 ~ 1983년 7월 충북대학교 재료공학과 조교수. 1986년 3월 ~ 1987년 12월 미국 Honeywell Inc. 연구 Consultant. 1989년 3월 ~ 1991년 4월 University of Pittsburgh, Research Associate. 1991년 5월 ~ 1993년 3월 Member of Technical Staff, A&T Bell Laboratories. 1994년 4월 ~ 현재 충북대학교 전기전자공학부 부교수