

論文97-34D-9-4

금속의 두께를 고려한 나선형 인덕터의 집중형 등가 회로의 제안

(A New Lumped Equivalent Circuits for Spiral Inductor with Metal Thickness)

吳 德 洙 * , 金 興 洙 *

(Theresa Oh and Heungsoo Kim)

요 약

인덕터 회로에서 금속의 두께를 $0.2 \mu\text{m}$ 와 $20 \mu\text{m}$ 일 경우에 인덕터 회로의 동작 변화를 살펴보았다. 정방형의 나선형 인덕터는 내부 직경을 다르게 하여 EM 프로그램으로 해석하였다. S파라미터를 이용하여 등가 회로의 변수를 추출하였으며, 나선형 인덕터의 집중형 등가 회로의 반사 계수 S_{11} 을 분석하였다. 이때 사용 주파수 범위는 $1 \sim 10\text{GHz}$ 이다. 여기서 금속의 두께가 $0.2 \mu\text{m}$ 로 얇은 경우에 EM 시뮬레이션에 의한 S_{11} 과 SPICE 시뮬레이션에 의한 S_{11} 이 다른 것을 확인하였다. 그래서 기존의 인덕터 집중형 등가 회로를 수정하여 새로운 집중형 등가 회로를 제안하였다. 새로운 집중형 등가 회로는 고주파에서 두께가 얇은 인덕터 회로에서도 잘 맞는 것을 확인하였다.

ABSTRACT

Square spiral inductors are designed with EM program in accordance with the inner diameter and the metal thickness which is $0.2 \mu\text{m}$ and $20 \mu\text{m}$ respectively. We propose a parameter extraction method based on the S-parameter. Lumped equivalent circuits of spiral inductors are analyzed with reflection coefficient S_{11} , of which frequency range is $1 \sim 10\text{GHz}$. When metal thickness is $0.2 \mu\text{m}$, S_{11} with EM simulation is not the same as S_{11} that of SPICE simulation. So we suggest a new lumped equivalent circuits which compensate circuits. The new lumped equivalent circuits are adequate for other inductor with small scale at high frequencies.

I. 서 론

MMIC(Monolithic Microwave Integrated Circuits) 설계 회로의 구조 해석은 MMIC 설계에 있어 기본적인 방향을 제시해 주며 정확한 회로 해석을 위해서는 정확한 해석 모델을 찾아내는 일이 중요하다. MMIC는 여러 가지 기능들을 한 개의 칩위에 집적시킴으로써 크기가 매우 작으며, 소자와 소자들 간의 연

결선이 없이 회로 구성이 이루어지기 때문에 회로 연결에 의한 오류가 발생하지 않는다. 그리고 높은 신뢰도와 대량 생산이 가능하여 높은 부가가치를 나타내는 장점을 갖고 있다. 수많은 능동, 수동 소자들의 조합으로 이루어져 있는 MMIC는 각 소자들의 특성과 정확한 모델링이 반드시 필요하며, 이를 위해서 컴퓨터 시뮬레이션 프로그램이 필수적이다. 그러나 소자 자체의 크기가 작아져서 부품들이 인접하게 배치하게 되고, 회로를 구성하는 금속의 두께가 작아지면서 이전에는 고려되지 않았던 여러 가지 기생 성분들이 나타내게 되었다. 평면 회로에서의 금속의 두께는 특히 고주파

* 正會員, 濟州 大學校 通信工學科

(Dept. of Telecommunication Eng., Cheju Nat'l Univ.)

接受日:1997年4月9日, 수정완료일:1997年8月29日

수에서 표피 효과에 의한 영향을 미치고 있음에도 불구하고 기존의 모델을 그대로 적용하고 있다. 특히 최근 MMIC기술이 발달하면서 금속의 두께를 무시하게 되면 실제로 부정확한 결과를 낳는 것을 확인하였다. 그것은 금속의 윗부분과 밑부분 사이의 영역이 마치 평행 도파관과 같은 역할을 하여 더 많은 에너지가 전송되기 때문이다. 그래서 전송 선로에서 금속의 두께를 고려해 줄 필요가 생기게 되었다. Chin-Wen Kuo (1992)는 mode matching technique을 기초로한 컴퓨터 프로그램을 통하여 CPW(coplanar waveguide) 전송 선로에서 금속의 두께에 따라서 산란 계수가 크게 영향을 받는다는 것을 확인하였다.^{[1] [2]} 특히 파장이 짧은 고주파수 범위에서 금속의 두께에 대한 효과는 더 뚜렷하게 나타난다. Khwaja M. Rahman은 CPS(coplanar strips)의 특성 임피던스가 금속의 두께에 따라서 영향을 받는다는 사실을 입증하였다^[3]. 지금까지 고주파에서의 손실 계산은 최초로 표피 두께와 비교하여 도체의 전류 저항을 변형시켜주는 주파수에 의존하여 계산하는 대략적인 방법을 사용한 Wheeler^[4]의 논문에 기초를 두고 있다. hybrid MIC에서 사용되는 얇은 박막의 라인의 경우 Wheeler 이론에서는 hybrid MIC회로의 금속 두께가 $5\mu\text{m}$ 에서 $10\mu\text{m}$ 의 범위내에 대략적으로 저주파에서 만족한다. 그러나 MMIC의 경우 특히 저주파에서 Wheeler의 이론은 표피 두께 때문에 금속 두께의 측면에서는 더 이상 응용할 수가 없다. MMIC에 가장 많이 이용되는 평면형 회로에는 마이크로스트립 라인이며 대부분의 마이크로스트립 기판의 경우 도체 손실이 유전체 손실보다 훨씬 크다.^[5]

본 연구에서는 두께가 매우 얇은 마이크로스트립 라인을 이용한 인덕터 회로에서 금속의 두께를 고려한 등가 회로를 제안하고자 한다. 집중형 등가 회로를 얻기 위하여 사용된 CAD툴은 SONNET사의 EM이며, 등가회로 해석을 위한 소프트웨어는 SPICE를 사용하였다. 인덕터를 구성하고 있는 마이크로스트립 선로의 두께가 각각 $0.2\mu\text{m}$ 인 경우와 $20\mu\text{m}$ 일 때, 기존의 집중형 등가회로를 이용한 SPICE의 S_{11} 결과와 전기자 기학적인 해석 방법을 이용한 EM에 의한 S_{11} 의 결과를 구하였다. 그리고 마이크로스트립 선로의 두께가 얇은 경우에 기존의 집중형 등가회로를 이용하여 얻은 반사 계수의 결과를 비교하면 오차가 생기는 것을 확인하고, Smith Chart를 이용하여 오차로 인한 위상

지연에 대한 원인을 분석하였다. 이러한 위상 지연을 보상하기 위한 보정 회로를 삽입하여 새로운 등가 회로를 제시한다. 인덕터의 금속두께를 고려한 새로운 등가 회로를 기존 회로에 적용하여 타당성을 입증한다.

II. 인덕터의 회로 구조와 등가 회로

1. 인덕터의 회로 구조

컴퓨터 시뮬레이션을 위한 인덕터의 회로 구조는 그림 1과 같다. 그림 1에서 b는 인덕터의 내부 직경이다.

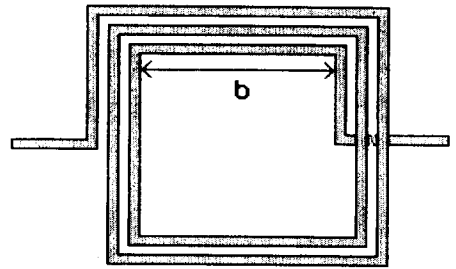


그림 1. 인덕터 회로 구조

Fig. 1. Structure of inductor circuit.

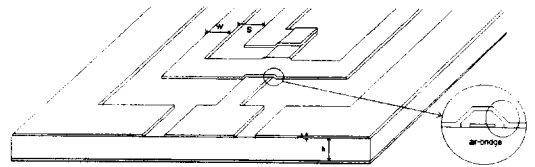


그림 2. EM 시뮬레이션상에서의 회로 구조.

Fig. 2. Structure of inductor circuit in EM simulation.

크기가 $600\mu\text{m} \times 600\mu\text{m}$ 인 평면 기판위에 인덕터의 내부 직경 b를 각각 420, 340, 260, 180, 100(μm)으로 다르게하여 회로를 구성하면, 내부 직경이 $420\mu\text{m}$ 인 인덕터는 최대 회전 수가 4회, $430\mu\text{m}$ 인 것은 6회, $260\mu\text{m}$ 인 것은 8회, 180인 것은 10회, $100\mu\text{m}$ 인 것은 12회를 회전시켜 설계할 수 있다. 전체 회로에 대하여 사용된 주파수 범위는 1GHz~10GHz이다. 그림 2는 S-파라미터를 측정하기위해 본 연구에서 사용된 RF 프로브 패드와 금속 회로의 배선 패턴의 평면도를 보여준다. 여기서 사용된 선로는 고주파에서의 손실 저항 $R_{RF} = \sqrt{\pi \frac{\mu}{\sigma}}$ 은 $3.1 \times 10^{-7} (\Omega \text{Hz}^{-1/2} / \text{m})$ 인 금(Au)을 사용하였다. 여기서 σ 는 bulk전도도

(S/m)이며, 금의 σ 는 4.09×10^{-7} (S/m)이다. 유전체 높이는 $600 \mu\text{m}$ 이며, 손실 탄젠트는 0.006인 GaAs의 기판을 사용하였다. 회로는 $100 \mu\text{m} \times 100 \mu\text{m}$ 크기이고 마이크로스트립 선로의 폭은 w 이며, 유전체의 높이는 h 이다. 그리고 air-bridge의 높이는 $2\mu\text{m}$ 이고 인덕터의 폭 w 와 선로 간격 s 는 각각 $10\mu\text{m}$ 이다.

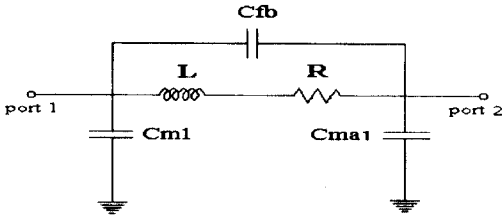


그림 3. 기존의 등가 회로
Fig. 3. Old lumped element equivalent circuit.

2. 등가 회로

그림 3과 같은 기존의 인덕터에 대한 집중형 등가 회로를 이용하여 SPICE에 의한 구성 소자의 변화를 살펴 보았다.

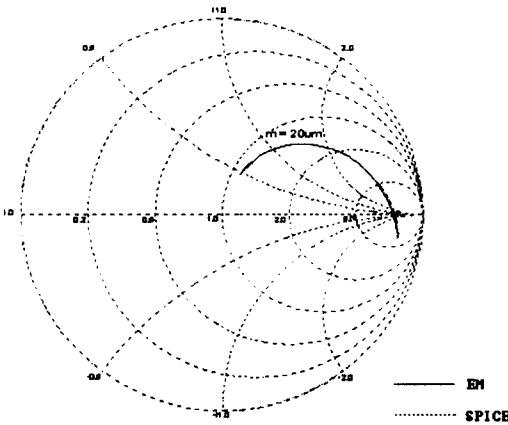


그림 4. 인덕터의 금속 두께가 $20 \mu\text{m}$ 일 때 기존의 집중형 등가 회로를 이용하여 얻은 EM과 SPICE 결과의 비교.
Fig. 4. Comparison between EM and SPICE's result with metal thickness $20 \mu\text{m}$, using old lumped equivalent circuit.

그림 4는 금속의 두께를 $20 \mu\text{m}$ 로 사용하였을 때 S_{11} 의 결과를 보여주고 있다. 이때 내부 직경은 $100 \mu\text{m}$ 이며 회전 수는 4이다. 그림 5는 금속의 두께를 $0.2 \mu\text{m}$ 로 하였을 때 S_{11} 의 결과를 나타내고 있다. 이때 내부 직경은 $180 \mu\text{m}$ 이며, 회전 수는 3이다. 그림 4와

그림 5를 비교하면 똑 같은 조건에서 금속의 두께를 $20 \mu\text{m}$ 로 사용하였을 때는 EM의 결과와 기존의 등가 회로를 이용한 SPICE의 결과가 일치함을 알 수 있지만, 금속의 두께가 $0.2 \mu\text{m}$ 인 경우에는 두 결과 사이에 오차가 있는 것을 알 수 있다. 저주파에서는 S_{11} 의 값이 일치하지만 마이크로스트립 선로의 두께가 얇은 경우 주파수가 높아지면 기존의 집중형 등가 회로와 일치하지 못하고 위상 지연이 크게 나타나는 것을 알 수 있다. 그 원인은 다음에서 찾아볼 수 있다. 마이크로스트립 선로에의 감쇠 상수 α 는 도체에 의한 감쇠와 유전체에 의한 감쇠로 나타낼 수 있다. [6] [7]

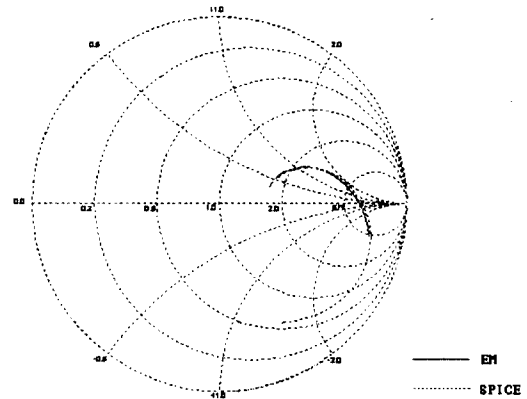


그림 5. 인덕터의 금속 두께가 $0.2 \mu\text{m}$ 일 때 기존의 집중형 등가 회로를 이용하여 얻은 EM과 SPICE 결과의 비교.
Fig. 5. Comparison between EM and SPICE's result with metal thickness $0.2 \mu\text{m}$, using old lumped equivalent circuit.

$$\alpha(f) = \alpha_c(f) + \alpha_d(f) \tag{1}$$

이때 $\alpha_c(f)$ 는 도체 손실에 의한 감쇠 상수로

$$\alpha_c(f) = 0.072 \frac{\sqrt{f}}{wZ_c} \lambda_s \text{dB/마이크로스트립의 파장} \tag{2}$$

이고 $\alpha_d(f)$ 는 유전체에 의한 감쇠 상수로

$$\alpha_d(f) = 27.3 \frac{\epsilon_r(\epsilon_{eff} - 1) \tan \delta}{\epsilon_{eff}(\epsilon_r - 1)} \text{dB/마이크로스트립의 파장} \tag{3}$$

이다. 한편 위상 상수 $\beta(f)$ 는 다음과 같다.

$$\beta(f) = \frac{2\pi f}{c} \sqrt{\epsilon_{eff}(f)} + \alpha_c(f) \tag{4}$$

(4)식에서 위상 상수는 분산에 기여하는 값이며, 도체 손실만이 위상 상수에 영향을 주고 있으며 유전체 손

실의 영향을 무시하고 있음을 알 수 있다. 이처럼 대부분의 마이크로스트립 기판의 경우 도체 손실이 유전체 손실보다 훨씬 크다. 그러므로 소자가 소형화될수록 금속 선로의 두께도 무시할 수 없음을 알 수 있다.

III. 새로운 등가 회로의 제안과 변수 추출 방법

인덕터를 기존의 집중(Lumped element)소자 등가 회로로부터 선로의 두께가 $0.2 \mu\text{m}$ 로 얇아짐에 따라 나타나는 결합 효과를 고려한 개선된 구조의 집중형 등가 회로를 제안한다. 주파수가 높아지면서 마이크로스트립 선로의 두께가 얇은 경우에 생기는 위상 지연을 보상하기 위하여 기존의 집중형 등가 회로에 보정 회로를 삽입한 형태의 수정된 집중형 등가 회로를 제안한다. 인덕터 등가 회로의 변수 추출 방법은 수치적인 결과에 대한 함수의 간략화 방법을 이용하였다.

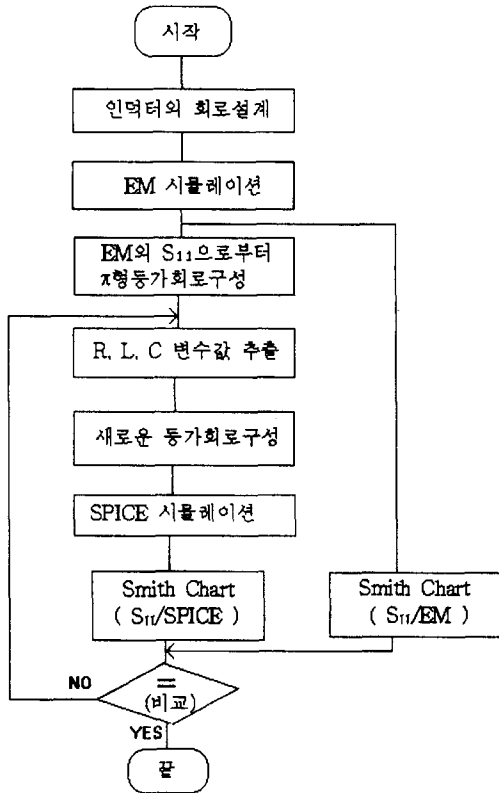


그림 6. 새로운 등가 회로의 변수 추출 방법 알고리즘
 Fig. 6. Parameter extraction algorithm for new-lumped element equivalent circuit.

EM 시뮬레이션의 결과인 S-파라미터를 토대로 π 형 등가 회로를 구하고 각 파라미터의 변수 추출 방법을 통하여 새로운 등가 회로를 찾아내는데 필요한 알고리즘 순서는 그림 6과 같다. SPICE와 EM 시뮬레이션 결과인 산란 계수의 변화를 비교하기위해서 Smith 도표를 이용한다. SPICE를 이용하여 EM의 S_{11} 과 같은 결과를 얻을 수 있도록 변수들을 추출하는 방법을 이용하여 새로운 등가 회로를 유도해 낸다. 이렇게 유도된 새로운 등가 회로로부터 SPICE를 통해서 다시 계산된 S_{11} 의 결과를 EM의 S_{11} 과 비교하는 반복 과정을 통하여 최종의 새로운 등가 회로를 얻는다. 그리고 Smith 도표상에 나타난 각 주파수마다 산란 계수의 크기와 위상의 변화를 통하여 새로운 등가 회로의 변수를 추출해 낸다. 개선된 집중형 등가 회로는 주파수가 높고, 마이크로스트립 선로의 물리적 길이(금속의 두께, 인덕터 내부의 직경, 나선의 회전 수)가 작은 인덕터 회로의 경우에도 신뢰성 있는 해석이 가능하다. 인덕터의 개선된 집중형 등가 회로의 구조는 그림 7과 같다.

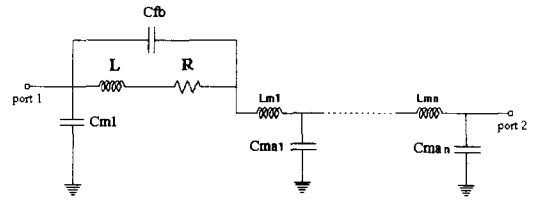


그림 7. 개선된 집중형 등가 회로.
 Fig. 7. New lumped element equivalent circuit.

개선된 인덕터의 집중형 등가 회로의 각 회로 소자 기능은 다음과 같다. R은 회로내의 저항 성분으로 금속의 함수로 두께가 얇아질수록 값이 커진다. L은 인덕턴스로서 내부 직경과 회전 수에 의해 결정된다. C_{fb} 은 나선형 인덕터의 인접 선로에 대한 커패시터로서 유효 인덕턴스를 증가시킨다. 금속의 두께에 영향을 받아서 두께가 얇을수록 C_{fb} 값이 커진다. C_{m1} 은 출력단의 C_{ma1} 과 대칭적으로 위치하며, C_{ma1} 에 비하여 그다지 큰 영향을 미치지 않지만 인덕턴스의 위상 지연 성분을 제어하는데 기여한다. 출력단에 해당하는 $C_{ma,n}$ 과 $L_{m,n}(n=1, 2, \dots, N)$ 은 교차 선로에 대한 기생 성분으로 N값은 교차 선로의 갯수에 해당한다. 마이크로스트립 선로의 두께가 얇아지게 되면서 교차 선로는 air-bridge를 이용하여 직교되도록 설계하였음에도 불

구하고 결합에 의한 기생 인덕턴스, 캐패시턴스 성분이 생긴다. 이러한 성분들은 마이크로스트립 선로의 물리적 길이가 작고 주파수가 높아질수록 회로의 위상 지연을 가져온다. 이러한 위상 지연을 보상하기 위하여 마이크로스트립 선로의 집중형 등가 회로에 보상 회로를 삽입한다. 수정된 집중형 인덕터 등가 회로의 인덕턴스 값은 $L_t = L + L_1 + \dots + L_N$ 이며, 여기서 N 값은 나선의 교차 선로의 수이다. 인덕턴스 $L_1 \dots L_N$ 값은 L 값에 비하여 훨씬 작은 값이지만 회로의 물리적 길이가 작고 고주파로 갈수록 집중 소자 등가 회로를 구성하는 중요한 파라미터가 된다. 개선된 집중형 등가 회로는 주파수가 높고, 마이크로스트립 선로의 물리적 길이(금속의 높이, 인덕터 내부의 직경, 나선의 회전 수)가 작은 인덕터 회로의 경우에도 해석이 가능하다.

IV. 결과 및 고찰

회전 수가 2이며, 내부 직경이 420 μm 인 인덕터 회로에서 기존의 집중형 등가 회로에 보정 회로를 삽입하여 위상 지연의 효과를 고려해준 개선된 집중형 등가 회로의 신뢰성 있는 해석 결과를 그림 8에서 보여주고 있다.

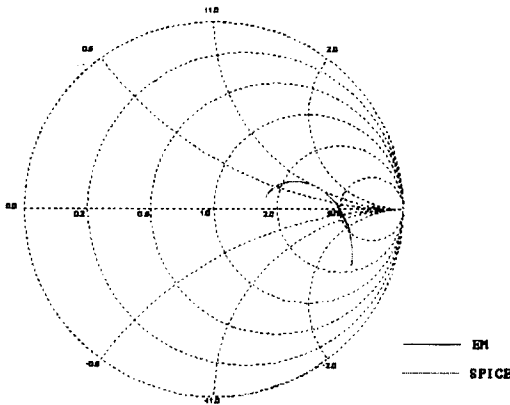


그림 8. 개선된 집중형 등가 회로로부터 얻은 인덕터의 결과.

Fig. 8. S_{11} of inductor from new lumped equivalent circuit.

SPICE를 이용하여 구한 인덕터의 수정된 집중형 등가 회로에 의한 S_{11} 의 결과가 EM의 결과와 잘 일치하고 있음을 보여주고 있다.

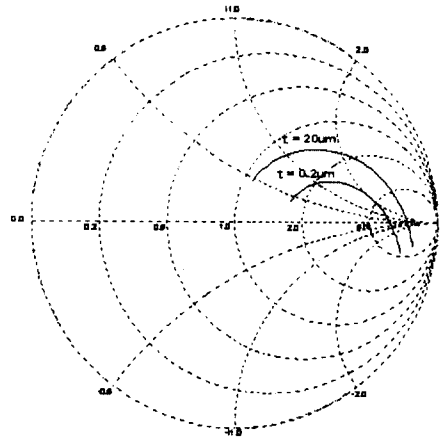


그림 9. 내부 직경이 100 μm 이며 회전 수가 4인 인덕터에서 개선된 집중형 등가 회로에 의한 SPICE와 EM에서의 S_{11} 비교

Fig. 9. Comparison of S_{11} in SPICE of inductor from new lumped equivalent circuit and EM simulation with inner diameter 100 μm and turn number 4.

그림 9에서는 개선된 집중형 등가 모델을 이용하여, 금속의 두께가 0.2 μm 와 20 μm 인 인덕터의 S_{11} 결과를 보여주고 있다. 이때 내부 직경은 100 μm 이며, 회전 수는 4이다. SPICE를 이용하여 새롭게 제안한 수정된 집중형 등가 모델은 회전 수와 금속의 두께에 관계없이 EM의 S_{11} 결과와 잘 일치하는 SPICE의 S_{11} 결과를 나타내고 있는 것을 알 수 있다.

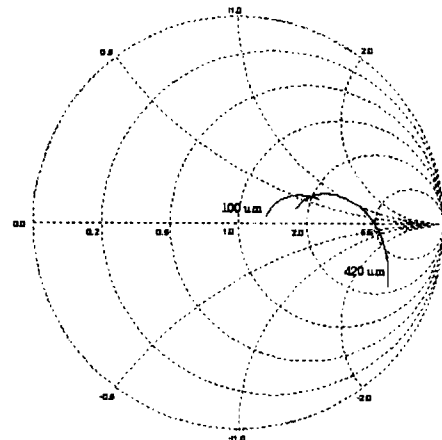


그림 10. 회전 수가 2이고 내부 직경이 다른 인덕터의 주파수 변화

Fig. 10. Variation of frequency for the various inner diameter with the turn number of 2.

그림 10은 금속의 두께가 $0.2\ \mu\text{m}$ 이고 회전수가 2이면서 내부 직경이 각각 다른 인덕터의 S_{11} 을 나타낸 것이다. 회전 수가 같으면 내부 직경이 $420\ \mu\text{m}$ 인 인덕터인 경우 10GHz의 고주파에서는 커패시터로 동작하지만, $100\ \mu\text{m}$ 인 경우에는 여전히 인덕터로 동작하고 있음을 알 수 있다. 즉 회전 수가 같은 경우에 고주파대에서 사용가능한 인덕터를 만들려면 내부 직경이 작아야 한다.

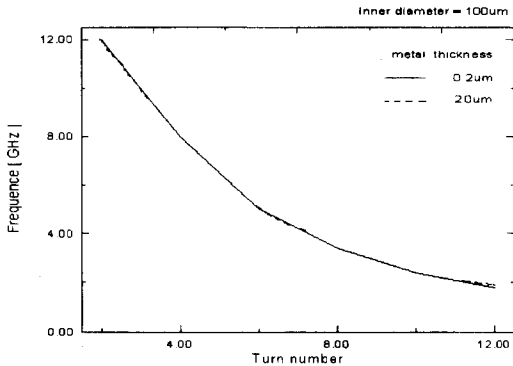


그림 11. 내부 직경이 $100\ \mu\text{m}$ 일때 인덕터로써 동작 가능한 한계 주파수의 값.

Fig. 11. Inductor of cutoff frequency with inner diameter $100\ \mu\text{m}$.

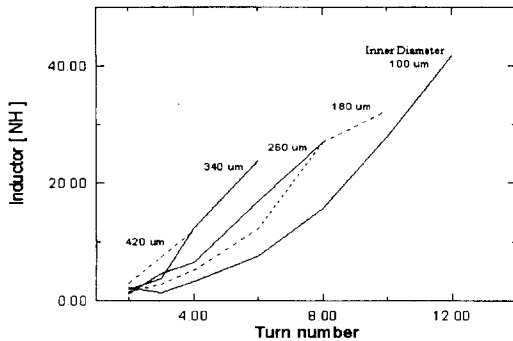


그림 12. 개선된 집중형 등가 회로를 이용한 회전 수에 따른 인덕턴스의 값.

Fig. 12. Inductance in accordance of turn number with new lumped equivalent circuit.

그림 11은 내부 직경이 $100\ \mu\text{m}$, 금속의 두께 $0.2\ \mu\text{m}$ 와 $20\ \mu\text{m}$ 일때 인덕터로 동작하는 한계 주파수 값을 나타낸다. 금속의 두께에 따라서 한계 주파수의 값은 거의 차이가 없으며, 인덕터의 회전 수가 많을수록 낮은 주파수에서만 인덕터로 동작가능하다는 것을 알 수 있다. 개선된 집중형 등가 회로에 의한 각 회로의 인

덕턴스 값을 회전 수에 따라서 나타내 보면 다음 그림 12와 같다. 내부 직경이 작은 인덕터인 경우 높은 인덕터의 값을 얻을 수 있는 것을 알 수 있다. 그리고 회전 수가 많을수록 높은 인덕터의 값을 얻을 수 있다는 것을 알 수 있다.

V. 결 론

본 논문은 인덕터 회로의 특성 분석에 있어서 CAD 툴을 사용한 S파라미터와 SPICE 모델의 S파라미터를 비교하여 최적화하는 방법을 이용하였다. 기존의 집중형 등가 회로를 이용하여 인덕터를 구성하고 있는 마이크로스트립 선로의 금속 두께를 $0.2\ \mu\text{m}$ 로 얇게 하였을 때 위상 지연이 나타나는 것을 확인하였다. 이것은 금속의 두께가 Wheeler의 논문에서 제시하고 있는 범위를 넘어서는 경우로써 기존의 해석 방법으로는 등가 회로 모델이 부적합하다는 것을 보여주고 있다. 그래서 고주파수에서의 위상 지연을 보상하기위해 인덕터 회로를 구성하고 있는 마이크로스트립 선로의 금속 두께를 고려한 개선된 집중형 등가 회로를 제시하였다. 개선된 인덕터의 집중형 등가 회로는 고주파수에서 특성이 우수하며, 금속의 두께가 $0.2\ \mu\text{m}$ 인 경우 뿐만 아니라 $20\ \mu\text{m}$ 인 경우에도 적용이 되는 것을 확인하였다. EM 시뮬레이션에 의한 S_{11} 값과 수정된 집중형 등가 회로로부터 SPICE 시뮬레이션하여 얻은 S_{11} 값을 비교해 본 결과 주파수 변화에 따른 S_{11} 의 변화가 잘 일치하였다. 새로운 집중형 등가 회로는 MMIC용 인덕터를 이용한 회로 설계에 있어서 도움이 되리라고 본다.

참 고 문 헌

- [1] F. Alessandri, G. Baini, M. Mongiardo, R. Sorrentino, "A 3-D Mode Matching Technique for the Efficient Analysis of Coplanar MMIC Discontinuities with Finite Metalization Thickness," IEEE Trans. Microwave Theory Tech., vol. 41, p. 1625-1629, Sept, 1993
- [2] Chih-Wen Kuo and Tatsuo Itoh, "Characterization of Shielded Coplanar Type Transmission Line Junction Discontinuities Incorporating the Finite Metallization

- Thickness Effect," IEEE Trans. Microwave Theory Tech., vol. 40, no. 1, p. 73-80, Janu, 1992
- [3] Khwaja M. Rahman, Cam Nguyen, "Full-Wave Analysis of Coplanar Strips Considering the Finite Strip Metallization Thickness," IEEE Trans. Microwave Theory Tech., vol. 42, no. 11, Nov. 1994
- [4] H. A. Wheeler, "Formulas for the skin-effect," Proc. IRE, vol. 30, pp. 412-424, 1942
- [5] 진녕강, "마이크로파 공학", p. 261, 청문각, 1993년 발행.
- [6] Hammerstad, E. O., and Bekkadal, F., "A microstrip handbook," ELÁP Report, STF 44 A74169, University of Trondheim, Norway, 1975, pp. 98-110
- [7] Gupta, K. C., Garg, Ramesh, and Bahl, I. J., "Microstrip Lines and Slotlines," Artech House, Inc., 1979, pp. 91-92
- [8] 안동식, 장동필, 오승협, "사각 맴돌이 인덕터의 새로운 등가 모델", 한국통신학회논문집, 20권 8호, Aug, 1995.
- [9] 이성형, "이종접합 바이폴라 트랜지스터에 관한 대신호 SPICE 등가회로 모델의 정확한 변수추출방법," Telecommunications Review, 제6권 제4호, 7~8월, 1996.
- [10] H. A. Wheeler, H. A., "Transmission Line Properties of Parallel Strips Separated by a Dielectric Sheetss," IEEE Trans. Microwave Theory Tech., vol. MTT-13, no. 2, Mar. 1965, pp. 172-185
- [11] I. J. Bhal, and D.K. Trivedi, "A Designers Guide to Microstrip Line," Microwaves, vol, 16, no. 5, May. 1977, pp. 177-182

 저 자 소 개



吳 德萊沙(正會員)

1968年 3月 22日生 1991年 2月 제주대학교 전자공학과 공학사 학위 취득. 1996年 2月 제주대학교 전자공학과 석사 학위 취득. 1996年 3月 현재 제주대학교 통신공학과 박사과정. 주요관심분야는 마이크로파 및 밀리미터파의 회로설계

金 興 洙(正會員) 第 31卷 A編 第 7號 參照

현재 제주대학교 통신공학과 부교수