

論文97-34D-8-6

3차원 정상상태의 드리프트-확산 방정식의 해석 프로그램 개발

(A Development of the 3-Dimensional Stationary Drift-Diffusion Equation Solver)

尹 顯 民 * , 金 泰 漢 * , 金 大 永 ** , 金 鐵 城 *

(Hyun Min Yun, Tae Han Kim, Dae Young Kim, and Cheol Seong Kim)

요 약

3차원 정상상태에서 반도체 소자의 전기적인 특성을 IBM PC상에서 효율적으로 예측할 수 있는 소자 시뮬레이터(BANDIS)를 개발하였다. 사면체를 요소로 하는 Galerkin법을 이용하여 포아송 방정식, 전자 및 정공 연속 방정식을 이산화 하였으며 3차원 소자의 모의실험에서 가장 많은 비용이 필요한 행렬 연산에는 정교한 데이터 구조와 강화된 입출력 기능을 갖는 전진해법을 이용하였다. 상업용 소자 시뮬레이터의 전자 및 정공 연속 방정식의 이산화에 채택된 Scharfetter-Gummel 방법과 BANDIS 사용된 연속 방정식의 이산화 방법을 비교하고 BANDIS로 부터 얻은 모의실험 결과의 정확성을 검증하기 위하여 PN 접합 다이오드 및 BJT에 대한 모의실험을 수행하였다. 상용 3차원 시뮬레이터인 DAVINCI의 결과와 비교할 때 열평형 및 순방향 바이어스 상태에서 전위 분포는 최대 2%의 상대 오차를 보였으며 수렴 횟수는 평균 20% 이상 감소하였다. 절점 수가 많은 BJT의 모의실험 시간은 DAVINCI에 비해 약 60% 감소하였다.

Abstract

The device simulator(BANDIS) which can analyze efficiently the electrical characteristics of the semiconductor devices under the three dimensional stationary conditions on the IBM PC was developed. Poisson, electron and hole continuity equations are discretized by the Galerkin method using a tetrahedron as a finite element. The frontal solver which has exquisite data structures and advanced input/output functions is used for the matrix solver which needs the highest cost in the three dimensional device simulation. The discretization method of the continuity equations used in BANDIS are compared with that of the Scharfetter-Gummel method used in the commercial three-dimensional device. To verify an accuracy and the efficiency of the discretization method, the simulation results of the PN junction diode and the BJT from BANDIS are compared with those of the commercial three-dimensional device simulator such as DAVINCI. The maximum relative error of the voltage distribution under the thermal equilibrium and under the forward bias conditions is within 2% and the average number of iterations needed for the convergence is decreased by more than 20%. The total simulation time of the BJT with 25542 nodes is decreased to about 60% compared with that of DAVINCI.

I. 서 론

* 正會員, 仁荷大學校 電子工學科 半導體研究室
(Dept. of Electronic Engineering, Inha University)

** 正會員, ZOI Communication
(ZOI Communication)

接受日字:1997年1月9日, 수정완료일:1997年7月14日

소자의 크기가 감소함에 따라 소자의 전기적 특성을 예측하기 위한 소자 모의실험의 중요성이 증가하였으며 소자의 특성에 심각한 영향을 주는 접합 정전 용량, 기생 정전 용량, 펀치쓰루 등의 분석과 소자의 신뢰도를 판단하는 SER^[1], ESD^[2] 등의 예측에 있어

2차원 해석에 의해서는 만족스러운 결과를 얻지 못함에 따라 3차원 해석^[3]의 필요성이 증대되었다.

3차원 소자의 모의실험에는 구조 자체에서 발생하는 수렴특성 문제와 많은 해석 절점 개수로 인하여 고가의 하드웨어를 요구하게 되는 문제점이 있다. 그러나 이미 상용화된 3차원 소자 시뮬레이터에서 사용하는 이산화 방법 및 행렬 연산 방법은 2차원 시뮬레이터에서 사용된 방법을 그대로 확장하여 사용함에 따라 고가의 하드웨어에서도 수렴특성이 불량하며 이에 따라 소요되는 해석 시간은 지수 함수적으로 증가한다^[4].

모의실험에 있어 가장 중요한 것은 계산 속도와 해석 결과의 정확성이므로 수렴 특성이 우수한 이산화 방법을 사용하여 행렬의 계산 횟수를 줄이고 모의실험 중 대부분의 시간이 소모되는 행렬 연산 방법에 많은 절점을 효율적으로 수용할 수 있는 방법을 택함으로써 3차원 시뮬레이터의 전체 성능을 향상시킬 수 있다.

대부분의 상용 3차원 소자 시뮬레이터에서 연속 방정식의 이산화에 사용되는 Scharfetter-Gummel (S-G) 방법^{[5] [6] [7]}에서는 모서리 사이의 전류 밀도를 상수로 가정하여 식을 전개하므로 모의실험에 사용할 수 있는 요소의 구조가 제한된다^[8]. 이와 같은 단점을 보완한 혼성 유한 요소법(Hybrid FEM)에서는 모서리 사이의 전류 밀도가 선형적으로 변화한다는 가정하에서 이산화하므로 S-G법보다 이산화 오차가 작은 반면에 요소의 구조가 제한되며 역바이어스 하에서는 해의 발산이 자주 발생하는 문제점이 있다^[9]. 본 논문에서는 S-G법과 혼성 유한 요소법에 비하여 이산화 오차를 줄이고 요소 구조의 제한 및 역바이어스 문제를 해결할 수 있는 연속 방정식의 이산화 방법을 제안한다. 연속 방정식의 이산화시에는 모서리뿐만 아니라 요소 내에서도 전류 밀도가 지수 함수적으로 변화한다는 가정하에서 이산화를 진행하며 포아송 방정식의 이산화에는 개선된 반송자 농도의 적분법^[10]을 사용한다.

행렬 풀이 도구로서 채택된 전진 해법(Frontal solver)^[11]은 가우스 소거법과 같은 직접 해법(Direct solver)으로서 가우스 소거법에 비해 행렬의 크기를 크게 줄일 수 있으며 기존의 3차원 소자 시뮬레이터에서 사용되는 간접 해법^[12]과 달리 행렬 연산에 의한 오차가 적고 절점 수의 증가에 따라 계산 양 및 사용되는 메모리의 크기가 지수 함수적으로 증가하지 않아 3차원 구조가 갖는 많은 절점을 효과적으로

PC상에서 경제적으로 수용할 수 있는 장점이 있다.

제작된 소자 시뮬레이터(BANDIS)로부터 얻은 모의실험 결과의 정확성을 검증하기 위해 BJT와 PN 접합 다이오드의 전위 분포, 전자 및 정공의 의사페르미 준위와 각각의 단자에 흐르는 전류를 상용 3차원 소자 시뮬레이터인 DAVINCI의 모의실험 결과와 비교, 검토하였다. 수렴특성을 비교하기 위해 DAVINCI와 동일한 조건하에서 PN 접합 및 BJT의 평균 행렬 연산 횟수를 비교하였다.

본 논문의 2장에서는 정상상태에서 3차원 반도체 방정식의 이산화 과정을 설명하였다. 3장에서는 전진 해법, BANDIS에 사용된 알고리즘 및 전체 해석 순서를 설명하였으며 4장에서는 BANDIS로부터 얻은 모의실험 결과의 정확성과 효율성을 검증하기 위하여 기존의 3차원 소자 시뮬레이터인 DAVINCI와 수렴특성을 비교, 검토하였다.

II. 정상상태 반도체 방정식의 이산화

정상상태 해석을 위한 드리프트-확산 방정식^[6]은 다음 세 개의 식으로 구성되어 있다.

$$\nabla(\epsilon_r \nabla u) + \frac{1}{L_D^2}(n - p + C) = 0 \quad (1)$$

$$-\nabla \cdot \bar{J}_n + U = 0 \quad (2)$$

$$\nabla \cdot \bar{J}_p + U = 0 \quad (3)$$

$$\bar{J}_n = -\mu_n e^{u+V_n} \nabla v \quad (4)$$

$$\bar{J}_p = -\mu_p e^{-u+V_p} \nabla v \quad (5)$$

식(1)은 소자 내부의 전위 분포와 반송자 농도와의 관계를 나타내는 포아송 방정식이며 식(2)와 식(3)은 각각 전자 및 정공 연속 방정식이다. 식(4)와 식(5)는 연속 방정식에 사용된 전자 및 정공의 전류 밀도 방정식이다. 식(1)-(5)는 프로그램의 편의를 위해 정규화되었으며 표 1에 정규화된 변수 및 상수들을 정의하였다.

그림 1은 이산화에 공통적으로 적용된 경계 조건을 나타낸다. 일정한 전위와 전자 및 정공 농도를 유지하도록 디리클레(Dirichlet) 경계 조건(Γ_D)과 전극 경계를 제외한 나머지 경계에서는 순 플럭스(Net flux)가 0이 되도록 노이만(Neumann) 경계 조건(Γ_N)을

적용하였다.

표 1. 반도체 방정식의 정규화에 사용된 변수 및 상수

Table 1. Variables and constants used to normalize the semiconductor equations.

의미	정규화 변수 및 상수
전위	$u = \frac{q}{kT} \phi$
전자 및 정공의 의사 페르미 준위	$u_n = \frac{q}{kT} \phi_n \quad u_p = \frac{q}{kT} \phi_p$
Slotboom 변수	$v = e^{-u_n} \quad w = e^{-u_p}$
전자 및 정공 농도	$n = e^{u_n} v \quad p = e^{-u_p} w$
불순물 농도	$C = \frac{N_D^+ - N_A^-}{n_i}$
생성-재결합 계수	$U = \frac{R-G}{n_i}$
디바이(Debye) 길이	$L_D = \sqrt{\frac{\epsilon_r kT}{q^2 n_i}}$
전자 및 정공 전류 밀도	$\bar{J}_n = qn_i \bar{j}_n \quad \bar{J}_p = qn_i \bar{j}_p$
비유전율	ϵ_r
전자 및 정공 이동도	μ_n, μ_p
Bandgap narrowing effect	V_n, V_p

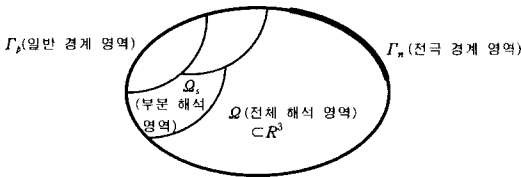


그림 1. 반도체 방정식의 이산화에 사용된 경계 조건
Fig. 1. The boundary conditions used to discretize the semiconductor equations.

1. 가중 잔차법(Weighted Residual Method)에 의한 반도체 방정식의 전개
식(6),(7),(8)은 정규화된 반도체 방정식 (1),(2),(3)의 적분 형태를 각각 F_1, F_2, F_3 로 정의할 때 경계 조건을 적용한 결과식이다.

$$F_1 = \int_{\Omega} \nabla \cdot (\epsilon_r \nabla u) d\Omega + \frac{1}{L_D^2} \int_{\Omega} (e^{-u_n} v w - e^{u_p} w + C) d\Omega \quad (6)$$

$$F_2 = \int_{\Omega} \nabla \cdot (\mu_n e^{u_n} v \nabla v) d\Omega - c \int_{\Omega} U d\Omega \quad (7)$$

$$F_3 = \int_{\Omega} \nabla \cdot (\mu_p e^{-u_p} w \nabla w) d\Omega - c \int_{\Omega} U d\Omega \quad (8)$$

여기서 $c = \frac{q}{kT}$ 이다.

해석 영역을 구성하는 절점의 수가 N 개일 때 Galerkin 방법에 사용되는 직교 가중(Orthogonal weighted) 함수는 오차의 최소화를 위해 식(9a)와 같이 N 개의 선형함수의 조합으로 나타내며 전위는 식(9b)와 같이 근사화시킨다. 전자 및 정공의 의사 페르미 준위는 slotboom변수를 이용하여 식(9c)와 식(9d)로 근사화한다.

$$W = \sum_{i=1}^N \phi_i W_i \quad (9a)$$

$$u = \sum_{i=1}^N \phi_i u_i \quad (9b)$$

$$v = \sum_{i=1}^N \phi_i v_i \quad (9c)$$

$$w = \sum_{i=1}^N \phi_i w_i \quad (9d)$$

이웃 절점의 영향으로 인한 오차를 줄이기 위해 식(9)에 나타난 직교 가중 함수와 전위, 전자 및 정공 의사 페르미 준위의 선형 함수에 의한 근사를 식(6),(7),(8)에 대입한 후 각 우변 첫 항을 전개하면 다음과 같은 식들을 얻는다. 이 때 W_i 는 자기 절점에서 1의 값을 갖고 그 밖의 점에서는 0의 값을 갖는다.

$$F_1 = \int_{\Omega} \epsilon_r \nabla \cdot \left(\sum_{i=1}^N \phi_i u_i \right) \cdot \nabla \left(\sum_{i=1}^N \phi_i W_i \right) d\Omega + \frac{1}{L_D^2} \int_{\Omega} \left(e^{-u_n} v_i \left(\sum_{i=1}^N \phi_i w_i \right) - e^{u_p} w_i \left(\sum_{i=1}^N \phi_i v_i \right) + C \right) \left(\sum_{i=1}^N \phi_i W_i \right) d\Omega \quad (10)$$

$$F_2 = - \int_{\Omega} \mu_n e^{u_n} v_i \nabla \cdot \left(\sum_{i=1}^N \phi_i v_i \right) \cdot \nabla \left(\sum_{i=1}^N \phi_i W_i \right) d\Omega - c \int_{\Omega} U \left(\sum_{i=1}^N \phi_i W_i \right) d\Omega \quad (11)$$

$$F_3 = - \int_{\Omega} \mu_p e^{-u_p} w_i \nabla \cdot \left(\sum_{i=1}^N \phi_i w_i \right) \cdot \nabla \left(\sum_{i=1}^N \phi_i W_i \right) d\Omega - c \int_{\Omega} U \left(\sum_{i=1}^N \phi_i W_i \right) d\Omega \quad (12)$$

2. 유한 요소 해석

전체 해석 영역 Ω 를 N_E 개의 사면체 부분 해석 영역 Ω_s 의 집합으로 생각할 때 식(9)에 나타난 형상 함수 $\phi_i (i=1, 2, \dots, N)$ 는 k 번째 부분 영역 내에서 정의된 형상 함수 $\phi_i^k (i=1, 2, 3, 4)$ 로 나타낸다.

$$W = \sum_{i=1}^N \phi_i W_i = \sum_{k=1}^{N_E} \sum_{i=1}^4 \phi_i^k W_i^k \quad (13a)$$

$$u = \sum_{i=1}^N \phi_i u_i = \sum_{k=1}^N \sum_{i=1}^4 \phi_i^k u_i^k \quad (13b)$$

마찬가지 방법으로 전자 및 정공의 의사 페르미 준위를 나타낼 때 식(10),(11),(12)는 식(14),(15),(16)으로 쓸 수 있다.

$$F_1 = \int_{\Omega} \epsilon_r \nabla \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k u_i^k \right) \cdot \nabla \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k w_i^k \right) d\Omega \\ + \frac{1}{L_D^2} \int_{\Omega} \left\{ e^{-u^k} \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k w_i^k \right) - e^{u^k} \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k v_i^k \right) + C \right\} \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k w_i^k \right) d\Omega \quad (14)$$

$$F_2 = - \int_{\Omega} \mu_n e^{-u^k} \nabla \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k u_i^k \right) \cdot \nabla \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k w_i^k \right) d\Omega \\ - c \int_{\Omega} U \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k w_i^k \right) d\Omega \quad (15)$$

$$F_3 = - \int_{\Omega} \mu_p e^{-u^k} \nabla \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k u_i^k \right) \cdot \nabla \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k w_i^k \right) d\Omega \\ - c \int_{\Omega} U \left(\sum_{k=1}^N \sum_{i=1}^4 \phi_i^k w_i^k \right) d\Omega \quad (16)$$

형상 함수 ϕ^k 는 정의된 요소 내에서만 값을 가지므로 식(14),(15),(16)은 k 와 h 가 일치할 때만 값을 갖는다. 일치된 요소 번호를 k 로 통일시키고 k 번째 요소내의 i ($i=1,2,3,4$)번째 절점에서 이산화된 포아송 방정식과 전자 및 정공 연속 방정식을 각각 F_1^k , F_2^k , F_3^k 라 할 때 이들은 다음과 같이 정리된다.

$$F_{1i}^k = \int_{\Omega_i} \epsilon_r \nabla \left(\sum_{i=1}^4 \phi_i^k u_i^k \right) \cdot \nabla \phi_i^k d\Omega_i \\ + \frac{1}{L_D^2} \int_{\Omega_i} \left\{ e^{-u^k} \left(\sum_{i=1}^4 \phi_i^k w_i^k \right) - e^{u^k} \left(\sum_{i=1}^4 \phi_i^k v_i^k \right) + C \right\} \phi_i^k d\Omega_i \quad (17)$$

$$F_{2i}^k = - \int_{\Omega_i} \mu_n e^{-u^k} \nabla \left(\sum_{i=1}^4 \phi_i^k u_i^k \right) \cdot \nabla \phi_i^k d\Omega_i - c \int_{\Omega_i} U \phi_i^k d\Omega_i \quad (18)$$

$$F_{3i}^k = - \int_{\Omega_i} \mu_p e^{-u^k} \nabla \left(\sum_{i=1}^4 \phi_i^k u_i^k \right) \cdot \nabla \phi_i^k d\Omega_i - c \int_{\Omega_i} U \phi_i^k d\Omega_i \quad (19)$$

3. 좌표 변환

부분 해석 영역으로 분할된 각 사면체는 임의의 형태와 좌표를 갖기 때문에 적분 범위를 규칙적으로 적용하기 위한 좌표 변환이 필요하다. 임의의 k ($k=1,2,3,\dots,N_E$)번째 사면체를 정규화된 사면체로 좌표 변환할 때의 행렬식(Jacobian)을 J^k 라 하고 모든 요소에 대해 일정하게 변환된 국부(Local) 좌표계의 형상 함수를 N_i ($i=1,2,3,4$)라 할 때 식(17),(18),(19)는 최종적으로 다음과 같이 쓸 수 있다.

$$F_{1i}^k = \int_{\Omega_i} \epsilon_r \nabla \left(\sum_{i=1}^4 N_i u_i^k \right) \cdot \nabla N_i J^k d\Omega_i \\ + \frac{1}{L_D^2} \int_{\Omega_i} \left\{ e^{-u^k} \left(\sum_{i=1}^4 N_i w_i^k \right) - e^{u^k} \left(\sum_{i=1}^4 N_i v_i^k \right) + C \right\} N_i J^k d\Omega_i \quad (20)$$

$$F_{2i}^k = - \int_{\Omega_i} \mu_n e^{-u^k} \nabla \left(\sum_{i=1}^4 N_i u_i^k \right) \cdot \nabla N_i J^k d\Omega_i - c \int_{\Omega_i} U N_i J^k d\Omega_i \quad (21)$$

$$F_{3i}^k = - \int_{\Omega_i} \mu_p e^{-u^k} \nabla \left(\sum_{i=1}^4 N_i u_i^k \right) \cdot \nabla N_i J^k d\Omega_i - c \int_{\Omega_i} U N_i J^k d\Omega_i \quad (22)$$

식(21), (22)의 우변 첫항은 적분형태의 전류밀도 방정식을 나타낸다. 일반적으로 연속 방정식의 이산화에 사용되는 Scharfetter-Gummel(S-G) 방법에서 모서리 사이의 전류 밀도를 상수로 가정하여 식을 전개하는 반면에 본 논문에서는 전류밀도가 전위 u 를 경유하여 모서리뿐만 아니라 요소내에서도 전위의 지수함수로 변화함을 알 수 있다. 또한 DAVINCI에서는 각 모서리에서 평균 이동도를 가정한 반면에 식(21)과 식(22)에 사용된 이동도는 요소내에서 선형적으로 변화한다고 가정하였다. 표 2는 DAVINCI와 BANDIS에 사용되는 이산화 방법, 사용되는 기본 요소 및 이동도 계산방법등을 요약한 결과이다.

표 2. BANDIS와 DAVINCI의 비교

Table 2. Comparison between BANDIS and DAVINCI.

항목	DAVINCI	BANDIS
정상상태의 이산화 방법	S-G법 (유한 차분법)	유한 요소법
기본 요소	프리즘	사면체
이동도 계산	모서리를 구성하는 절점이동도의 평균값	요소내에서 절점이동도의 선형변화

4. 행렬 구성 및 해석

식(20),(21),(22)와 같이 이산화된 반도체 방정식은 Newton-Raphson 방법에 의해 해석된다. 각 방정식은 Taylor 급수 전개에 의해 얻어지는 다음 식의 계산에 의해 해석된다.

$$\frac{\partial F_{1i}^k}{\partial u} \Delta u + \frac{\partial F_{1i}^k}{\partial v} \Delta v + \frac{\partial F_{1i}^k}{\partial w} \Delta w = -F_{1i}^k(u, v, w) \quad (23a)$$

$$\frac{\partial F_{2i}^k}{\partial u} \Delta u + \frac{\partial F_{2i}^k}{\partial v} \Delta v + \frac{\partial F_{2i}^k}{\partial w} \Delta w = -F_{2i}^k(u, v, w) \quad (23b)$$

$$\frac{\partial F_{3i}^k}{\partial u} \Delta u + \frac{\partial F_{3i}^k}{\partial v} \Delta v + \frac{\partial F_{3i}^k}{\partial w} \Delta w = -F_{3i}^k(u, v, w) \quad (23c)$$

각 요소에 대해 사면체 요소의 4개의 절점에서 식(23)에 의해 계산된 값을 행렬의 해당 위치에 더해 가는 방법으로 행렬을 구성하게 된다. 식(23)에 주어진 세 식을 동시에 해석할 경우 하나의 절점에 세 개

의 변수가 존재하므로 행렬의 크기가 9배로 증가하게 된다.(Newton 방법)^[12] 따라서 변수간의 상호 결합성이 강하지 않을 경우에는 식(23) 좌변의 대각선 성분 이외는 무시하여 각 방정식을 반복적으로 해석한다.(Gummel 방법)^[13]

III. 소자 시뮬레이터의 제작

1. 3차원 소자 구조의 생성

소자의 모의실험에 사용된 3차원 구조는 상용 2차원 공정 시뮬레이터인 TSUPREM-4에 의해 생성된 2차원 삼각형 구조를 깊이 방향으로 확장한 프리즘 구조를 다시 세 개의 사면체로 분할된 구조를 사용하였다. 그림 2는 소자의 모의실험에 사용된 3차원 구조의 생성과정을 나타낸다.

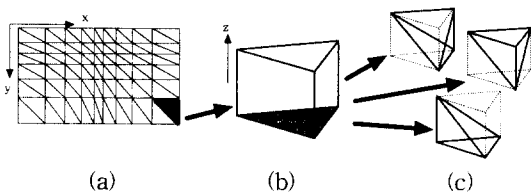


그림 2. 2차원 구조의 3차원 구조로의 확장. (a) 2차원 TSUPREM-4 구조 (b) 확장된 프리즘 구조 (c) 3개의 사면체로 분리

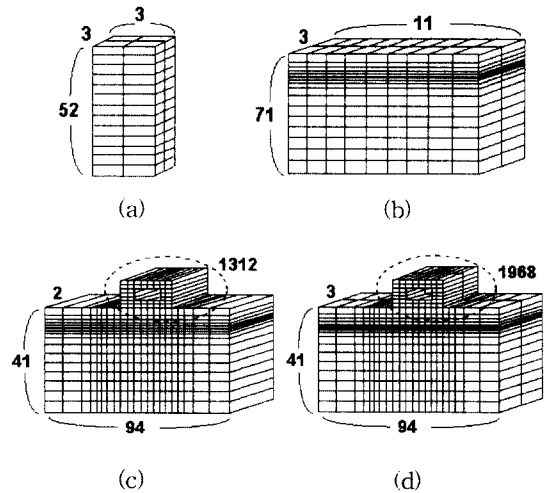
Fig. 2. The expansion of the 2D structures into the 3D structures (a) Two-dimensional TSUPREM-4 structure (b) Expanded into prism (c) Division into three tetrahedron.

2. 전진 해법(Frontal solver)의 구현

전진 해법은 직접 풀이법(Direct solver)중의 하나로 행렬을 부분적으로 나누지 않고 한 번에 계산하

다. 기존의 3차원 시뮬레이터에서 사용되는 간접 풀이법은 큰 행렬을 부분으로 나누어 연산함으로써 행렬 연산 자체에서 오는 오차로 인해 전체적인 수렴 특성이 불량해지는 단점을 갖는다.^[12]

직접 해법중의 하나인 가우스 소거법의 경우 모든 절점에 대해 행렬을 구성한 뒤 소거 과정에서 소거된 절점과 연결되어 있던 절점들은 영향을 받게 된다. 이 때 절점의 소거로 인해 새로이 연결되는 절점들은 행렬 내부에서 fill-in으로 나타나게 되는데 이와 같은 fill-in들을 고려하여 행렬을 구성하는 sparse 행렬 구조 역시 3차원 구조에서는 효율성이 좋지 않다. 표 3은 그림 3에 나타난 4가지 3차원 구조에 대한 sparse



※ 숫자는 해당 방향 및 범위내의 절점 수
그림 3. 행렬 풀이법 비교를 위해 제시한 4가지 3차원 구조 (a) 구조 1 (b) 구조 2 (c) 구조 3 (d) 구조 4

Fig. 3. Four sample 3-dimensional structures to compare matrix solvers (a) Structure 1 (b) Structure 2 (c) Structure 3 (d) Structure 4.

표 3. 3차원 모의실험 구조의 sparse 행렬에서 나타나는 fill-in의 개수

Table 3. The number of fill-in's occurred in the sparse matrix of the three-dimensional structures

모의실험구조	절점 수	초기 nonzero 개수	Fill-in 개수	초기 nonzero에 대한 fill-in의 비율(%)	비고
구조 1	426	3,804	2,718	71	PN 접합 다이오드
구조 2	2,343	29,787	178,460	600	
구조 3	9,020	106,604	698,262	655	NMOSFET
구조 4	13,530	153,320	1,033,248	674	

행렬 구조의 효율성을 나타낸 것이다. 그림 3에 사용된 각각의 육면체는 2개의 프리즘 구조로 구성되어 있다. Sparse 구조 형성에는 minimum degree ordering^[14]을 사용하였으며 기본 요소는 그림 2의 방법을 적용하여 생성된 사면체를 사용하였다

2차원 구조에서는 초기 nonzero에 대한 fill-in의 비율이 2~5(%)정도^[14]인 점에서 볼 때 3차원 구조에서 sparse 행렬 구조를 사용하는 것은 적합하지 않음을 알 수 있다.

전진 해법은 요소 단위로 행렬을 구성해 나가며 소거되는 절점이 이웃한 절점에만 영향을 준다는 원리를 이용하여 이후 요소들에서 더 이상 나타나지 않는 절점은 미리 소거함으로써 행렬의 크기를 줄여나가는 방법이다. 소거된 절점의 정보는 메모리나 하드 디스크에 저장되어 모든 요소에 대해 행렬의 조립 및 소거가 끝난 뒤 역순으로 읽으며 해를 계산하게 된다.^[11]

표 4는 표 3에서 사용된 4개의 3차원 구조에 대한 전진 해법 적용 결과이다.

표 4. 전진 해법의 수행 예

Table 4. The application examples of the frontal solver.

구조	절점수	요소수	최대 전진폭
구조 1	468	924	9
구조 2	2,343	8,400	38
구조 3	9,020	25,800	133
구조 4	13,530	51,600	194

그림 4는 구조 2와 구조 4에 대해 전진해법과 sparse 행렬 구조를 적용했을 경우 풀이 시간 및 사용되는 메모리 크기의 비교이다. 동작 환경은 100 MHz Pentium PC이다.

비교적 적은 절점 수의 구조에서 전진 해법의 풀이 시간은 sparse 행렬의 풀이 시간과 비슷하나 절점 수

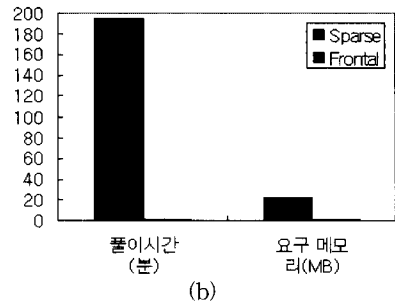


그림 4. Sparse 행렬 풀이법과 전진 해법의 3차원 구조에서의 비교 (a) 구조 2 (b) 구조 4

Fig. 4. The comparison of the sparse matrix solver with the frontal solver in the 3D structures (a) Structure 2 (b) Structure 4.

가 증가할수록 sparse 행렬의 풀이 시간과 요구되는 메모리의 크기면에서 효율이 증가함을 알 수 있다. 그러나 전진 해법은 행렬 내에 존재하는 소거되지 않은 절점의 수가 많을 때, 즉 전진 폭이 클 때 효율성이 감소하는 단점을 갖는다. 그림 5는 요소 배열 순서에 따라 달라지는 전진폭을 나타낸다.

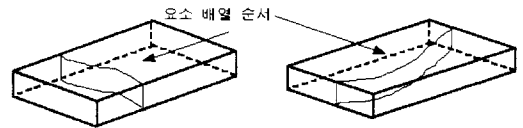


그림 5. 요소 배열 순서에 따라 달라지는 최대 전진폭
Fig. 5. The maximum frontwidth with the different arrangement of elements.

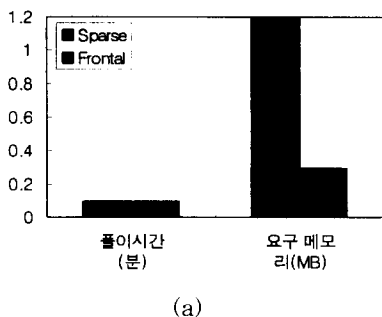
이와 같이 전진 해법은 다른 직접 해법이나 간접 해법과 달리 절점 수의 증가에 따라 그 계산 속도가 크게 영향 받지 않으며 요소의 배열 순서에 따라 그 효율성을 높일 수 있다는 장점을 갖고 있어 해석 절점 수가 많은 3차원 구조의 해석에 적합하다.

3. 초기해 설정

기본적인 해석 방법으로 Newton-Rhapson 방법을 사용할 경우에 초기해가 참 값과 큰 차이를 나타낼 경우에 해가 수렴하지 못하게 된다. BANDIS에서는 초기해 설정 방법으로 전하 중성조건을 이용한 초기해 설정 방법, 전단계 해를 이용한 초기해 설정 방법 및 이전의 두 개의 해를 이용한 초기해 설정 방법을 사용한다.

4. 전체 해석 순서

2장에서 설명한것과 같이 이산화된 반도체 방정식은



해석 목적에 따라 Gummel 방법과 Newton 방법의 두 가지 방법에 의해 해석된다.

그림 6은 앞에서 설명한 전진 해법 및 초기해 설정을 포함한 전체 흐름도이다. 해석을 원하는 전극의 바이어스 단계마다 초기해를 설정하고 원하는 방법으로 해석한 뒤 전류 및 반송자 농도를 계산하는 후처리 과정을 거치게 된다.

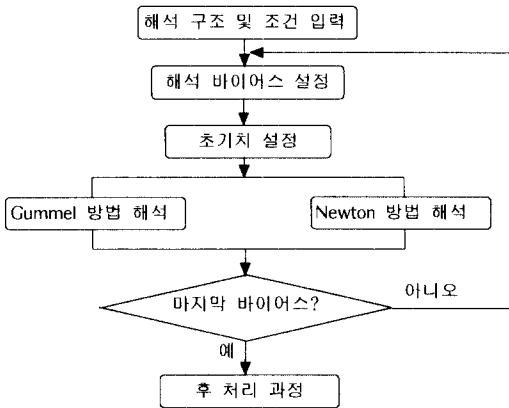


그림 6. BANDIS의 전체 흐름도
Fig. 6. Overall flowchart of the BANDIS.

IV. 결과 및 검토

제작된 소자 시뮬레이터(BANDIS)를 이용하여 PN 접합 다이오드와 BJT의 전기적 특성을 추출하였다. 각각의 모의실험용 소자에 사용되는 절점수는 DAVINCI의 모의실험용 소자와 동일한 반면에 요소수는 DAVINCI에 비해 3배로 증가한다. BANDIS의 정확성과 효율성을 검증하기 위해 DAVINCI와 수렴 특성을 비교 검토하였다. 연속 방정식의 모의실험에는 Analytic 이동도 모델^[13]을 사용하였고 발생-재결합 모델은 고려하지 않았다. 전자 및 정공 농도는 band-gap narrowing 효과를 고려한 볼츠만 통계를 따르며 해석이 이루어지는 온도 범위 내에서 불순물은 완전 이온화 되었다고 가정하였다.

BANDIS는 100MHz Pentium PC에서 Windows 95 환경하에서 제작되었으며 DAVINCI는 HP 9000/715 workstation에서 동작되었다.

표 5는 제작된 소자 시뮬레이터와 DAVINCI의 모의실험조건이다. 의사 페르미 준위 수렴 허용오차가 0.001×0.02584 [V]와 0.0001×0.02584 [V]일 때 모의실험의 정확도에 거의 차이가 없음을 확인한

후에 허용오차를 0.001×0.02584 [V]로 하였다.

표 5. 모의실험에 사용된 파라미터조건
Table 5. The parameters for the simulation.

파라미터	BANDIS	DAVINCI
온도 [K]	300	300
전위 수렴 허용오차[V]	0.0001 × 0.02584	0.0001 × 0.02584
전자 의사 페르미 준위 수렴 허용오차[V]	0.001 × 0.02584	0.001 × 0.02584
정공 의사 페르미 준위 수렴 허용오차[V]	0.001 × 0.02584	0.001 × 0.02584

1. PN 접합 다이오드의 모의실험

그림 7은 모의실험에 사용된 PN 접합 다이오드의 깊이 방향의 농도 분포를 나타낸다. 표면으로부터 0.48 [um] 깊이에 금속학적 접합이 존재하며 N-영역의 최대 불순물 농도는 2.22×10²⁰ [cm⁻³]이고 P-영역은 3.0×10¹⁵ [cm⁻³]의 불순물이 도핑되었다. 접합 수직 방향의 단면적은 1×1 [um²]로 정하였다. 모의실험에 사용되는 PN접합 구조는 426개의 절점과 840개의 요소로 구성되어 있다.

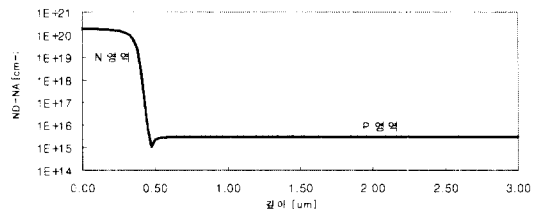


그림 7. 모의실험용 PN 접합 다이오드 1차원 불순물 분포

Fig. 7. The doping profile of the PN junction diode for the simulations.

그림 8은 열평형 상태에서 모의실험하였을 때 소자의 내부 전위 분포를 나타낸다. 열평형 상태에서는 포아송 방정식만을 풀어 전위를 구한다. BANDIS의 전위분포와 DAVINCI의 전위분포는 금속학적 접합부에서 최대 2%의 상대오차를 보이고 있다.

그림 9는 P형 전극에 0.5 [V]의 순방향 바이어스가 인가되었을 때 소자 내부의 전위분포이며 N형 전극을 기준 준위로하여 P형 전극의 준위가 0.5 [V]

상승하였음을 볼 수 있다.

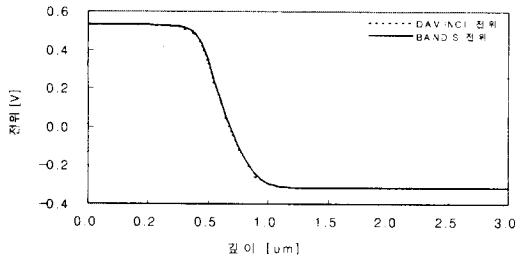


그림 8. 열평형 상태에서 소자 내부의 전위분포
Fig. 8. The potential profile of the PN junction diode under equilibrium conditons.

BANDIS의 전위분포와 DAVINCI의 전위분포는 금속학적 접합부에서 최대 1.5%의 상대오차를 보이고 있다.

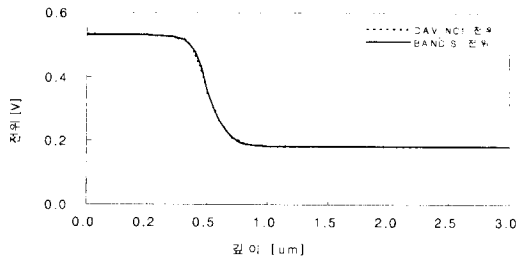


그림 9. P형 전극에 0.5 [V]의 순방향 바이어스가 인가되었을 때의 전위분포
Fig. 9. The potential profile of the PN junction diode under the 0.5 [V] forward bias.

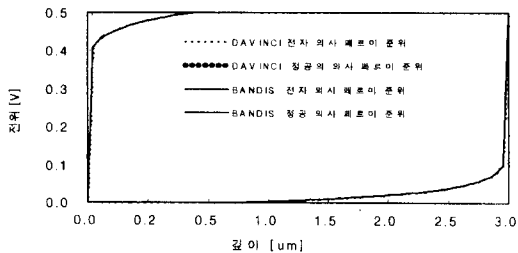


그림 10. P형 전극에 0.5 [V] 인가하였을 때 전자 및 정공의 의사페르미 준위
Fig. 10. The quasi-fermi level of the PN junction diode under the 0.5 [V] forward bias.

그림 10은 P형 전극에 0.5 [V]의 순방향 바이어스가 인가되었을 때 소자 내부의 전자 및 정공의 의사 페르미 준위를 나타낸다. 전자 및 정공의 의사 페르

미 준위치는 인가된 바이어스만큼 차이를 보이고 있다. 발생-재결합 모델이 고려되지 않았으므로 대부분의 전자 및 정공은 전극 근처에서 재결합되어 전극의 전자 및 정공의 의사페르미 준위가 일치됨을 볼 수 있다.

BANDIS의 전자 및 정공의 의사페르미 준위는 DAVINCI의 전자 및 정공의 의사페르미 준위와 최대 2%의 상대오차를 보이고 있다.

그림 11은 PN 접합 다이오드의 순방향 전류-전압 특성이다.

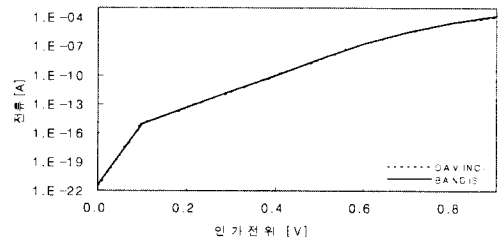


그림 11. PN 접합 다이오드의 순방향 전류-전압 특성
Fig. 11. The forward I-V characteristics of the PN junction diode.

낮은 바이어스 조건에서 BANDIS(실선)의 모의실험 결과는 DAVINCI(점선)에 비해 최대 4%의 상대오차를 보이고 있으며 높은 바이어스 조건하에서는 최대 1.5%의 상대오차를 나타내었다.

표 6은 순방향 바이어스가 0.0 [V]에서 0.9 [V]까지 변화할 때의 DAVINCI와 BANDIS의 연속 방정식 풀이 횟수와 해석에 소요된 시간을 비교한 것이다.

표 6. PN 다이오드의 연속 방정식 풀이 횟수 및 모의실험 시간

Table 6. The number of iterations of continuity equations and the total simulation time of the PN junction diode.

		DAVINCI	BANDIS
Gummel 방법 (포아송/연속 방정식)	평균 풀이 회수	4.8	4.2
	총 소요 시간	1.7 분	2.7 분
Newton 방법	평균 풀이 회수	4.1	3.3
	총 소요 시간	1.0 분	1.3 분

Gummel 방법과 Newton 방법 모두 BANDIS의

평균 풀이 횟수가 DAVINCI에 비하여 약 15% 감소하였으나 모의실험 시간은 50% 이상 증가하였다. 가격대 성능비 측면에서 고찰하면, 모의실험을 위해 TSUPREM-4 출력의 2차원 시료를 3차원 구조로 변환하는 과정에서 요소의 개수가 3배 가량 증가하였고 모의실험 환경이 DAVINCI는 HP 9000/715 EWS(2천만원)에서 수행되고 BANDIS는Pentium PC 100MHz(400만원)에서 수행되므로 BANDIS는 DAVINCI에 비해 Gummel 방법과 Newton방법에서 각각 6.7배와 1.4배의 계산시간을 요구하나 본 모의실험에는 각각 1.6배와 0.77배의 계산시간이 소요되므로 매우 효율적임을 알 수 있다.

2. BJT의 모의실험

그림 12는 모의실험에 사용된 BJT의 기본 구조이며 그림 13은 A'A 방향으로의 1차원 불순물 농도 분포를 나타낸다. 에미터 영역의 최대 표면 불순물 농도는 1.42×10^{20} [cm⁻³]이고 베이스 영역의 최대 불순물 농도는 8.2×10^{18} [cm⁻³]이며 콜렉터 영역에는

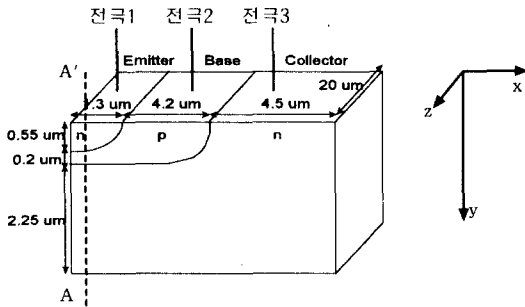


그림 12. 모의실험용 BJT의 2차원 구조
Fig. 12. The device structure of the BJT for the simulations.

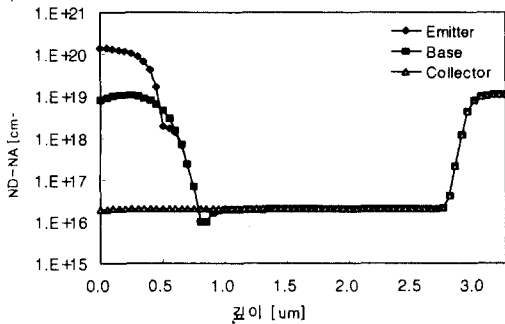


그림 13. 모의실험용 BJT 구조의 불순물 분포
Fig. 13. The doping profile of the BJT for the simulations.

1.94×10^{16} [cm⁻³]의 에피택셜 층이 형성되었다. 모의실험에 사용되는 BJT 구조는 25542개의 절점과 99810개의 요소로 구성되어 있다.

그림 14는 컬렉터-에미터 바이어스를 1.0 [V]로 고정시키고 베이스-에미터 전위가 0 [V]에서 0.8 [V]까지 변할 때의 컬렉터 전류 대 베이스-에미터 전압 특성이다.

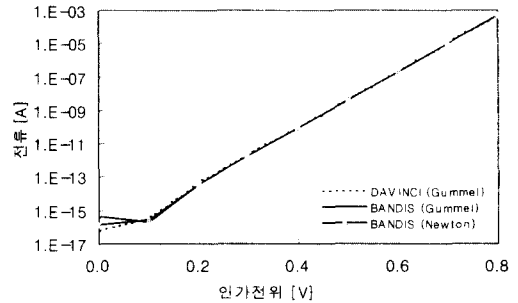


그림 14. BJT의 컬렉터 전류 대 베이스-에미터 전압 특성
Fig. 14. The collector current versus base-emitter voltage characteristics of the BJT.

100% 이상의 비교적 큰 상대 오차를 보이는 베이스-에미터 바이어스가 낮은 동작 영역에서 BANDIS의 경우에는 세 단자에 흐르는 전류의 합이 0인 반면에 DAVINCI에서는 단자 전류의 합이 0이 얻어지지 않았다.

표 7은 1.0 [V] 컬렉터-에미터 바이어스가 인가된 조건 하에서 베이스-에미터 전위가 0 [V]에서 0.8 [V]까지 변할 때 BJT의 바이어스당 평균 연속 방정식의 풀이 횟수와 총 해석 시간을 나타내었다.

표 7. BJT의 연속 방정식 풀이 횟수 및 총 소요 시간

Table 7. The Number of iterations of continuity equations and the total simulation time of the BJT simulation.

		DAVINCI	BANDIS
Gummel 방법 (포아송/연속 방정식)	평균 풀이 횟수	4.5	3.3
	총 소요 시간	135 분	52 분
Newton 방법 (행렬풀이:Sparse LU)	평균 풀이 횟수	수행 불능	3.7
	총 소요 시간	수행 불능	2,800 분

Gummel 방법에서 BANDIS가 DAVINCI에 비하여 약 25% 향상된 수렴 특성을 보이고 있으며 총 소요 시간은 DAVINCI의 총 소요 시간보다 60% 이상 감소함을 볼 수 있다. BANDIS의 개선된 수렴 특성은 본 논문에서 제시한 이산화 방법의 정확성에 의한 것이며 DAVINCI에서는 수렴 특성의 향상을 위하여 Bank-Rose damping 방법을 채택하고 있음에도 상대적으로 불량한 수렴특성을 나타내고 있다.

BJT 시료의 모의실험시에 행렬의 풀이방법으로 Sparse LU를 이용하는 경우에 DAVINCI는 307 MB 이상의 주 메모리를 요구하여 수행이 불가능하였으나 전진해법을 이용하는 BANDIS는 32 MB의 주 메모리상에서 바이어스당 평균 315분내에 해를 구할 수 있었다. 그러므로 Newton 방법이 필요한 3차원 구조의 고주입 조건 혹은 강반전 영역의 해석에는 정교한 데이터 구조를 갖는 전진 해법이 계산시간 면에서 매우 효율적임을 알 수 있다. 또한 DAVINCI의 경우에는 하드웨어 비용이 비싼 대형 workstation에서만 수행되므로 BANDIS의 모의실험 비용이 현저하게 적음을 알 수 있다.

V. 결 론

정상상태에서 기존의 상용 소자 시뮬레이터에 비해 수렴 특성이 향상된 3차원 소자 시뮬레이터(BANDIS)를 제작하였다. 반도체 방정식의 이산화 방법으로 전형적인 유한 요소법을 사용하여 기존 3차원 소자 시뮬레이터에 사용된 S-G법보다 수렴 특성을 개선하였으며 행렬 연산에 전진 해법을 사용하여 적은 비용의 PC에서 많은 절점을 수용할 수 있도록 하였다.

BANDIS의 정확성과 효율성을 검증하기 위해 BJT와 PN 접합 다이오드의 모의실험을 수행하였다. 모의실험으로부터 얻어진 전위분포와 전류는 DAVINCI의 모의실험결과와 비교하여 각각 최대 상대오차 2%와 4%의 정확도를 나타내었다. 연속 방정식의 이산화 방법과 반송자 농도 적분 방법의 차이에 따라 BANDIS는 DAVINCI에 비해 평균 약 20%의 평균 수렴 횟수의 감소를 보였다. 또한 많은 절점 수를 갖는 BJT의 구조를 Newton 방법을 이용하여 모의실험을 한 경우에 DAVINCI는 307MB정도의 메모리를 요구하여 수행이 불가능하였으나 BANDIS의 경우에는 32MB의 기본 메모리를 갖는 PC에서 해석이 가능

하였다. 절점 수가 매우 적은 PN 접합 다이오드의 모의실험에서는 BANDIS가 DAVINCI에 비해 50% 정도 모의실험 시간이 증가하였으나 절점 수가 많은 BJT의 모의실험에 Gummel방법을 이용할 경우에 DAVINCI에 비해 60%정도 감소 하였다. 그러므로 3차원 구조의 소자를 해석하는 경우에는 정교한 데이터 구조를 갖는 전진 해법과 개선된 연속 방정식의 이산화법을 채택한 BANDIS의 모의실험 비용이 DAVINCI에 비하여 현저하게 적음을 알 수 있다.

참 고 문 헌

- [1] 김태한, 계훈우, 김철성, "ULSI DRAM의 D1 failure ASER 예측 알고리즘," 대한전자공학 회 논문지 제 33권 A편 제 9호 pp. 1816-1826, 1996
- [2] T. Eimori et al., "A Newly Designed Planar Stacked Capacitor Cell with High Dielectric Constant Film for 256Mbit DRAM," 1993 IEDM Tech. Digest, pp. 627-630, 1993.
- [3] H. Masuda Toru Toyabe and Hiroco Shukuri, "A Full Three-Dimensional Simulation on Alpha-Particle Induced DRAM SOFT-ERRORS." IEDM Tech. Digest, pp. 496-499, 1985.
- [4] 김태한, TRCAP 개발보고서, 삼성전자 반도체 연구소, 1990. private communication
- [5] D. L. Scharfetter, H. K. Gummel, "Large-signal analysis of a silicon Read diode oscillator," *IEEE Trans. Electron Devices*, vol. ED-16, pp. 64-77, 1969.
- [6] G. L. Tan, X. L. Yuan, Q.M. Zhang, Walter H. Ku, A. J. Shey, "Two-Dimensional Semiconductor Device Analysis Based on New Finite-Element Discretization Employing the S-G Scheme," *IEEE Tran. Electron Devices*, vol. 8, pp. 468-478, May, 1989.
- [7] Jun-Hsen Chern, et al., "SIERRA: A 3-D Device Simulator for Reliability Modeling," *IEEE Trans. on computer-aided design*, Vol. 8, No. 5, pp. 516-527, May, 1989.
- [8] Robert W. Dutton, Research Summary:

- Process and Device Modeling, Stanford report, Stanford Electronics Laboratories, pp. 26-27, August, 1990.
- [9] J. F. Burgler, R. E. Bank, W. Fichtner, R. K. Smith, "A New Discretization Scheme for the Semiconductor Current Continuity Equations," *IEEE Tran. Computer-Aided Design*, vol. 8, no. 5, May, 1989.
- [10] 김태한, 이은구, 김철성, "우수한 수렴특성을 갖는 3차원 포아송 방정식의 이산화 방법," 대한 전자공학회 논문지 제 34권 D편 제 8호 pp. 15-25, 1997.
- [11] E. Hinton and D. R. J. Owen, "Finite Element Programming," *Academic Press*, pp. 171-189, 1977.
- [12] Alan Jennings, *Matrix Computation for Engineers and Scientists*, *John Wiley & Sons*, Chapter 6, 1977.
- [13] TMA DAVINCI Manual, Technology Modeling Association, Inc., 2.32-2.42, 1993.
- [14] Graham F. Carey, J. Tinsley Oden, "Finite Elements : Computational Aspects," *Prentice Hall*, Volume III, pp. 148-168, 1984.
- [15] Richard S. Muller, "Device Electronics for Integrated Circuits," *JOHN WILEY & SONS*, pp. 26-27, 1986.

저 자 소 개



尹 顯 民(正會員)

1959년 7월 24일생. 1986년 2월 원광대학교 전자공학과 졸업(공학사). 1988년 2월 인하대학교 대학원 전자공학과 졸업(공학석사). 1988년 1월 ~ 1991년 2월 금성사 중앙연구소, LG 반도체 연구소 근무. 1997년 현재 인하대학교 전자공학과 박사 과정 재학중, 대한전문대학 정보 통신과 부교수 재직. 주관심 분야는 반도체 소자 및 VLSI회로 설계 등임

金 大 永(正會員)

1972년생. 1995년 2월 인하대학교 전자공학과 졸업(공학사). 1997년 2월 인하대학교 대학원 전자공학과 졸업(공학석사). 1997년 1월 ~ 현재 ZOI Communication에서 software engineer로 근무중. 주관심 분야는 Windows용 software 개발임

金 泰 漢(正會員) 第 33卷 A編 第 9號 參照

현재 인하대학교 전자공학과 박사 과정 재학중

金 鐵 城(正會員) 第 33卷 A編 第 9號 參照

현재 인하대학교 전자공학과 교수