論文97-34D-8-4

급속열질화에 의한 고압산화법으로 성장된 얇은 산화막의 특성개선

(Improvement of Thin Oxide Grown by High Pressure Oxidation using Rapid Thermal Nitridation)

盧泰文*, 李大雨*, 宋潤鎬*, 白圭夏*, 具珍根*, 李德東**, 南基守*

(Tae Moon Roh, Dae Woo Lee, Yoon-Ho Song, Kyu Ha Baek, Jin Gun Koo, Duk Dong Lee, and Kee Soo Nam)

요 약

ULSI급 MOSFET에 적합한 얇은 게이트 산화막을 개발하기 위하여, 처음으로 고압산화법을 적용하여 5기압 O_2 분위기 700℃에서 약 65 Å의 초기 산화막을 성장시킨 후에 N_2O 분위기에서 급속열질화시켜 MOS 캐패시터를 제작하였다. 초기 고압산화막의 절연파괴전장은 게이트 전압의 극성에 따라 13.0 MV/cm와 13.8 MV/cm이었으며 열질화 온도와 시간에 의존하였다. TDDB방법으로 예측한 고압산화막의 수명은 게이트에 음과 양의 스트레스 정전류를 인가할 때 각각 1.1 x 10^8초와 3.4 x 10^9초 이었다. 게이트에 음의 스트레스 정전류를 인가하면 고압산화막을 N_2O 분위기 1100℃에서 열질화 시간을 증가시킬 때 절연막의 수명은 증가하였으며, 질화시간이 30초일 때 최대 1.2 x 10^9초이었고, 질화시간을 더욱더 증가시키면 수명은 다시 감소하기 시작하였다. 열질화 온도가 1000℃, 1100℃일때 열질화시간이 각각 약 50초, 12초 이상이면 절연막의 수명이 10년 이상이었다.

Abstract

To develop ultrathin gate oxide for ULSI MOSFETs, for the first time, we fabricated MOS capacitors with 65 Å thick initial oxide grown by high pressure oxidation (HIPOX) at 700℃ in 5 atmosphere O_2 ambient and then followed by rapid thermal nitridation (RTN) in N_2O ambient. The dielectric breakdown fields of the initial HIPOX oxide are 13.0 MV/cm and 13.8 MV/cm for negative and positive gate bias, respectively and are dependent on nitridation temperature and time. The lifetimes of the HIPOX oxides extracted by TDDB method are 1.1 x 10^8 sec and 3.4 x 10^9 sec for negative and positive stress current, respectively. The lifetime of the HIPOX oxide for negative stress current increases with nitridation time in N_2O ambient at 1100℃, reaching maximum value of 1.2 x 10^9 sec for 30 sec of nitridation time, and then subsequently decreases at the longer nitridation time. The lifetimes of the nitrided-HIPOX oxides are longer than 10 years when nitridations are carried out longer than about 50 sec and 12 sec at 1000℃, and 1100℃, respectively.

* 正會員, 韓國電子通信研究院
(Electronics and Telecommunications Research Institute)
** 正會員, 慶北大學校 電子電氣工學部
(School of Electronic & Electrical Engineering, Kyungpook National University)
接受日字:1996年10月23日, 수정완료일:1997年7月29日

Ⅰ. 서 론

반도체 집적회로(IC)를 제작하는 공정기술이 눈부시게 발달함에 따라 모스전계효과트랜지스터(MOSFET) 크기가 0.1~0.2 μm 까지 작아져 IC의 집적도가 매우 높아지게 되었다. 그렇지만 IC의 동작 전압은 크게 줄어 들지않고 MOSFET의 크기만 작아졌기 때문에 소자에 인가되는 전장이 높아져 MOSFET의 신뢰성

에서 큰 문제가 발생되었다. MOSFET의 신뢰성을 향상시키기 위하여 게이트 절연막의 전기적 특성을 개선시키려는 연구가 많이 수행되고 있다[1-4].

게이트 절연막의 신뢰성을 향상시키는 대표적인 방법은 산화막을 성장시킨 후에 기판 실리콘과 산화막 계면에 질소 원자(N)를 적절하게 주입시키는 것이다[1, 2, 5, 6]. 질소를 주입시키는 초기 방법으로 NH_3 분위기에서 열전기로나 급속열처리법으로 성장된 산화막을 열질화시키는 것이 있다. 이 방법은 열질화시킬 때 NH_3에 포함되어 있는 수소(H)가 산화막 내에서 화학결합하여 전자트랩(electron trap)을 생성시킨다. 이것을 개선하기 위하여 질화된 산화막을 재산화시키는 방법이 도입되었다[1, 2]. 최근에는 N_2O 또는 NO 가스를 사용하여 산화막을 열질화시킴으로써 H에 의하여 산화막 내에 생성되는 전자트랩을 최대한으로 억제하여 게이트 절연막의 신뢰성을 더욱 향상시키는 방법에 대하여 많은 연구를 하고 있다[5, 6].

한편, 초고집적회로(ULSI)에 사용되는 MOS 소자의 게이트 산화막을 형성하기 위해서는 습식산화법 보다 건식산화법이 적합하다. 건식산화법은 고온에서 산화막을 성장시켜야 하기 때문에 벌크(bulk) 또는 활성층 두께가 얇은 SOI(silicon-on-insulator) MOSFET의 채널 영역에 있는 불순물이 밖으로 나오거나 재분포가 많이 일어나 소자를 재현성있게 제작할 수 없다. 고압산화법(high pressure oxidation: HIPOX)은 가압된 O_2 분위기에서 산화막을 성장시킴으로써 산화 공정의 온도를 크게 낮출 수 있다[7-9]. 지금까지는 고압산화법은 주로 두꺼운 필드(field) 산화막을 낮은 온도에서 빠르게 성장시키기 위하여 많이 사용되었다[10]. 고압산화법으로 게이트 산화막을 성장시키면 습식산화법이 아닌 건식산화법으로 낮은 온도에서 게이트 절연막을 성장시킬 수가 있다. 고압산화법을 이용하면 낮은 온도에서 산화막을 성장시킬수 있는 장점이 있지만, 산화막의 고정 전하(fixed oxide charge)가 많이 생기는 단점이 있다[7, 9]. 그러나, 고압산화법으로 성장된 산화막을 열질화시키면 전기적 특성을 개선시킬 수가 있기 때문에 ULSI급 MOSFET의 게이트 절연막으로 사용할 수 있을 것으로 기대 된다.

본 연구에서는 ULSI급 MOSFET의 게이트 절연막을 개발하기 위하여 고압산화법을 사용하였다. 약 65Å의 산화막을 700℃, 5기압의 O_2 분위기에서 성장시키고, 연속하여 N_2O 분위기에서 급속열질화 방법으로 산화막을 질화시켜서 MOS 캐패시터를 제작하였다. 제작된 캐패시터의 고주파 용량-전압(high frequency capacitance-voltage: C-V), 전류-전압(current-voltage: I-V), 절연파괴전장(time-zero dielectric breakdown: TZDB), 시간의존절연파괴(time-dependent dielectric breakdown: TDDB) 특성을 조사하여 질화조건에 따른 고압산화막의 전기적 특성을 연구하였다.

Ⅱ. 실험방법

고압산화법으로 성장된 얇은 산화막(고압산화막)과 고압산화막을 질화시킨 절연막(질화고압산화막)의 전기적 특성을 연구하기 위하여 5인치 p형과 n형 (100) 실리콘 웨이퍼를 초기 세척한 후에 local oxidation of silicon(LOCOS) 방법과 n^+ 다결정실리콘을 게이트 전극으로 사용하여 MOS 캐패시터를 제작하였다. 그림 1은 캐패시터 제작을 위한 공정 순서를 나타내었고, 표1은 게이트 절연막의 형성 조건을 나타내었다.

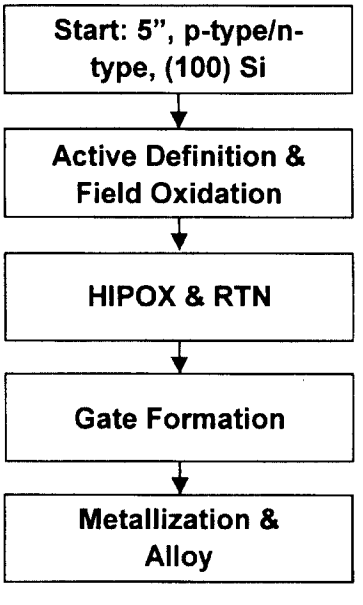

그림 1. 고압산화법과 급속열질화법을 이용한 MOS 캐패시터 제작 공정 순서도
Fig. 1. Process flow of a MOS capacitor fabrication using HIPOX and RTN.

MOS 캐패시터를 제작하기 위하여 LOCOS 방법으로 활성영역을 형성하였다. 700℃, 5기압 산소(O_2) 분위기에서 석영관 전기로를 사용하여 약 65Å의 초기

고압산화막을 성장시켰다. N_2O 분위기에서 할로겐 램프에 의해 복사가열(radiation heating)되는 급속열처리장치를 이용하여 고압산화막을 질화시켜 질화고압산화막을 형성하였다. 게이트 전극을 형성하기 위하여 저압화학증착법(low pressure chemical vapor deposition: LPCVD)으로 다결정실리콘을 증착시킨 후에 인(phosphorus)을 875℃에서 30분 동안 도핑(doping)하였다. 그후에 접촉(contact)을 형성하기 위하여 Pt 실리사이드(silicide) 공정을 수행하고, TiW/Al1%Si를 증착하여 금속배선을 형성하였다. 마지막으로 N_2/H_2 분위기 400℃에서 열처리하여 MOS 캐패시터를 제작하였다.

표 1. 고압산화 조건과 급속열질화 조건
Table 1. Conditions of high pressure oxidation and rapid thermal nitridation.

HIPOX	RTN	
	Temperature	Time
700℃, 5 atm O_2	900℃, N_2O	10 s
	1000℃, N_2O	30 s
	1100℃, N_2O	60 s
		120 s

p형과 n형 실리콘 기판위에 제작된 캐패시터의 게이트에 각각 음(-) 전압(또는 음전류)과 양(+) 전압(또는 양전류)를 인가하여 전기적 특성을 측정하였다. I-V 및 C-V 특성을 측정하기 위하여 각각 HP 4140B pA meter와 HP4275A multiple frequency LCR meter를 사용하였다. TZDB 특성과 TDDB 특성은 HP computer와 HP4145B semiconductor parameter analyzer를 이용하여 측정하였다.

Ⅲ. 결과 및 고찰

그림 2는 700℃, 5기압 O_2 분위기에서 성장된 고압산화막과, 이 산화막을 1100℃, N_2O 분위기에서 급속열질화시켜 얻은 질화고압산화막을 적용하여 p형 실리콘 기판위에 제작한 MOS 캐패시터의 고주파 C-V 특성을 나타낸 것이다. 이때 측정에 사용된 캐패시터의 크기는 100 μm x 100 μm이고, 측정 주파수는 100 kHz이었다. 초기 고압산화막 캐패시터의 최대 용량은 53 pF이고, 질화시간을 10초에서 120초로 증가함에 따라 캐패시터의 최대 용량은 51 pF에서 37 pF으로 감소하였다. 산화막의 비유전율을 3.9라고 가정하고 캐패시터의 최대 용량을 이용하여 산화막의 두께를 계산하였으며, 초기 고압산화막의 두께는 65Å이고, 120초 동안 급속열질화시켰을 때 질화된 고압산화막의 두께는 95Å으로 증가하였다.

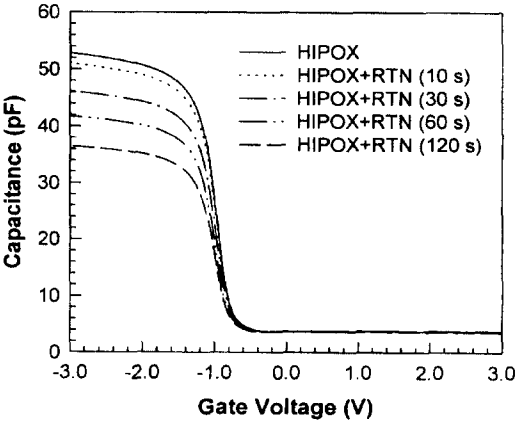

그림 2. 고압산화막과 질화고압산화막의 고주파 용량-전압 특성(RTN 조건: 1100℃, N_2O)
Fig. 2. High frequency capacitance-voltage characteristics of HIPOX oxide and nitrided HIPOX oxides (RTN condition: 1100℃, N_2O).

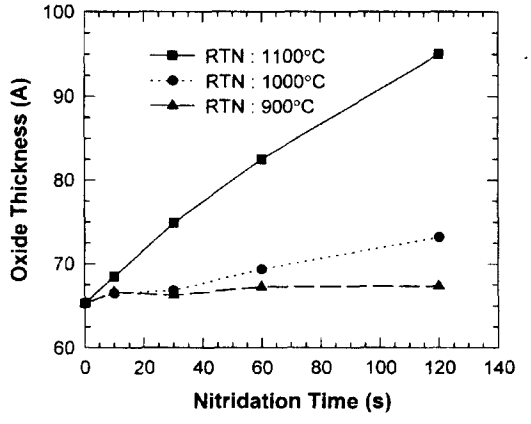

그림 3. 급속열질화 온도와 시간에 따른 고압산화막의 두께 변화
Fig. 3. Thickness variation of HIPOX oxide at various RTN temperatures as a function of RTN time.

그림 3은 700℃, 5기압 O_2 분위기에서 성장된 65Å 두께의 고압산화막을 N_2O 분위기 1100℃, 1000℃, 900℃에서 급속열질화시켜 얻은 절연막의 두께 변화를 질화시간에 따라 나타낸 것이다. 절연막의 두께는 그림 2와 같은 방법으로 구하였다. 질화시간이 120초

이고 질화온도가 각각 1100℃, 1000℃, 900℃일때 산화막의 두께가 65Å에서 각각 95Å, 73Å, 67Å으로 증가하였다. 여기서 산화막 두께는 질화온도와 시간에 크게 의존함을 알 수 있다.

그림 4는 그림 2에 나타낸 바와 같이 질화온도 1100℃에서 질화시간을 변화시켜 제작한 MOS 캐패시터의 전류-전압 특성을 나타낸 것이다. Fowler-Nordheim tunneling(F-N 터널링)이 일어나기 전에 변위전류(displacement current)에 의한 전류를 배제시켜 누설전류를 정확하게 측정하기 위하여 HP4140B pA meter를 사용하였으며, 게이트 전압을 계단파형으로 증가시켰다. 이때 전압이 증가한 후 측정 delay time(지연기간)을 5초로 하였다. 이 방법은 절연막이 파괴되는 고전장 영역에서 측정에 의한 지연시간이 크기 때문에 정확한 절연파괴전압을 구할 수는 없다. 그림 4에서 고압산화막뿐만 아니라 질화시킨 절연막의 누설전류 특성은 F-N 터널링이 일어나기 전에 1 x 10^{-10} A/cm^2 이하로 매우 우수하게 나타났다.

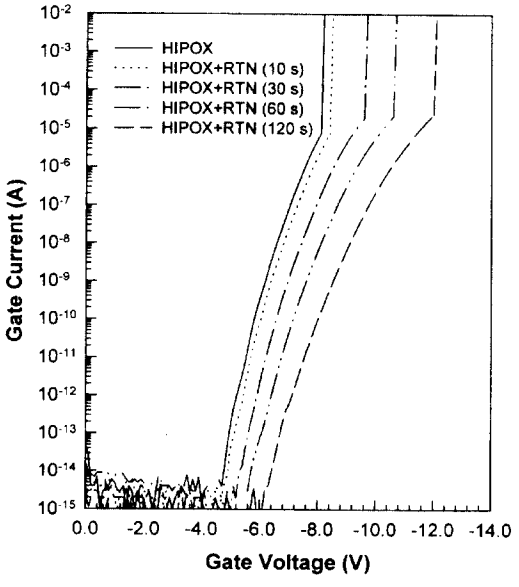

그림 4. 고압산화막과 질화고압산화막의 전류-전압 특압(RTN 조건: 1100℃, N_2O)

Fig. 4. Current-voltage characteristics of HIPOX oxide and nitrided HIPOX oxides (RTN condition: 1100℃, N_2O).

F-N 터널링이 일어나기 시작하는 전압은 초기 고압산화막에서 4.7 V이며, 질화시간에 따라 증가하며 120초 동안 질화시킬 때 6.4 V까지 증가하였다. 산화막에 음전압을 인가하면 실리콘 표면이 전공(hole)이 축적(accumulation)되기 때문에 산화막에 인가되는 전장을 식(1)과 같이 구할 수 있다[11].

$$E_{ox} = (V_G - V_{FB} - \phi_s) / T_{ox} \quad (1)$$

여기서 V_G는 게이트 전압, V_{FB}는 flat band 전압, ϕ_s는 산화막 계면에서 실리콘의 표면전위(surface potential), T_{ox}는 산화막 두께이다. 이때 V_{FB}는 -0.90 V, ϕ_s는 -0.20 V로 가정하였다. F-N 터널링 전장(E_{FN})은 F-N 터널링이 일어나기 시작하는 게이트 전압을 구하여 식(1)을 이용하여 구하였는데 고압산화막과 질화고압산화막에 상관없이 약 5.5 MV/cm이었다.

그림 5는 고압산화막과 질화고압산화막을 채택한 MOS 캐패시터의 절연파괴전장(E_{BR})을 나타낸 것이다. 이때 급속열질화 온도는 900℃, 1000℃, 1100℃이었으며, 질화시간은 10초에서 120초이었다. 절연파괴전장은 그림 4에서 측정한 방법과 다르게 HP4145B를 이용하여 TZDB 방법으로 절연파괴전압을 측정한 후 식(1)을 이용하여 계산하였다. 게이트에 음전압과 양전압을 인가할 때는 각각 p형과 n형 실리콘 기판을 적용한 MOS 캐패시터를 이용하여 실리콘 표면에 다수 캐리어의 축적이 일어나는 조건이 되도록 하였다. 실리콘 기판이 n형일때 V_{FB}는 -0.15 V, ϕ_s는 0.20 V로 가정하였다.

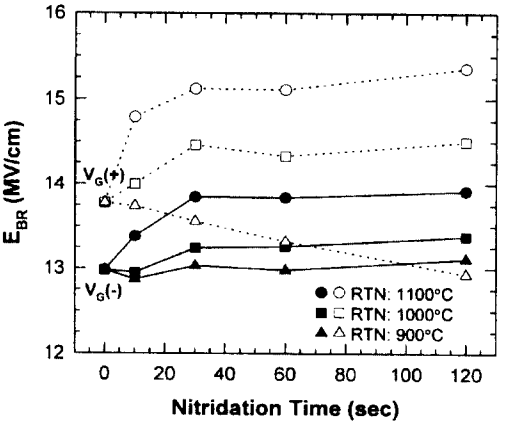

그림 5. 고압산화막과 질화고압산화막의 절연파괴전장

Fig. 5. Dielectric breakdown electric fields of a HIPOX oxide and nitrided HIPOX oxides as a function of nitridation time.

게이트에 음전압을 인가할 경우 초기 고압산화막의 E_{BR}은 13.0 MV/cm이었으며, 질화온도가 1100℃일

때 질화시간이 증가하면 E_{BR}이 약 0.9 MV/cm 증가하였다. 질화온도가 900℃와 1000℃일 때 E_{BR}의 변화는 크게 나타나지 않았다. 게이트에 양 전압을 인가하면 초기 고압산화막의 절연파괴전장은 13.8 MV/cm 이었고, 질화온도가 1100℃일 때 E_{BR}은 질화시간이 약 30초 일때 포화되어 15.1 MV/cm를 나타내었다. 질화온도가 1000℃일 때 질화시간이 증가하여 30초일 때 포화되어 E_{BR}은 14.5 MV/cm이었다. 질화온도가 900℃일 때에는 질화시간이 증가함에 따라 E_{BR}이 오히려 감소하여 질화시간 120초에서 약 0.7 MV/cm 낮게 나타났다. 이상의 절연파괴전장 특성으로 부터 다음과 같은 결론을 얻을 수 있다. 고압산화막을 이용한 MOS 캐패시터의 게이트에 음전압을 인가할 때 보다 양전압을 인가할 때 절연파괴전장이 크고, 절연막의 절연파괴전장은 게이트에 인가되는 전압의 극성에 의존할 뿐아니라 질화시간과 질화온도에 의존함을 알 수 있다. 특히 게이트에 양전압을 인가할 때 질화시간이 증가함에 따라 절연파괴전장의 변화가 크게 나타났다. 이것은 고압산화막이 질화될 때 다결정실리콘 전극과 산화막 계면 보다 실리콘 기판과 산화막 계면의 특성이 크게 바뀌어지는 현상과 비교하면 전자가 주입되는 실리콘 기판과 산화막 계면의 특성 변화에 의존하는 것으로 생각된다.

그림 6은 고압산화막을 이용한 MOS 캐패시터의 TDDB 특성을 절연파괴시간에 따른 누적고장율(cumulative percentage failure)을 대수정규 그래프(log normal graph)로 나타낸 것이다. 이때 측정에 사용된 캐패시터의 크기는 50 μm x 50 μm이고, 캐패시터의 수는 50개이다. 음의 스트레스 전류와 양의 스트레스 전류를 p형과 n형 실리콘 기판 위에 제작한 MOS 캐패시터에 각각 인가하였다. t_{BD}를 절연막의 누적고장율이 50%가 되는 시간으로 정의하고, Q_{BD}는 스트레스 전류밀도에 t_{BD}를 곱하여 구한다. 게이트에 -1.0 A/cm^{2}에서 -0.05 A/cm^{2}으로 변화시키면 t_{BD}는 1.1초에서 60초로 증가하여 Q_{BD}는 1.1 C/cm^{2}에서 3.0 C/cm^{2}으로 증가하였다. 게이트에 1.0 A/cm^{2}에서 0.05 A/cm^{2}으로 감소시키면 5.2초에서 388초로 증가하였고, Q_{BD}는 5.2 C/cm^{2}에서 19.4 C/cm^{2}으로 증가하였다. 여기서 게이트에 인가되는 극성에 관계없이 스트레스 전류밀도가 작을수록 t_{BD}와 Q_{BD}는 증가하였다. 그러나 게이트에 음전류를 인가한 경우가 양전류를 인가한 경우 보다 t_{BD}가 작게 나타났다. 이것은 실리콘 기판과 산화막 계면 근처의 산화막 보다 게이트 전극인 다결정 실리콘과 산화막 계면 근처의 산화막 특성이 나쁜 것에 기인한 것으로, 일반적인 열산화막 특성과 일치하고 있다[11, 12, 13].

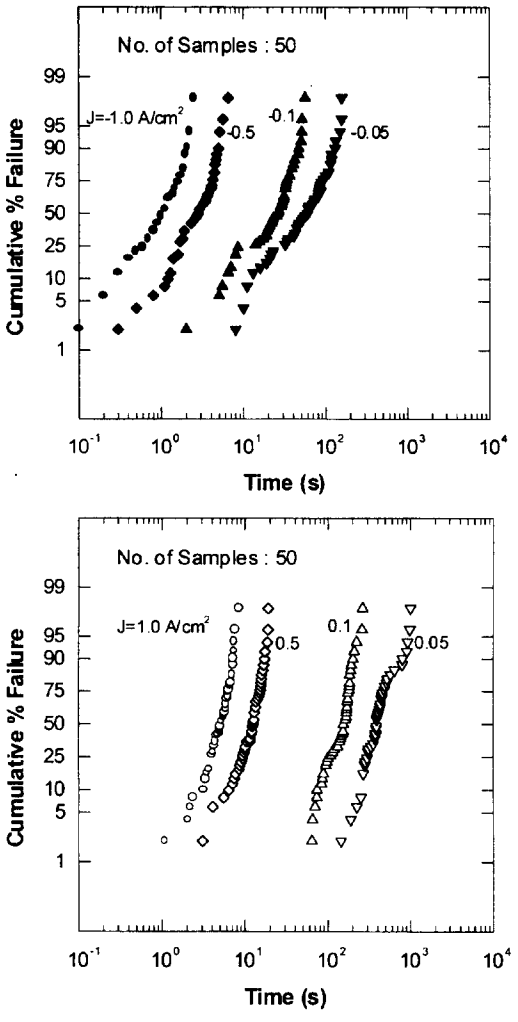

그림 6. 스트레스 전류밀도와 극성에 따른 고압산화막의 TDDB 특성

Fig. 6. TDDB characteristics of HIPOX oxide with negative and positive stress current as a function of stress current density.

그림 7은 고압산화막을 N_2O 분위기 1100℃에서 30초 동안 질화시킨 절연막을 이용한 MOS 캐패시터의 TDDB 특성을 나타낸 것이다. 열질화된 고압산화막도 고압산화막과 같이 게이트에 음전류를 인가할 경우가 양전류를 인가한 경우 보다 t_{BD}와 Q_{BD}가 감소하였다. 초기 고압산화막과 질화고압산화막의 TDDB 특성에

서 게이트 전류의 극성에 따른 t_{BD} 특성과 스트레스 전류밀도에 따른 t_{BD} 특성이 서로 비슷하였다. 그러나, 고압산화막 보다 고압산화막을 열질화시켰을 때 t_{BD}가 증가한 것을 알 수 있다. 즉, 고압산화막을 열질화시킴으로써 t_{BD}를 3배 이상 증가시킬 수 있다.

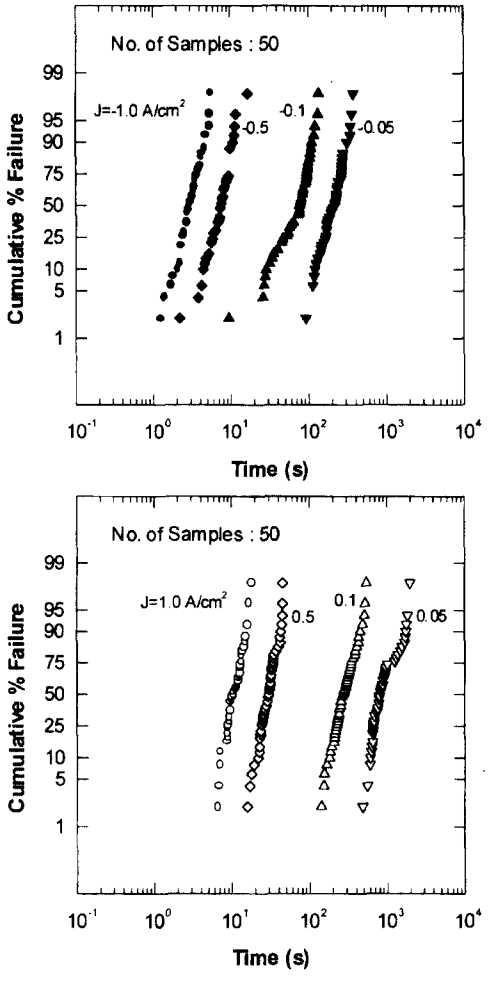

그림 7. 스트레스 전류밀도와 극성에 따른 질화고압산화막의 TDDB 특성(질화조건: 1100℃, 30 sec)

Fig. 7. TDDB characteristics of nitrided-HIPOX oxide with negative and positive stress current as a function of stress current density (RTN condition: 1100℃, 30 sec).

그림 8은 700℃, 5기압 O_2 분위기에서 성장된 고압산화막과 1100℃에서 질화된 고압산화막의 수명을 예측하기 위하여 음과 양의 스트레스 전류 밀도에 따른 t_{BD} 특성을 나타낸 것이다. 게이트에 -1.0 A/cm^{2}의 스트레스 전류를 인가했을 때 초기 고압산화막의 t_{BD}는 1.1초이었으나, 산화막이 질화됨에 따라 t_{BD}가 증가하여 120초 동안 열질화시켰을 때 6.1초로 증가하였다. 이것은 질화시간에 따라 Q_{BD}가 1.1 C/cm^{2}에서 6.1 C/cm^{2}으로 증가함을 나타낸다. 또한 게이트에 1.0 A/cm^{2}의 스트레스 전류를 인가했을 때 초기 고압산화막의 t_{BD}는 5.2초이었으나, 1100℃, 120초 동안 질화시키면 20.4초로 길어진다. 이것은 Q_{BD}가 5.2 C/cm^{2}에서 20.4 C/cm^{2}으로 증가함을 의미한다. 그림 7에서 급속열질화시간이 증가하면 t_{BD}와 Q_{BD}가 동시에 증가하였고, 스트레스 전류밀도가 감소하면 t_{BD}와 Q_{BD}가 더욱 증가하였다.

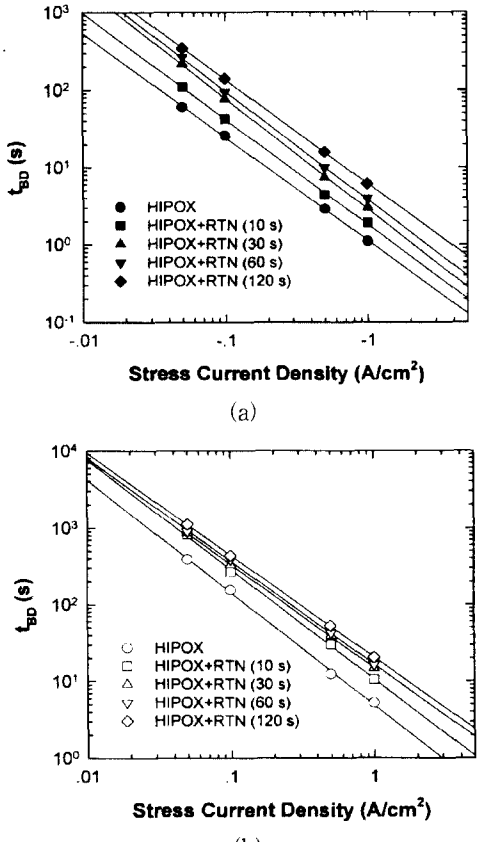

그림 8. 스트레스 전류밀도와 극성에 따른 고압산화막과 질화된 고압산화막의 t_{BD} 특성: (a); 음전류, (b); 양전류

Fig. 8. t_{BD} characteristics of a HIPOX oxide and nitrided HIPOX oxides as a function of stress current: density (a); negative current, (b); positive current.

그림 9는 그림 8에서 구한 초기 고압산화막과 1100℃에서 열질화된 질화고압산화막의 수명을 나타낸 것이다. 여기서 절연막의 수명은 그림8에서 기울기를 구한

후에 스트레스 전류밀도가 10^{-6} A/cm^{2}일때 t_{BD}를 외삽하여 구한 것이다. 음전류 스트레스를 인가했을 때 고압산화막의 수명은 약 1.1 x 10^8초이었고 질화시간이 30초로 증가할 때 최대 1.2 x 10^9초까지 증가하였다. 그후 질화시간이 증가하면 절연막의 수명은 다시 감소하기 시작하였다. 양 전류 스트레스를 인가하면 음 전류 스트레스를 인가할 때 보다 고압산화막의 수명이 약 22배인 3.4 x 10^9초 이었으며, 질화시간이 10초일때 최대 4.1 x 10^9 초이었고, 질화시간이 더 증가하면 절연막의 수명이 감소하였다. 그림에서 절연막의 수명은 인가되는 스트레스 전류의 극성에 의존하며, 특히 음의 전류에 대해 질화에 따른 변화가 큼을 알 수 있다.

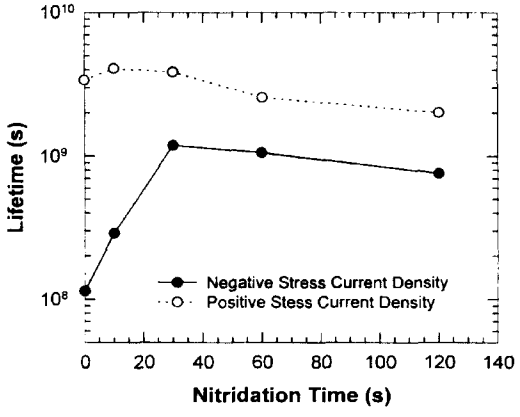

그림 9. 질화시간에 따른 질화고압산화막의 수명(질화 조건: 1100℃, N_2O)

Fig. 9. Lifetimes of nitrided-HIPOX oxide with negative stress current as a function of nitridation time (nitridation condition: 1100℃, N_2O).

절연막의 수명은 산화막의 두께 뿐만 아니라 스트레스 전류를 인가할 때 스트레스 전류의 극성에 의존한다[11, 12, 13]. 게이트에 음의 전류를 인가하는 것은 전자가 F-N 터널링 과정으로 게이트에서 기판으로 흐르는 것을 의미하고 양의 전류를 인가하는 것은 기판에서 게이트로 빠져 나감을 의미한다. 여기서 전자가 F-N 터널링으로 주입된 후 산화막에 인가된 전장에 의하여 가속되어 벌크 산화막에서 충돌이 일어나 운동에너지를 잃기도 하지만 큰 운동에너지를 얻은 전자가 빠져나가게 된다. 또한 TDDB 특성은 산화막 벌크 특성 뿐만아니라 전극 다결정실리콘 계면과 기판 실리콘의 계면특성에 의존하게 된다. 실리콘 기판을 열산화시키면 산화막과 실리콘 계면에서 항상 성장되어 불완전한 천이 영역은 산화막과 실리콘 기판계면 근처에 존재하게 된다. 따라서 게이트에 양의 전류 보다 음의 전류를 인가할 때 F-N 터널링으로 주입된 전자가 가속되어 불완전한 산화막 천이 영역이 있는 계면에 더 많은 손상을 주게 되어 수명이 작아지는 것으로 생각된다.

그림 9에서 게이트에 음전류를 인가할 때 고압산화막을 질화시킴에 따라 초기에 수명이 증가하는 것은 산화막이 질화됨에 따라 열처리 효과에 의하여 산화막 벌크의 특성이 좋아지는 것 뿐만아니라 특히 산화막과 실리콘 계면사이에 질소가 축적되고 열처리 효과에 의하여 계면의 전기적 특성이 좋아지기 때문이다. 절연막의 수명이 다시 감소하는 것은 산화막이 질화됨에 따라 과잉의 질소가 계면에 축적되어 수명을 감소시키는 것과 절연막의 두께가 증가함에 따라 수명이 감소되는 효과에 기인한 것으로 생각된다. 여기서 산화막의 두께가 두꺼우면 FN 터널링 된 전자가 산화막 내에서 두께가 얇은 것 보다 많은 충돌이 일어나고 산화막 내에서 한번도 충돌이 일어나지 않았다면 더 많은 에너지를 가진 전자가 산화막 계면에서 충돌할 수 있음을 의미한다. 따라서 산화막의 두께가 더 두꺼울 때 F-N 터널링된 전자가 산화막 내와 계면에 더 많은 손상을 주어 절연막의 수명을 감소시키게 된다.

그림 10은 게이트에 음전류를 인가했을 때 질화시간 및 온도에 따른 질화고압산화막의 수명을 나타낸 것이다. 질화온도가 900℃와 1000℃일때 질화 시간이 10초에서 120초로 증가함에 따라 절연막의 수명은 증가하여 각각 6.7 x 10^8초와 2.2 x 10^8이었다. 질화온도가 1100℃일때는 그림 9에 나타낸바와 같이 질화시간이 증가함에 따라 절연막의 수명이 1.2 x 10^9초 까지 증가하다가 다시 감소하였다. 질화온도가 1000℃, 1100℃일때 질화시간이 각각 50초, 12초 이상이면 절연막의 수명은 10년 이상인 것을 알 수 있다. 질화시간이 1000℃와 900℃일때도 질화시간을 충분히 증가시키면 절연막의 수명은 최대값을 도달한 후에 다시 감소할 것으로 생각된다.

이상의 결과에서 저온에서 고압산화법으로 성장된 얇은 산화막을 N_2O 가스를 이용하여 급속열질화시키면 전기적 특성을 크게 개선시킬 수 있다. 특히 급속열질화 온도와 시간을 최적화시키고 낮은 온도에서 산화막을 성장시킬 수 있는 고압산화법의 장점을 최대화

시킴으로서 기존은 상압에서 열전기로를 이용하여 얇은 게이트 산화막을 성장시키는 것 보다 ULSI급 MOSFET에 적합한 신뢰성이 우수한 얇은 산화막을 형성할 수 있다.

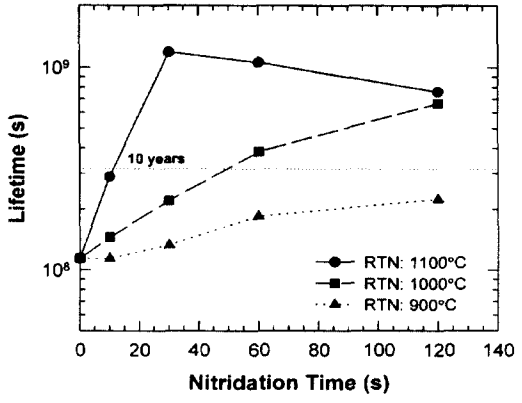

그림 10. 질화온도와 시간에 따른 질화고압산화막의 수명

Fig. 10. Lifetimes of nitrided-HIPOX oxide with negative stress current at various nitridation temperatures as a function of nitridation time.

Ⅳ. 결 론

ULSI급 MOSFET의 게이트 절연막을 개발하기 위하여 5기압 O_2 분위기 700℃에서 약 70Å의 초기 고압산화막을 성장시킨 후에 이 고압산화막을 급속열질화시켜서 절연막의 전기적 특성을 향상시켰다. 제작된 MOS 캐패시터의 전기적 특성을 측정하고 절연막의 특성과 신뢰성을 분석하여 다음과 같은 결론을 얻었다. 첫째, 고압산화막을 N_2O 분위기에서 열질화시키면 산화막의 두께가 증가하였다. 둘째, 절연파괴전장은 고압산화막을 질화시키는 온도와 시간뿐만아니라 인가전압의 극성에 의존한다. 세째, TDDB방법으로 예측한 고압산화막 수명은 게이트에 음전압를 인가할 때 보다 양전압을 인가할 경우 약 22배 이상이었다. 따라서 절연막의 수명을 예측할 때 게이트에 음의 스트레스 전류를 인가하는 것이 양의 스트레스 전류를 인가하는 것 보다 타당하다. 네째, 고압산화막을 열질화시키면 절연막의 수명이 증가하였다. 열질화온도가 1100℃일때 약 30초까지는 절연막의 수명이 1.1 x 10^8초에서 증가하여 1.2 x 10^9초까지로 길어지다가 그후 다시 감소하였다. 다섯째, 열질화온도가 1000℃와 1100℃일때 절연막의 수명이 10년 이상이 되기 시작하는 열질화시간은 약 50초, 약 12초이었다. 이상의 결론에 의하면 낮은 온도에서 고압산화법으로 얇은 산화막을 성장시킨후에 N_2O 가스를 이용하여 급속열질화시키면 고압산화막의 특성을 크게 개선시킬 수 있다. 따라서 급속열질화 조건을 최적화시킴으로 저온공정인 고압산화법의 장점을 극대화시켜 ULSI급 MOSFET에 적합한 게이트 절연막을 형성할 수 있게 된다.

참 고 문 헌

[1] T. Hori, H. Iwasaki, and K. Tsuji, "Electrical and Physical Properties of Ultrathin Reoxidized nitrided Oxides Prepared by Rapid Thermal Processing," IEEE Trans. Electron Devices, vol ED-36, no. 2, pp. 340-349, Feb. 1989.

[2] 노태문, 이경수, 유병곤, 남기수, "산화막과 재산화질화산화막의 MOS 캐패시터와 MOSFET의 신뢰성 연구," 전자공학회논문지, 제 30권 A편 제 11호, pp. 105-112, 1993년 11월

[3] 유병곤, 유종선, 노태문, 남기수, "염소(Chlorine)가 도입된 SiO_2/Si 계면을 가지는 게이트 산화막의 특성 분석," 한국진공학회지, 제 2권 제 2호, pp. 188-198, 1993년 6월

[4] Y.-H. Lee, L. D. Yau, E. Hansen, R. Chau, B. Sabi, S. Hossaini, and B. Asakawa, "Hot-Carrier Degradation of Submicrometer p-MOSFET's with Thermal/LP-CVD Composite Oxide," *IEEE Trans. Electron Devices*, vol ED-40, no. 1, pp. 163-168, Jan. 1993.

[5] A. B. Joshi, G. Yoon, G. Q. Lo, and D.-L. Kwong, "High-Field Breakdown in Thin Oxides Grown by N_2O Ambient," *IEEE Trans. Electron Devices*, vol ED-40, no. 8, pp. 1437-1445, Aug. 1993.

[6] M. Bhat, J. Kim, J. Yan, G. W. Yoon, L. K. Han, and D. L. Kwong, "MOS Characteristics of Ultrathin NO-Grown Oxynitrides," *IEEE Electron Device Lett.*, vol. 15, no. 10, pp. 421-423, 1994.

[7] B. E. Deal and A. S. Grove, "General Relationship for the Thermal Oxidation of Silicon," *J. Appl. Phys.* vol. 35, pp.

3770-3778, DEC. 1965.

[8] L. N. Lie, R. R. Razouk, and B. E. Deal, "High Pressure Oxidation in Dry Oxygen," *J. Electrochem. Soc.: Solid-State Science and Technology*, Vol. 129, No. 12, pp. 2828-2834, Dec. 1982.

[9] L. P. Trombetta and R. J. Zeto, F. J. Feigl and M. E. Zvanut, "Electrical Properties of Silicon Dioxide Films Fabricated at 700C: III. High Pressure Thermal Oxidation," *J. Electrochem. Soc.: Solid-State Science and Technology*, vol. 132, no. 11, pp. 2706-2713, Nov. 1985.

[10] P. Deroux-Dauphin and J. P. Gonchond, "The Influence of High Pressure Oxidation on Boron Redistribution in LOCOS Structures," *J. Electrochem. Soc.: Solid-State Science and Technology*, vol. 131, no. 6, pp. 1418-1423, Jun. 1984.

[11] Y. Hokari, "Stress Polarity Dependence of Thermally Grown Thin Gate Oxide Wearout," *IEEE Trans. Electron Devices*, vol ED-35, no. 8, pp. 1299-1304, Aug. 1988.

[12] P. P. Apte and K. C. Sarawat, "SiO_2 Degradation with Charge Injection Polarity," *IEEE Electron Device Lett.*, vol. 14, no. 11, pp. 512-514, 1993.

[13] P. P. Apte, and K. C. Sarawat, "Correlation of Trap Generation to Charge-to-Breakdown (Q_{bd}): A Physical-Damage Model of Dielectric Breakdwon," *IEEE Trans. Electron Devices*, vol ED-41, no. 9, pp. 1595-1602, Sep. 1994.

저 자 소 개

盧 泰 文(正會員)

1962年 3月 6日生. 1984年 2月 경북대학교 전자공학과(공학사). 1986年 8月 경북대학교 전자공학과(공학석사). 1993年 3月 ~ 현재 경북대학교 전자공학과 박사과정. 1986年 9月 ~ 1988年 1月 삼성종합기술원 연구원. 1988年 2月 ~ 현재 한국전자통신연구원 반도체연구단 선임연구원. 주관심분야는 절연막 형성기술 및 평가기술. 아날로그 CMOS 공정기술 및 신뢰성. 고전력반도체 소자 및 IC 기술 등임

宋 潤 鎬(正會員)

1963年 10月 1日生. 1986年 2月 경북대학교 물리학과(이학사). 1988年 2月 한국과학기술원 물리학과(이학석사). 1991年 2月 한국과학기술원 물리학과(이학박사). 1991年 3月 ~ 현재 한국전자통신연구원 반도체연구단 선임연구원. 주관심분야는 평판디스플레이 등임

具 珍 根(正會員)

1956年 7月 6日生. 1980年 2月 경북대학교 전자공학과(공학사). 1991年 2月 경북대학교 전자공학과(공학석사). 1980年 1月 ~ 현재 한국전자통신연구원 반도체연구단 단위공정연구실장(책임연구원). 주관심분야는 반도체 전력소자 및 전력 IC 등임

李 大 雨(正會員)

1956年 2月 18日生. 1979年 2月 경북대학교 전자공학과(공학사). 1983年 2月 경북대학교 전자공학과(공학석사). 1993年 2月 경북대학교 전자공학과(공학박사). 1980年 1月 ~ 현재 한국전자통신연구원 반도체연구단 책임연구원. 주관심분야는 반도체 아날로그 소자 및 신뢰성, 전력소자 및 전력 IC 등임

白 圭 夏(正會員) 第 33卷 A編 第 12號 參照.
현재 한국전자통신연구원 반도체연구단 선임연구원

李 德 東(正會員) 第 32卷 A編 第 7號 參照.
현재 경북대학교 전자전기공학부 교수

南 基 守(正會員) 第 33卷 A編 第 12號 參照.
현재 한국전자통신연구원 주문형 반도체연구부장