

論文97-34D-6-6

# 텅스텐 폴리사이드를 이용한 게이트 산화막의 절연특성 개선에 관한 연구

(A Study on the dielectric characteristics improvement of gate oxide using tungsten polycide)

嚴 今 鎔 \* , 吳 煥 述 \*\*

(Eom Gum Yong and Oh Hwan Sool)

## 요 약

서버마이크론 CMOS를 비롯한 MOS 소자에 적용되는 게이트 전극층 구성 방법으로 텅스텐 폴리사이드구조를 사용하였다. 이때 다결정 실리콘층의 저항율을 최적화 하는 공정으로 게이트 산화막의 신뢰성과 절연특성에 대해 연구를 하였다. 이러한 특성의 측정에는 TDDB(time dependent dielectric breakdown)법과 SCTDDB(steped current TDDB)법을 사용 하였다. 이때 다결정 실리콘 층의 확산 온도와 시간 및 다결정 실리콘 층과  $WSi_2$  층에 대한 연관 관계 연구를 하였다. 다결정 실리콘 층에서 내인성 특성과 절연특성이 우수한 경우에는  $WSi_2$  층에서도 우수한 결과를 얻었으며 폴리사이드층의 구성시 다결정 실리콘 층만의 구성보다 신뢰성이 크게 증가함을 확인 하였다. 또한 다결정 실리콘 구조에선 주로 호일포획 특성을 나타낸 반면, 폴리사이드 구조에선 전자포획 현상을 나타 내었다. 또한 도핑온도가 높고 도핑시간이 긴 경우 상대적으로 포획의 양이  $WSi_2$  층에서 크게 나타남을 확인 하였다. 그리고 유전막 특성면에서는 폴리사이드 구조인 경우 누설전류 특성이 1 자리 정도 낮게 측정 되었고 절연과피 전계에 있어서도 약 2MV/cm 정도 큰 특성을 얻었다.

## Abstract

Tungsten polycide has studied gate oxide reliability and dielectric strength characteristics as the composition of gate electrode which applied submicron on CMOS and MOS device for optimizing gate electrode resistivity. The gate oxide reliability has been tested using the TDDB(Time dependent dielectric breakdown) and SCTDDB(steped current TDDB) and correlation between polysilicon and  $WSi_2$  layer. In the case of high intrinsic reliability and good breakdown characteristics on polysilicon,  $WSi_2$  layer has the same qualities. In addition, owing to the low resistivity of the  $WSi_2$  layer, it was confirmed that tungsten polycide layer is a better reliabilify properties than polysilicon layer. Also, hole trap is detected on the polysilicon structure meanwhile electron trap is detected on polycide structure. In the case of electron trap, the  $WSi_2$  layer is larger interface trap generation than polysilicon on large  $POCL_3$  doping time and high  $POCL_3$  doping temperature condition.  $WSi_2$  layer's leakage current is less than 1 order and dielectric strength is a larger than 2MV/cm

\* 正會員, 城南技能大學 生産自動化學科

(Dept. of Auto Production Technology seong-Nam Polyfechnic college)

\*\* 正會員, 建國大學校 電子工學科

(Semiconductor process Lab., Dept of Electronic Eng., kon-kuk university)

接受日字:1996年11月7日, 수정완료일:1997年6月2日

## I. 서 론

최근 소자의 집적도가 증가함에 따라 소자의 속도개선, 시정수의 감소가 요구되어 게이트 전극에도 높은 저항성의 다결정 실리콘을 대체하여 일반적으로 다양한 refractory 화합물 중에서도 높은 열적 안정성과 공정과정에서 사용되는 다양한 식각액에 대한 뛰어난 저항성 등의 장점이 있고 다결정 실리콘과의 접착성이

좋으며 비저항 값이 적은 특성이 있으며 산화막의 신뢰도를 확보 할 수 있는 새로운 재료인 텅스텐 실리사이드의 채용이 증대되고 있다<sup>[1,2,3]</sup>. 이러한 높은 저항과 결정구조의 변화가 큰 다결정 실리콘 대신에 폴리사이드 구조를 사용하면 5~10% 정도의 속도 증가가 예상되며 word line의 metal strapping 간격을 늘릴 수 있어 게이트 전극에서 bridge 현상 등을 감소 할 수 있을 것으로 사료된다. 또한 설계의 유연성에 있어서 칩 면적을 감소시키거나, metal strapping 영역을 repair 할 수 있는 영역을 확보 할 수 있게하여 소자의 수율을 증가 시킬것으로 사료된다. 그러나 이러한 실리사이드 공정에서는  $WSi_2$  형성후  $WSi_2$  층 자체가 가지는 비저항율( $\rho$ )이 굉장히 적어 다결정 실리콘 층이 텅스텐 베이스 전극의 저항값에 거의 영향을 미치지 않으므로 무시 하고 있다<sup>[4]</sup>. 그러나 소자의 집적도가 증가되고 상대적으로 채널 길이가 더욱 짧아지면서  $WSi_2$  아래 층의 최적화가 이루어지지 않으면 실리콘-기판과 게이트 산화막 사이 및 게이트 산화막과 다결정 실리콘 층 사이에서의 공핍 영역이 증가 하게 되어 게이트 산화막의 신뢰성 저하 현상은 물론 절연특성의 저하 현상이 나타나게 되어 결과적으로 수율의 저하 원인이 될것으로 생각된다<sup>[5,6,7,8]</sup>.

그래서 본 연구에서는 다결정 실리콘층의  $POCl_3$  확산 시의 온도 및 시간변화에따른  $WSi_2$  층 구성시 게이트 산화막 100Å의 공정특성에 대한 연구를 하고자 하였다.

## II. 실험방법

본 실험은 비저항이  $10\Omega\cdot\text{cm}$  인 p-type (100), 6 inch 단결정 실리콘 웨이퍼를 사용하여 PBL(poly buffered LOCOS) 공정으로 소자분리 층을 5200Å 성장하였다. 그리고 게이트 산화막 성장이후 다결정실리콘을 1500Å 두께로 증착시킨후  $POCl_3$  확산공정은 850°C에서 각각 12.5min, 20min, 30min 등의 시간과 900°C에서 5min, 20min, 30min으로 진행하였다. 그리고 텅스텐은 400°C 정도에서  $WF_6$ 와  $SiH_2Cl_2$  개스를 사용하여 1200Å을 증착 하였으며 그이후 RTA (rapid thermal anneal) 장비로  $N_2$  분위기에서 열처리 하여 살리사이드 공정을 진행 하였다. 제작된 시편의 특성 측정은 HP-4145B 파라미터 분석기를 사용하였으며 신뢰성은 TDDB 방법과 SCTDDDB 방법으로 측

정하여 절연파괴 시간에 대한 cumulative failure percentage 값으로 나타 내었다.

그리고 Si/SiO<sub>2</sub> 계면에 존재하는 포획 전하량의 분포는 절연파괴시까지 흐른 전하량을 전류에 대한 절연파괴 시간 값인 게이트전압 변화량으로 나타 내었다. 이때 게이트 산화막에 대한 신뢰성 측정은 test pattern (200x200 $\mu\text{m}^2$  with FOX)에 초기전류를 인가한 후 절연파괴가 일어날때까지 흐른 전하량을 구하여 계산 하였다. 게이트 전압 변화량은 전류를 인가하여 산화막내에서 생성된 홀과 전자의 포획된 정도를 시간에 대한 전압값으로 나타 내었다. 그리고 게이트 산화막에 대한 절연특성은 누설전류 특성과 절연파괴 특성으로 비교 하였다<sup>[9]</sup>.

## III. 실험결과 및 고찰

### 1. CCST 결과

게이트 산화막에 대한 신뢰성 측정의 한 방법으로서 CCST(constant current stress test) 측정방법에 의한 특성 측정 결과를 그림 1에 나타 내었다. 그림 1의 경우 게이트 전극이 다결정 실리콘인 경우에 대하여 산화막 자체가 가지는 고유한 분포 특성을 알아 보고자 한 것으로 전체적으로 확산 시간이 긴 경우에서 절연파괴에대한 산화막자체가 가지는 특성이 우수한 결과를 나타내고 있음을 알 수 있다. 이는 게이트 전극에  $-100\text{mA}/\text{cm}^2$ 의 전류밀도를 가하여 산화막내에 전하를 포획 시키거나 결함을 축적시켜 절연파괴가 일어날때까지의 시간을 나타낸 결과인데 확산 시간이 짧은 경우 Si/SiO<sub>2</sub> 계면에 공핍층 영역 폭을 증가 시키거나 부분적인 전계의 증대효과를 유발하여 포획전하의 생성이나 결함 유발의 원인이 됨을 확인 할 수 있는 결과로 사료된다.

그림 2는 다결정 실리콘에  $WSi_2$ 를 증착한 폴리사이드 구조에 대한 절연파괴의 내인성 특성 결과이다. 그림(a)는 850°C에 대한 결과이고 (b)는 900°C에 대한 결과인데 전체적으로 그림 1에 비하여 신뢰성 정도가 향상된 분포특성을 나타내고 있으며 확산 시간이 짧은 경우 그 특성의 열화 현상이 더욱 크게 나타나고 있음을 알 수 있다. 반면 확산온도가 높은 경우는 전체적으로 초기 파괴특성이 거의 50%정도 failure 분포를 나타 내었다. 이는 확산 온도가 높은 경우 인이 다결정 실리콘/SiO<sub>2</sub> 계면에 침투하는 정도가 크고, 살리사이드

공정시 생성되는 포화상태의 fluorine이 확산하여 재 분포할 때 Si-O 결합을 끊고 oxidant를 추방 함으로서 불완전한 계면 특성을 생성함으로써 나타난 결과로 사료된다<sup>[10]</sup>.

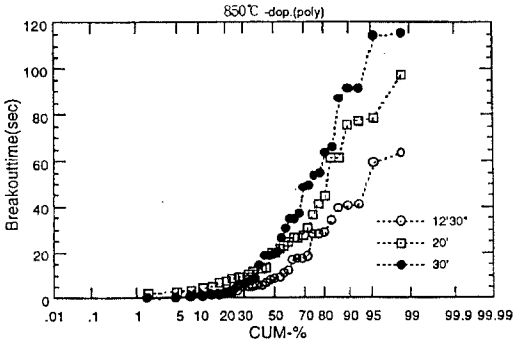
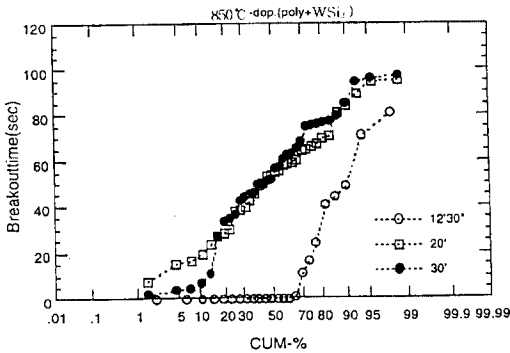
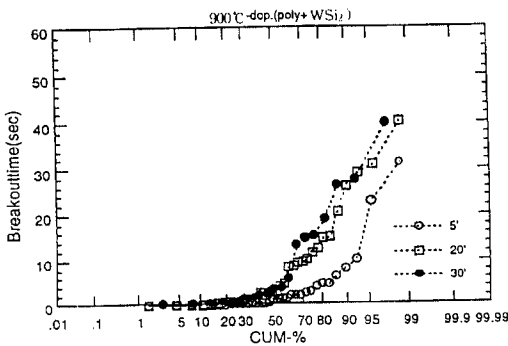


그림 1. 다결정 실리콘에 대한 CCST 결과  
Fig. 1. CCST result on polysilicon.



(a) on 850°C



(b) on 900°C

그림 2. 폴리사이드 구조에 대한 CCST 결과  
Fig. 2. CCST result on polycide.

2. SCTDDB 및 CCST 결과

산화막에 대한 내인성 결과외에 외인성 분포특성을

알아보기 위하여 SCTDDB 및 CCST 방법으로 신뢰성을 측정하여 각각 그림 3과 그림 4에 나타 내었다. 이때 실험에 인가한 전류밀도는 SCTDDB 방법의 경우  $-10\text{mA}/\text{cm}^2 \sim -100\text{mA}/\text{cm}^2$ 의 범위에서 한 order씩 증가 시켰으며, CCST 방법의 경우  $-100\text{mA}/\text{cm}^2$ 의 일정한 전류밀도를 가하였다. 그리고 그림 3은 다결정 실리콘에 대한 전체적인 분포특성을 나타낸 측정 결과이다. 그림 1에서 850°C 확산 공정에 대한 CCST 결과에서는 거의 30% 정도까지 분포 특성이 비슷하게 나타났으나 그림 3에서는 확산시간 12.5min에서는 거의 50%정도가 초기 파괴 특성으로 나타나고 있는 반면 20min과 30min에서는 10% 정도의 초기 파괴 특성이 분포하는 결과로 세분화된 특성결과를 얻고 있음을 알 수 있다. 또한 30min의 확산 시간에서는 외인성 특성 면에서도 가장 우수한 결과를 얻을 수 있음을 확인 할 수 있었다. 이로서 확산시간이 30min인 경우 산화막 자체가 가지는 고유한 특성은 물론 공정등을 포함한 외적인 영향도 가장 적게 나타나는 신뢰성 특성을 얻을 수 있음을 알 수 있었다. 지금까지의 본 측정 방법을 통하여 산화막에 대한 내인성특성 및 외인성특성에 대한 보다 정확한 신뢰성에 대한 정보를 얻을 수 있음을 결과로부터 알 수 있었다.

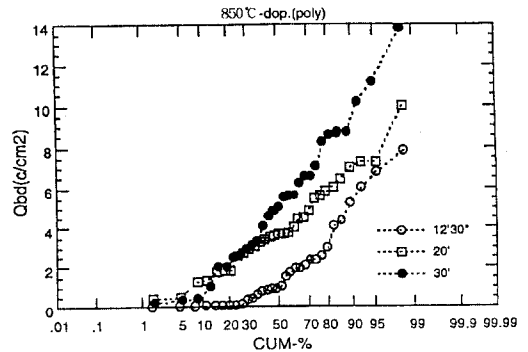
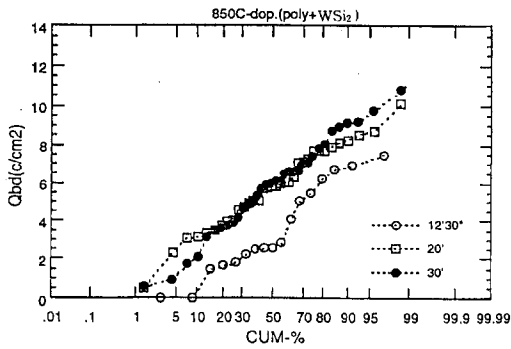


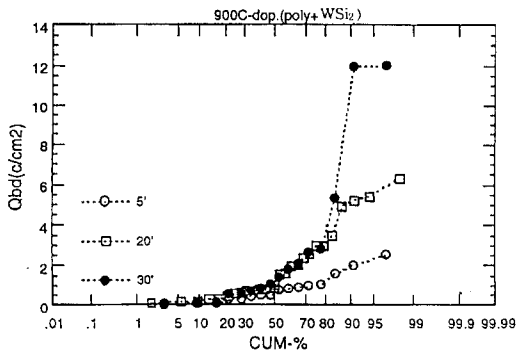
그림 3. 다결정 실리콘에 대한 SCTDDB+CCST 결과  
Fig. 3. SCTDDB+CCST result on polysilicon.

게이트 산화막에 대한 내인성결과를 바탕으로 폴리사이드 구조에서 나타나는 외인성 특성에 대한 신뢰성 결과를 그림 4에 나타 내었다. 전체적으로는 그림 3의 결과와 비슷한 분포 특성을 나타내고 있으나 초기 failure 분포 특성에서 각 splits 별 특성 차이를 비교 할 수 있으며 다결정 실리콘에 대한 확산의 정도에 신

퇴성 특성이 큰 의존성을 가지게 됨을 확인 할 수 있었다. 즉 그림(a)의 850°C 경우 확산 시간이 30min에서 산화막의 고유한 특성은 물론 외적인 영향도 가장 적게 받는 것으로 나타났으며 그림(b)의 900°C에서는 확산 시간이 20min에서 외적인 영향을 가장 적게 받아 신뢰성을 확보하는 조건들임을 확인 할 수 있었다. 이러한 신뢰성의 결과로부터 텡스텐 실리사이드 베이스 폴리사이드 구조에서의 신뢰성 특성은 적절한 POCL<sub>3</sub> 확산 시간에 따라 신뢰성 의존도가 큼을 확인 할 수 있었다.



(a) on 850°C



(b) on 900°C

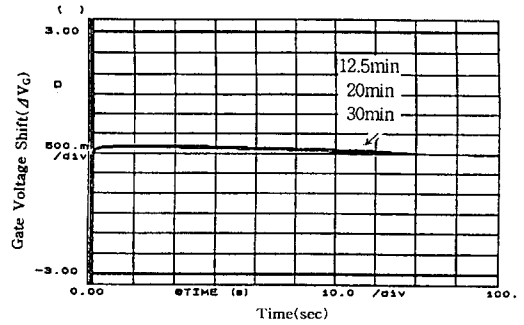
그림 4. 폴리사이드 구조에대한 SCTDDB+CCST 결과

Fig. 4. SCTDDB+CCST result on polycide.

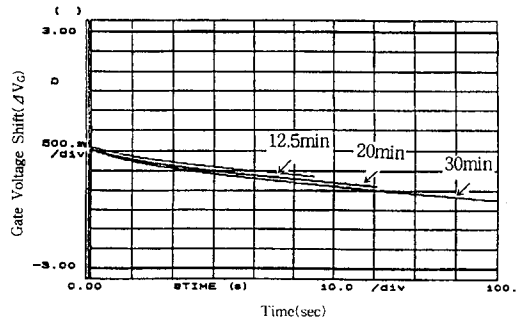
3. Gate Voltage Shift( $\Delta V_G$ ) 결과

폴리사이드 구조 생성시 Si/SiO<sub>2</sub> 계면에 존재하는 포획 전하량의 분포 정도를 측정하여 그림 5 및 그림 6에 나타내었다. 이때 그림 5는 850°C에 대한 결과이고 그림 6은 900°C에 대한 결과이다. 그림에서 0(Volt) 이상의 곡선은 전자 포획을 나타내고 아래쪽은 호을

포획을 나타 내게된다. 그림 5에서 다결정 실리콘의 경우는 전자 포획을 나타 내었으며 POCL<sub>3</sub> 확산 시간에 따른 큰 특성 차이는 나타 나지 않았다. 반면 폴리사이드 구조에서는 호을 포획을 나타내는 경향이 있으며, 이러한 호을 포획의 특성 결과는 텡스텐 증착이후 텡스텐 실리사이드 층을 구성할 때 생성되는 불순물(F, Cl, H<sub>2</sub> ...) 들이 계면에 포획되어 나타난 결과로 사료 된다.

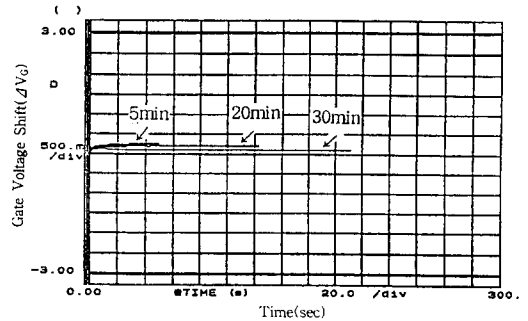


(a) on polysilicon

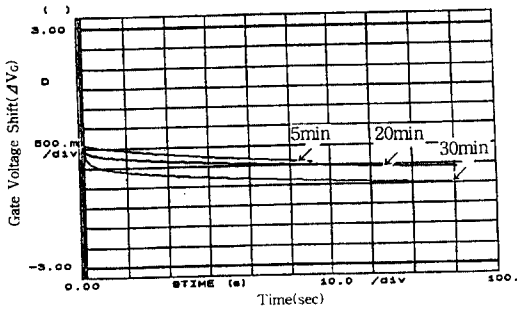


(b) on polycide

그림 5. 게이트 전압 변화량 on 850°C  
Fig. 5. Gate Voltage Shift on 850°C.



(a) on polysilicon



(b) on polycide

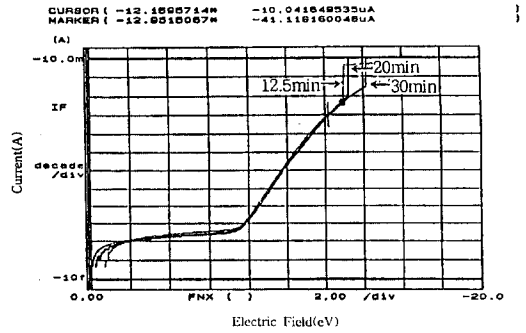
그림 6. 게이트 전압 변화량 on 900°C  
Fig. 6. gate voltage shift on 900°C.

그리고 그림 6에서는 다결정 실리콘의 경우 그림 5의 850°C에 대한 결과와 마찬가지로 POCL<sub>3</sub> 확산 시간의 변화에 따른 전자 포획량의 변화는 큰 차이를 나타내지 않았다. 그러나 폴리사이드 구조에 있어서는 확산 시간 20min과 30min에서 호몰량이 큰 특성 차이를 나타 내었다. 본 결과로부터 900°C의 폴리사이드 구조에서는 확산 시간이 20min에서 적절한 호몰 포획의 양을 유지 시킬수 있을 것으로 사료된다.

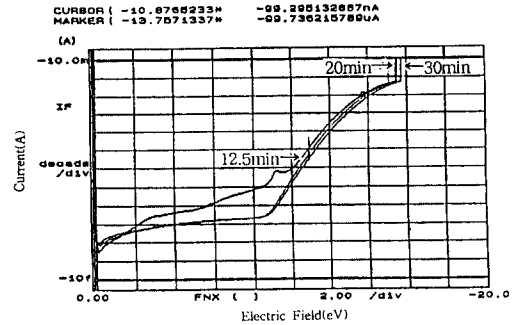
4) 전류 - 전압 특성 결과

게이트 산화막에 대한 절연 특성과 누설전류에 대한 측정 결과를 그림 7과 그림 8에 나타내었다. 게이트 전극 형성시 생성된 전자 및 호몰의 포획정도와 불순물의 분포특성 정도를 나타내는 누설전류 특성은 다결정 실리콘 구조의 경우 약 10<sup>-13</sup> 정도로 POCL<sub>3</sub> 확산 시간과 온도에 따라 큰 차이를 나타내지 않았으며 폴리사이드 구조에 비하여 약 한 자리 정도 낮은 값을 나타 내고 있다. 이는 폴리사이드 구조 생성시 다결정 실리콘 증착에 비하여 호몰의 포획 성분이 상대적으로 크게 생성되어 나타난 결과로 사료된다. 그러나 절연세기 면에서는 폴리사이드 구조의 경우 다결정 실리콘 구조에 비하여 약 2 MV/cm 정도 큰 특성 결과를 얻었으며, 터널링 지점도 다결정 실리콘 구조에 비하여 약 1MV/cm정도 늦게 일어나는 결과를 얻었다. 또한 그림 7 850°C에 대한 특성곡선이며, 다결정 실리콘에 대한 그림(a)인경우 POCL<sub>3</sub> 확산 시간 30min에서 그리고 폴리사이드 구조의 그림(b)인경우 20min에서 절연과파 특성이 가장 우수하게 나타남을 볼 수 있다. 그리고 그림 8은 900°C에 대한 곡선이며, 그림에서 알수 있듯이 그림 7과 비슷한 결과를 얻었으나 900°C에서는

전체적으로 절연 특성면에서는 POCL<sub>3</sub> 확산 온도가 낮은 경우에 비하여 절연세기가 약 1~2 MV/cm 정도로 낮은 결과를 얻었다. 이러한 결과로부터, 폴리사이드 구조에서 POCL<sub>3</sub> 확산은 되도록 낮은 온도에서 진행하고 적절한 POCL<sub>3</sub> 확산 조건을 조절하면 게이트 산화막의 신뢰성 특성은 물론 절연 특성의 향상에 상당히 기여할 수 있을 것으로 사료되었다.

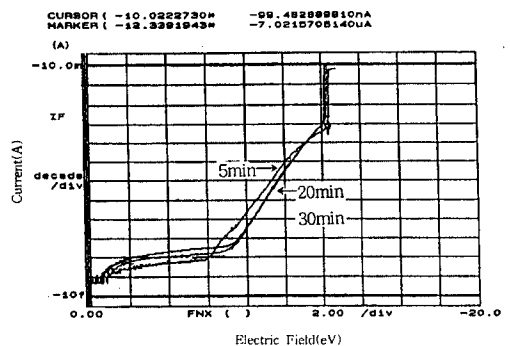


(a) on polysilicon

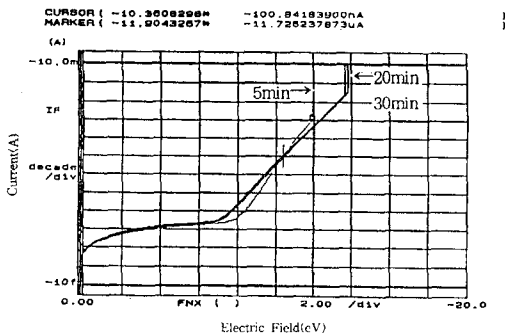


(b) on polycide

그림 7. 전류-전압 특성 on 850°C  
Fig. 7. I-V plot on 850°C.



(a) on polysilicon



(b) on polycide

그림 8. 전류-전압 특성 on 900°C  
Fig. 8. I-V plot on 900°C.

#### IV. 결론

서브마이크론 CMOS 트랜지스터를 비롯하여 MOS 소자에 적용되는 게이트 전극용 구성방법으로 게이트 산화막을 성장하고 다결정 실리콘을 1500Å 증착한 이후 850°C와 900°C에서 POCL<sub>3</sub> 확산 시간을 변화 시킨 상태에서 다결정 실리콘과 접착성이 좋고 비저항이 낮으며 고온에서도 안정된 특성을 갖는 WSi<sub>2</sub> 층을 형성하였다. 본 연구에서 폴리사이드 층 구성시 게이트 산화막의 신뢰성 및 절연특성에 대하여 다음과 같은 특성 결과를 얻었다. 게이트 전극에 일정한 전류밀도를 인가하여 산화막내에 전하를 포획 시키거나 결함을 축적시켜 절연파괴가 일어날때까지의 시간에 대한 cumulative 결과에서는 확산 시간이 짧고 확산온도가 높은 경우 Si/SiO<sub>2</sub> 계면에서 공핍층 영역 폭을 증가 시키거나 결함유발 등에 의하여 산화막의 절연특성이 열화되는 결과를 얻었다. 또한 850°C POCL<sub>3</sub> 확산에서는 30min, 900°C POCL<sub>3</sub> 확산에서는 20min에서 신뢰성 정도가 가장 우수한 결과를 얻을 수 있었다. 이러한 신뢰성의 정도는 WSi<sub>2</sub> 에서 더욱 자세한 정보 특성을 확인 할 수 있었다. 또한 SCTDDB 및 CCST 방법을 통하여 산화막의 절연파괴에 대한 내인성특성 및 외인성특성에 대한 보다 정확한 신뢰성 정보를 얻을 수 있음을 알 수 있었으며 폴리사이드 구조에서의 신뢰성 정도는 적절한 POCL<sub>3</sub> 확산온도와 시간에 크게 의존함을 확인 할 수 있었다. 그리고 Si/SiO<sub>2</sub> 계면에 존재하는 포획 전하량의 분포로부터 다결정 실리콘인 경우 확산온도에 대한 시간 변화에 대하여 포획 전하량의 큰 변화는 측정되지 않았으나 폴리사이드 구조에서는

900°C 확산온도에서 호일 포획 차가 크게 검출되므로 POCL<sub>3</sub> 확산은 되도록 낮은 온도에서 진행 하여야 함을 알 수 있었다. 또한 절연 특성과 누설전류에 대한 측정 결과로부터 폴리사이드 구조에서는 절연파괴전계가 약 2MV/cm 정도 향상된 결과를 얻었으며 POCL<sub>3</sub> 확산시간에 대하여는 850°C 30min, 900°C 20min에서 전체적으로 누설전류나 터널링 지점 및 절연세기 면에서 가장 양호한 특성을 나타 내었다.

이상의 결과들로부터 MOS 소자의 경우 게이트 전극용으로 폴리사이드 공정을 사용할 경우 다결정 실리콘 층의 전극 특성에 대한 최적화가 선행되어야 게이트 산화막의 신뢰성 특성은 물론 절연특성을 확보 할 수 있을 것으로 사료된다.

#### 참 고 문 헌

- [1] Y. Shioya, "Effect of fluorine in chemical vapor deposited tungsten silicide film on electric breakdown", J. Appl. phys., vol. 61, no. 11, pp. 1, 1987.
- [2] C. Y. Lu, "Process limitation and device design tradeoff of self-aligned TiSi<sub>2</sub> ~", IEEE Trans. on electron devices, vol. 38, no. 2, pp. 246, 1991.
- [3] S. Wolf, Silicon processing for the VLSI era, vol. 1, chap. 11, pp. 384, 1986.
- [4] S. J. Hillonius, "Analysis of the gate voltage dependent series resistance of MOSFET'S", IEEE Trans. Electron devices, vol. ED-33, no. 7, pp. 965, 1986.
- [5] B. Ricco, "Characterization of polysilicon-gate depletion in MOS structure", IEEE Electron device letters, vol. 17, no. 3, pp. 103, 1996.
- [6] J. Schmitz "The dependence of the stress of chemical vapor deposited WSi<sub>2</sub> on deposition parameters" J. Electrochem. soc., vol. 141, no. 3, pp. 843, 1994.
- [7] 順黑恭, "Gate 低抵抗化" Semiconductor world vol. 12, pp. 161, 1995.
- [8] H. Noda, "Tunsten gate technology for quartermicron application", J. Appl. phys., vol. 35, no. 2B, pp. 807, 1996.
- [9] C. Hu, "Accelerated testing of SiO<sub>2</sub> reliability", IEEE Trans. on electron de-

vices, vol. 43, no. 1, pp. 70, 1996.

[10] Y. Mashifo, "Formation mechanism of the deformed oxide layer in a tungsten po-

lycide structure", JPN. J. Appl. phys., vol. 35, no. 2A, pp. 584, 1996.

저 자 소 개



嚴 今 鎔(正會員)

1962년4월3일생. 1991년2월 건국대 대학원 전자공학과 졸업. 1991년 1월 ~ 1996년 5월 현대전자 반도체연구소 공정개발담당 재직. 1996년 5월 ~ 현재 건국대 대학원 전자공학과 박사과정 재학중. 현재 성남기능대학 생

산자동화학과 조교수. 주관심분야 반도체 디바이스 및 VLSI 설계

吳 煥 述(正會員) 第33卷 A編 第10號 參照

현재 건국대학교 전자공학과 교수