

論文97-34D-4-14

Field Emitter Array의 3차원 시뮬레이션

(3-Dimensional Simulation of Field Emitter Array)

鄭載勳*, 金瑩勳*, 李竝浩*, 李鍾德*

(Jaehoon Jung, Yeong-hoon Kim, Byoung-ho Lee, and Jong Duk Lee)

요 약

Field Emission Display(FED)의 tip 끝에 인가되는 전계를 해석하기 위하여 3차원 유한요소법 전계해석을 수행하였다. 단일 tip 구조와는 달리 축대칭성이 없기 때문에 3차원 해석이 필요한데, 이로 인해 필요한 많은 계산 메모리를 줄이기 위해 tip 사이의 면에 Neumann 경계조건을 주어서 전체 array의 효과를 고려한 하나의 tip에 대해 시뮬레이션을 시행하였고, 얻어진 전계분포로부터 터널링 전류를 계산하였다. 또한, 제안된 알고리즘의 타당성 검증을 위해 다른 논문의 실험값과의 비교를 하였고, 그 차이에 대해 논하였다.

Abstract

3-dimensional finite element method(FEM) electrical field analysis was performed to obtain electric fields on a field emission display(FED) tip in an array form. Because, unlike a single tip structure, there is no azimuthal symmetry for a tip array, 3D analysis is necessary. To reduce memory requirement the simulation was performed by applying the Neumann boundary condition to the intermediate plane between tips to take the effect of the array on the electric field into account and corresponding current was calculated. To verify our algorithm, comparison between simulation results and experimental data from another paper was made and the difference was discussed.

1. 서 론

최근 Field Emission Display(FED)를 위한 소자 기술이 평판 디스플레이 기술의 하나로서 국내외에서 큰 주목을 받고 활발히 연구되고 있다. FED는 matrix addressing이 가능하고, cold cathode방식이어서 전력소모가 적으며, 고속동작이 가능하고 해상도가 높다는 장점을 갖고 있다. 효율적인 FED tip구조를 만드는 일은 FED용 형광체의 개발과 함께 FED기술의 핵심을 이루는 연구분야이다. Metal-tip FED, diamond film FED 등 여러가지 FED기술이 있으나^[1], 최근에는 반도체 공정이 용이한 Si-based FED가 많이 연구되고 있으며, 특히, tip끝을 가늘게 하여 전자방출효

율을 증대시키기 위한 공정연구가 진행되고 있다^[2,3]. 또한 FEA는 anode의 diaphragm이 휘 때 생기는 tunneling 전류의 변화를 감지하여 압력센서로도 이용되고 있다^[4]. 이러한 공정연구와 함께 시뮬레이션을 통해 원하는 tunneling 전류를 얻기 위한 tip array 설계에 관한 연구도 활발히 진행되고 있다. Tunneling 전류를 계산하기 위해서는 tip의 전계분포를 알아야 하는데 이를 위한 여러 방법들이 제시되고 있다. 하지만 이러한 시뮬레이션은 대부분 단일 tip 구조에 대한 전계해석이어서^[5,6] 실제로 제작되는 tip array에서 tip 간의 간격의 영향 등을 연구하는 데에는 적합하지 않다. 3차원 cone형 FED tip을 축대칭을 이용하여 해석한 경우도 있으나^[7], cone형 tip array를 해석할 때는 전체 array가 축대칭성을 갖지 않기 때문에 이 또한 적용할 수가 없다. 이러한 단점을 보완하기 위하여 anode와 tip사이를 13,500개의 grid로 나누어서 2차원 해석하여 tip array를 고려한 방법도 제안되었으나^[8],

* 正會員, 서울대학교 電氣工學部

(School of Electrical Engineering, Seoul National University)

接受日字:1997年1月3日, 수정완료일:1997年3月25日

이는 수식의 복잡성과 여러가지 가정(tip을 반구로 근사화하고 boundary value를 위해서 tip을 점전하로 모델링한 것), 또한 정확한 계산을 위해서는 많은 계산 시간이 필요한 점 등의 문제가 있다.

본 논문에서는 tip 모양에 대한 어떠한 가정도 하지 않고 2차원 array에 대한 3차원 유한요소법 전계해석을 시행하였다. 제안된 방법의 검증을 위해 시뮬레이션 결과와, 실험값^[9]에 대한 비교를 하고 그것의 결과에 대해 논의한다.

II. 유한요소법을 이용한 전계해석

전하 분포 ρ 에 의한 \vec{D} field는 다음 식을 통해 계산될 수 있다.

$$\nabla \cdot \vec{D} = \nabla \cdot (-\epsilon \nabla \phi) = \rho \quad (1)$$

여기서 전체 전위 ϕ 를 선형근사화하여 요소별로 표시하면 다음과 같다.

$$\phi = \sum_i \sum_{j \in e} N_j^e \phi_j^e \quad (2)$$

전체 시스템 방정식에 식 (2.2)를 대입하여 전체 행렬을 구성하면 다음과 같다. (부록 참고)

$$[K][\phi] = [F] \quad (3)$$

$$\sum_i K_{ij}^e \phi_j = \sum_i f_i^e \quad i = 1, 2, \dots, N \quad (4)$$

여기서, 각 요소별 행렬과 형상함수는

$$K_{ij}^e = \begin{bmatrix} k_{11}^e & k_{12}^e & \dots & k_{14}^e \\ \vdots & \vdots & \ddots & \vdots \\ k_{41}^e & k_{42}^e & \dots & k_{44}^e \end{bmatrix} \quad (5)$$

$$N_j^e(x, y, z) = \frac{1}{6V^e} (a^e + b^e x + c^e y + d^e z) \quad (6)$$

$$V^e = \frac{1}{6} \begin{vmatrix} 1 & 1 & 1 & 1 \\ x_1^e & x_2^e & x_3^e & x_4^e \\ y_1^e & y_2^e & y_3^e & y_4^e \\ z_1^e & z_2^e & z_3^e & z_4^e \end{vmatrix} \quad (7)$$

이다.(부록 참고)

일반적으로 cone형 FED tip array는 그림 1의 (a) 처럼 제작된다. 하나의 pixel내에 tip의 갯수가 많으면 많을수록 전류가 커져서 화면의 밝기가 밝아지는 데 충분한 밝기를 얻기 위해 일반적으로 array의 갯수를

5만개 내외로 제작하고 있다^[9]. 이처럼 충분히 tip의 갯수가 많기 때문에 무한 array라고 가정할 수 있고 그러면 하나의 tip과 그 옆의 tip의 중간 평면에서는 array 방향의 대칭성으로 인해 전계가 z성분(수직성분) 밖에 없다. 이 조건을 전위에 대해 나타내면 $\frac{\partial \phi}{\partial n} = 0$, 즉, 경계면에 수직인 방향으로의 미분이 0이다. 따라서 5만개 내외의 tip array 전부를 해석하는 대신 하나의 tip에 그림 1의 (b)와 같이 옆면들에 Neumann 경계 조건을 주어 전계 해석을 시행하면 되는 것이다. 이러한 방법으로 2차원 array tip에 대해 완전 3차원 유한요소법 전계해석을 시행함으로써 2차원으로는 풀 수 없는 모델을 해석할 수 있고 또한 해석영역이 array 전체에서 하나의 tip으로 축소되기 때문에 요구되는 계산량을 크게 줄일 수 있다.

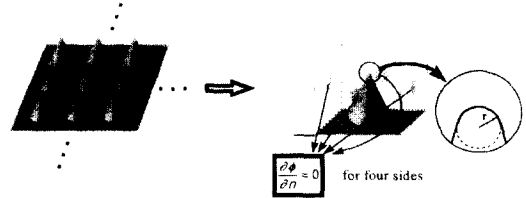


그림 1. FED tip array의 모델링
(a) 실제의 FED tip array (b) 모델링한 하나의 FED tip

Fig. 1. The modeling of FED tip array.
(a) FED tip array (b) Single FED tip deduced by the modeling

III. Tip 간격에 따른 전계의 변화

단일 tip구조에 대해서는 축대칭 유한요소법 전계해석을 통해 메모리와 계산시간을 많이 줄일 수 있다. 하지만 tip array 구조는 축에 대해 대칭이 아니어서 3차원 전계해석이 필요하다. 본 장에서는 II장에서 제안된 방법으로 tip간의 간격을 달리하며 유한요소법 전계 해석을 시행한 결과를 다루고자 한다.

일반적으로 tip 간의 간격이 크면 클 수록 tip 간의 상호작용이 작아져서 tip의 전계가 커지게 된다. 그러나, 방출되는 전자의 밀도를 높이기 위해서는 tip간 간격을 줄여 tip 밀도를 높여야 한다. 따라서, 이러한 두 가지 현상의 trade-off가 존재한다.

해석 모델은 그림 2와 같다. 여기에서 $V = 30 [V]$, $d = 3\mu m$, $h = 4\mu m$, $r = 10nm$ 이며 $s = 7.4, 8.9, 10.4, 14.9\mu m$ 에 대하여 전계 해석을 하였다.

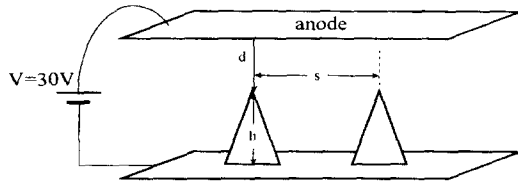


그림 2. 해석 모델의 형상
Fig. 2. Geometry of the model.

그림 3은 $s = 7.4\mu\text{m}$ 일 때의 tip 단면의 등전위 분포인데 tip과 tip사이의 중간면(그림 3에서의 오른쪽 경계선)과 등전위면이 수직임을 볼 수 있다.

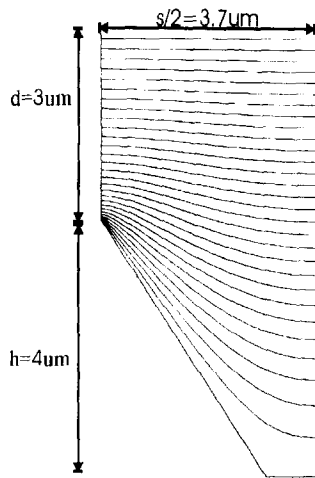


그림 3. tip 단면에서의 등전위 분포
Fig. 3. Equi-potential lines shown on the cross section.

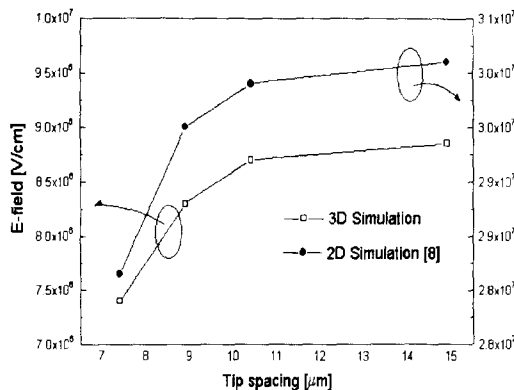
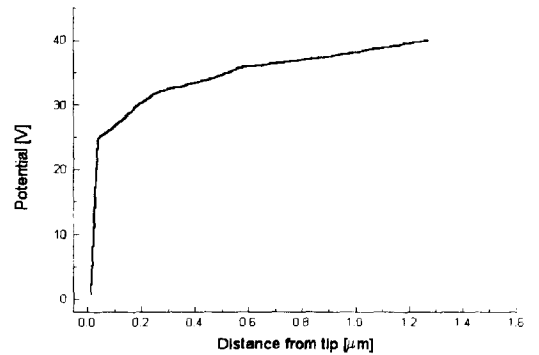


그림 4. Tip 간격에 따른 전계의 변화
Fig. 4. Variation of the field with the tip spacing.

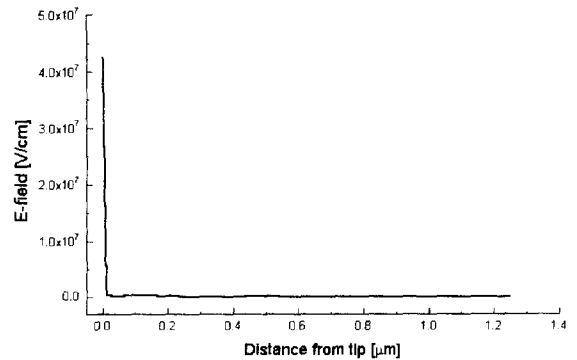
그림 4는 tip 간격에 따른 tip의 전계 분포인데 기존의 논문^[7]에 수록된 모델과의 비교를 나타내고 있다. 여기서 s가 작아짐에 따라 전계가 작아짐을 볼 수 있으며 정확하게 전계값은 같지 않지만 전계변화의 경향은 일치하고 있다.

IV. Tunneling 전류의 계산

보통의 FED tip array는 Si 표준 공정을 이용하여 제작하는데, 이러한 Si tip은 전자 방출의 불안정성, tip의 파괴라는 두 가지의 주된 문제점으로 인하여 Mo-coating하여 제작하기도 한다^[9]. 본 장에서는 이러한 Si tip과 Mo-coated tip의 전계해석과 이를 통한 전류계산을 다루고자 한다.



(a)



(b)

그림 5. Tip에서 anode까지의 전위와 전계분포
(a) 전위 분포 (b) 전계 분포

Fig. 5. Potential distribution and electric field distribution from tip to anode.
(a) Potential distribution (b) Electric field distribution

사용된 파라미터 값들은 $V = 40 [V]$, $d = 1.3 \mu m$, $h = 1.2 \mu m$, $r = 5 nm$, $s = 4.5 \mu m$ 이다. 그림 5는 tip 끝에서 anode까지의 전압분포와 전계분포를 나타낸다. tip 끝에서 전압이 급격하게 상승하여 강한 전계가 인가됨을 알 수 있다. Mo-coating된 것도 전체 구조는 무시할 수 있을 정도의 변화만 있고 재료의 특성이 바뀌는 것이라 할 수 있으므로 전계분포는 거의 바뀌지 않는다. 또한 여러 가지 인가 전압에 대해서 전계는 선형을 나타내므로 다른 모델에 대해서도 전계분포를 알 수 있다.

Mo-coating된 tip에서의 터널링 전류는 다음과 같은 Fowler-Nordheim 식에 의해 계산될 수 있다.

$$J = \frac{AE^2}{\phi^2(y)} \exp\left(-B \frac{\phi^{3/2}}{E} v(y)\right) [A/cm^2] \quad (8)$$

여기에서 $A = 1.54 \times 10^{-6}$, $B = 6.87 \times 10^7$, $y = 3.79 \times 10^{-4} \frac{\sqrt{E}}{\phi}$, $f^2(y) = 1.1$, $v(y) = 0.95 - y^2$ 이다. 한편, Si tip에서 터널링 전류는

$$J_c = q \frac{4\pi mkT}{h^3} \int_0^\infty dE_x \ln\{1 + \exp[(\zeta - E_x)/kT]\} \times \{D(E_x) - [1 - E_m'(E_x)]D(E_x - E_m(E_x))\} \quad (9)$$

에 의해 계산할 수 있다^[10-13].

그림 6은 Si tip과 Mo-coated tip 구조에서의 전계이고 그림7은 이 전계에 의한 터널링전류를 실험치^[9]와 비교한 것이다.

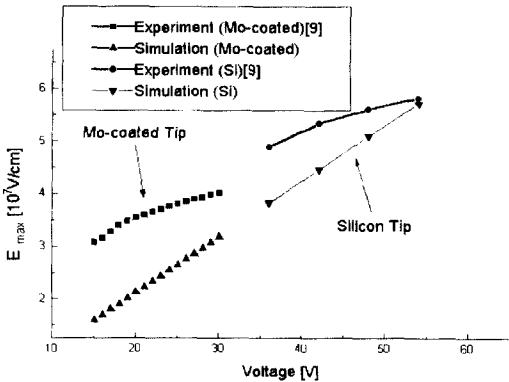


그림 6. Si와 Mo-coating된 tip에서의 전계
Fig. 6. Electric fields of Si tip and Mo-coated tip.

그림 6,7에서 공정상의 이유로 tip 표면이 매끄럽지 않고 인가된 전압에 따라 방출면적이 변하기 때문에

실험값과 계산값이 정확하게 일치하지는 않으나^[17], 계산값은 물질의 선형성과 tip의 정확한 대칭성 등 이상적인 상황을 가정하여 도출된 값이라 할 수 있고 그 변화의 경향은 예측할 수 있게 해준다. 이러한 시물레이션 결과는 어떠한 fitting 파라미터도 사용하지 않은 것으로서, 우수한 결과로 판단된다.

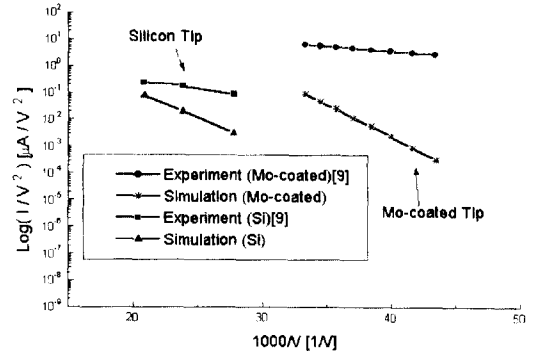


그림 7. Si와 Mo-coating 된 tip 에서의 터널링 전류
Fig. 7. Tunneling currents for Si tip and Mo-coated tip.

V. 결론

본 논문에서는 최근 연구되고 있는 FED 소자 tip array의 2차원적 해석의 어려움을 해결할 수 있는 3차원 유한요소 전계해석을 다루었다. 기존의 2차원 해석 방법으로는 tip과 anode 사이를 여러 평면으로 나누어 해석해야 하고 또한 경계 조건을 알아내기 위해 tip 모양에 여러가지 근사를 해야하는데 반해, 제안된 3차원 유한요소법 전계 해석은 수식이 간단하다는 잇점이 있고 tip 모양에 어떠한 가정도 없이 실험값과 비슷한 변화 추세를 보여주는 결과를 얻을 수 있었다. 특히 짧은 계산시간으로 인하여 여러가지 파라미터를 바꾸어 FED device 를 설계할 때 크게 응용될 수 있을 것이라 판단된다. 전류의 실험값과 계산값이 차이가 나는 것은 전자의 방출면적이 전압에 따라 달라지고 공정상의 문제로 표면이 깨끗하지 못하기 때문이다^[17]. 또한 tip의 반경은 SEM 사진을 찍어 측정하기 때문에 약간의 오차를 가질 수 있으므로 계산값이 실험값과 정확하게 일치하지는 않는다. 본 논문의 시물레이션 결과는 어떠한 fitting 파라미터도 사용하지 않은 것으로서, 우수한 결과로 판단된다. 본 논문에서 제시한 방법은 gate가 추가된 3극 구조에서도 해석영역만 달리하여

적용될 수 있으므로 여러 가지 모양의 FEA 설계에 유용하게 쓰일 수 있을 것이다. 좀 더 정확한 계산을 위해서는 tip과 금속막 사이의 재료적인 특성, effective work function의 변화 등도 고려하여 tunneling 전류를 모델링하여야 할 것이다.

부 록

Gauss의 법칙

$$\nabla \cdot (-\varepsilon \nabla \phi) = \rho \quad (\text{A-1})$$

으로부터

$$\int_{\tau} \nabla \cdot (-\varepsilon \nabla \phi) N_i dv = \int_{\tau} \rho N_i dv, \quad (\text{A-2})$$

즉,

$$\int_{\tau} [-\varepsilon \nabla^2 \phi N_i] dv = \int_{\tau} \rho N_i dv \quad (\text{A-3})$$

을 얻는다. 그런데, $\nabla \cdot (N_i \nabla \phi) = \nabla N_i \cdot \nabla \phi + N_i \nabla^2 \phi$ 이므로

$$(\text{식 (A-3)의 좌변}) = \int_{\tau} \varepsilon \nabla N_i \cdot \nabla \phi dv - \int_{\tau} \varepsilon \nabla \cdot (N_i \nabla \phi) dv \quad (\text{A-4})$$

이다. 여기에서 해석영역의 경계에는 Dirichlet 경계조건과 Neumann 경계조건을 주게 되어서 좌변의 두 번째 항은 $-\int_{\tau} \varepsilon \nabla \cdot (N_i \nabla \phi) dv = -\oint_{\mathcal{S}} \varepsilon (N_i \nabla \phi) \cdot d\vec{S} = 0$ 이 된다. 이는 경계에서 $\nabla \phi \cdot d\vec{S} = 0$ 이 되기 때문이다. 따라서 최종 시스템 방정식은 다음과 같다.

$$\int_{\tau} \varepsilon \nabla N_i \cdot \nabla \phi dv = \int_{\tau} \rho N_i dv \quad (\text{A-5})$$

이제 요소행렬을 얻기 위해 각 요소에서의 ϕ 를 ϕ^e 로 표시하여 다음과 같이 선형근사한다.

$$\phi^e(x, y, z) = \sum_{j=1}^4 \phi_j^e N_j^e(x, y, z) \quad (\text{A-6})$$

여기에서

$$N_j^e(x, y, z) = \frac{1}{6V^e} (a_j^e + b_j^e x + c_j^e y + d_j^e z) \quad (\text{A-7})$$

이며,

$$a_1^e = \begin{vmatrix} x_2^e & x_3^e & x_4^e \\ y_2^e & y_3^e & y_4^e \\ z_2^e & z_3^e & z_4^e \end{vmatrix} \quad a_2^e = - \begin{vmatrix} x_1^e & x_3^e & x_4^e \\ y_1^e & y_3^e & y_4^e \\ z_1^e & z_3^e & z_4^e \end{vmatrix} \quad a_3^e = \begin{vmatrix} x_1^e & x_2^e & x_4^e \\ y_1^e & y_2^e & y_4^e \\ z_1^e & z_2^e & z_4^e \end{vmatrix}$$

$$a_4^e = - \begin{vmatrix} x_1^e & x_2^e & x_3^e \\ y_1^e & y_2^e & y_3^e \\ z_1^e & z_2^e & z_3^e \end{vmatrix} \quad (\text{A-8})$$

$$b_1^e = - \begin{vmatrix} 1 & 1 & 1 \\ y_2^e & y_3^e & y_4^e \\ z_2^e & z_3^e & z_4^e \end{vmatrix} \quad b_2^e = \begin{vmatrix} 1 & 1 & 1 \\ y_1^e & y_3^e & y_4^e \\ z_1^e & z_3^e & z_4^e \end{vmatrix} \quad b_3^e = - \begin{vmatrix} 1 & 1 & 1 \\ y_1^e & y_2^e & y_4^e \\ z_1^e & z_2^e & z_4^e \end{vmatrix}$$

$$b_4^e = \begin{vmatrix} 1 & 1 & 1 \\ y_1^e & y_2^e & y_3^e \\ z_1^e & z_2^e & z_3^e \end{vmatrix}$$

$$c_1^e = \begin{vmatrix} 1 & 1 & 1 \\ x_2^e & x_3^e & x_4^e \\ z_2^e & z_3^e & z_4^e \end{vmatrix} \quad c_2^e = - \begin{vmatrix} 1 & 1 & 1 \\ x_1^e & x_3^e & x_4^e \\ z_1^e & z_3^e & z_4^e \end{vmatrix} \quad c_3^e = \begin{vmatrix} 1 & 1 & 1 \\ x_1^e & x_2^e & x_4^e \\ z_1^e & z_2^e & z_4^e \end{vmatrix}$$

$$c_4^e = - \begin{vmatrix} 1 & 1 & 1 \\ x_1^e & x_2^e & x_3^e \\ z_1^e & z_2^e & z_3^e \end{vmatrix}$$

$$d_1^e = - \begin{vmatrix} 1 & 1 & 1 \\ x_2^e & x_3^e & x_4^e \\ y_2^e & y_3^e & y_4^e \end{vmatrix} \quad d_2^e = \begin{vmatrix} 1 & 1 & 1 \\ x_1^e & x_3^e & x_4^e \\ y_1^e & y_3^e & y_4^e \end{vmatrix} \quad d_3^e = \begin{vmatrix} 1 & 1 & 1 \\ x_1^e & x_2^e & x_4^e \\ y_1^e & y_2^e & y_4^e \end{vmatrix}$$

$$d_4^e = \begin{vmatrix} 1 & 1 & 1 \\ x_1^e & x_2^e & x_3^e \\ y_1^e & y_2^e & y_3^e \end{vmatrix}$$

이다. 따라서 식 (A-5) 과 식 (A-6)에 의하여 요소행렬식은 다음과 같다.

$$k_{ij}^e = \varepsilon^e \int_{\tau} (b_i^e \hat{x} + c_i^e \hat{y} + d_i^e \hat{z}) \cdot (b_j^e \hat{x} + c_j^e \hat{y} + d_j^e \hat{z}) dv \\ = \varepsilon^e (b_i^e b_j^e + c_i^e c_j^e + d_i^e d_j^e) V^e \quad (i, j = 1, 2, 3, 4) \quad (\text{A-9})$$

$$f_i^e = \int_{\tau} \rho^e N_i^e dv \quad (i = 1, 2, 3, 4) \quad (\text{A-10})$$

여기에서 해석영역은 진공이므로 $\rho^e = 0$ 이고, 따라서 $f_i^e = 0$ 이다.

감사의 글

※ 본 연구는 '96년도 교육부 반도체분야 학술연구조성비(ISRC 96-E-1412)에 의하여 연구되었음.

참고 문헌

- [1] 이종덕, "새로운 디스플레이 기술 - FED," 제 1회 한국 반도체 학술대회 논문집, 1994, pp. 407-408
- [2] 고창기, 주병권, 박홍수, 정재문, 이남양, 오명환, 김철주, "Needle-type field emitter를 만들기 위한 실리콘 비등방성 식각에 관한 연구," 제 2회 한국 반도체 학술대회 논문집, 1995, pp.

- 189-190.
- [3] 주병권, 이상조, 박홍우, 고창기, 김성진, 이윤희, 오명환, "전계방출소자의 제조 및 성능향상," *대한전기학회 MEMS 연구회 학술발표회 논문집*, 1996, pp. 35-44
 - [4] H. C. Lee and R. S. Huang, "A theoretical study on field emission array for micro-sensors," *IEEE Trans. Electron Devices*, vol. 39, pp. 313-324, 1992.
 - [5] R. B. Marcus, K. K. Chin, Y. Yuan, H. J. Wang, and W. N. Carr, "Simulation and design of field emitters," in *Proc. 2nd Int. Conf. Vacuum Microelectron.*, July 1989, pp. 77-80.
 - [6] L. Enze, L. Yunpeng, and H. Wenhui, "A general formula to calculate the field intensity on the field emitter," in *Proc. 2nd Int. Conf. Vacuum Microelectron.*, July 1989, pp. 95-99.
 - [7] 안호영, "Numerical analysis of field emitters," Ph.D. dissertation, 서울대학교, pp. 28-29, 1996.
 - [8] H. C. Lee and R. S. Huang, "Simulation and design of field emitter array," *IEEE Electron Device Lett.* vol. 11, no. 12, pp. 579-581, December 1990.
 - [9] H. W. Park, B. K. Ju, Y. H. Lee, J. H. Park and M. H. Oh, "Emission characteristics of the molybdenum-coated si field emitter array," *Jpn. J. Appl. Phys.*, vol. 35, pp. L1301-L 1304, Part 2, no. 10A, 1 October 1996.
 - [10] K. L. Jensen, "Improved Fowler-Nordheim equation for field emission," *J. Vac. Sci. Technol. B* 13(2), pp. 516-521, Mar/Apr 1995.
 - [11] 이병호, 민성욱, 방지훈, 유봉안, "Field emission display tip에서의 방출전류의 모델링: 확장된 FN 터널링 전류식 및 간단한 전계해석 기법의 타당성에 대한 연구," *대한전기학회 MEMS 연구회 학술발표회 논문집*, 1996, pp. 45-54
 - [12] B. Lee, S.-W. Min, J.-H. Bang, D.-S. Hwang, and T.-J. Kwon, "Modeling of tunneling current at the field emission display tips: for non-metallic tips and an analytic method of solving for electric fields," *9th International Vacuum Microelectronics Conference*, St. Petersburg, Russia, 1996, pp. 97-101.
 - [13] 황도성, 이병호, "저항성 박막위에 놓인 전계방출 디스플레이용 microtip 어레이 방출특성의 이론적 해석," *Photonics Conference '96*, 1996, pp. 229-230

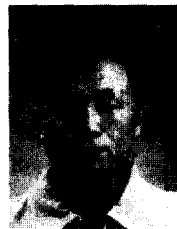
저 자 소 개



鄭 載 勳(正會員)

1994년 2월 서울대학교 전기공학과 졸업(공학사). 1996년 2월 서울대학교 대학원 전기공학과 졸업(공학석사). 1996년 3월 ~ 현재 서울대학교 대학원 전기공학부 박사과정. 주관심 분야는 Display 공학, 광소자 및 광통신.

신.



金 瑩 勳(正會員)

1996년 2월 서울대학교 전기공학부 졸업(공학사). 1996년 3월 ~ 현재 서울대학교 대학원 전기공학부 석사과정. 주관심분야는 Display 공학, 광통신, 홀로그래프.

李 竝 浩(正會員) 第 33 卷 A編 第 7 號 參照
현재 서울대학교 전기공학부 조교수

李 鍾 德(正會員) 第 31 卷 A編 第 11 號 參照
현재 서울대학교 전기공학부 교수