

論文 97-34D-4-5

이중 금속 측면 결정화를 이용한 400°C 다결정 실리콘 박막 트랜지스터 제작 및 그 특성에 관한 연구

(Fabrication and characteristics of poly-Si thin film transistors by double-metal induced lateral crystallization at 400°C)

李 炳 一 *, 鄭 元 哲 *, 金 光 昊 *, 安 平 洙 *, 申 眞 旭 *, 朱 承 基 *

(Byung-Il Lee, Won-Cheol Jeong, Kwang-Ho Kim, Pyung-Su Ahn, Jin-Wook Shin, and Seung-Ki Joo)

요 약

비정질 실리콘의 결정화 온도를 이중금속측면결정화라는 새로운 방법으로 400°C까지 낮출 수 있었다. Ni과 Pd를 증착시킨 부분으로부터 비정질 실리콘이 측면으로 결정화되었고 결정화 속도는 Ni과 Pd의 겹친 정도가 감소하면서 증가하였고 최고 시간당 0.2 μm 이었다. Ni과 Pd를 이용한 이중 금속 유도 측면 결정화(Double-metal Induced Lateral Crystallization : DMILC)를 사용하여 다결정 실리콘 박막 트랜지스터를 400°C에서 제작하였을 때 전자 이동도 38.5 cm^2/Vs , 최소 누설전류 1pA/ μm , Slope 1.4V/dec의 특성을 얻을 수 있었고 Ni과 Pd의 겹친 정도는 결정화 속도에만 영향을 미칠 뿐 박막 트랜지스터의 특성에는 영향을 주지 않았다.

Abstract

The crystallization temperature of an amorphous silicon (a-Si) can be lowered down to 400°C by a new method : Double-metal Induced lateral crystallization (DMILC). The a-Si film was laterally crystallized from Ni and Pd deposited area, and its lateral crystallization rate reaches up to 0.2 $\mu\text{m}/\text{hour}$ at that temperature and depends on the overlap length of Ni and Pd films; the shorter the overlap length, the faster the rate. Poly-Silicon Thin Film Transistors (poly-Si TFT's) fabricated by DMILC at 400°C show a field effect mobility of 38.5 cm^2/Vs , a minimum leakage current of 1pA/ μm , and a slope of 1.4V/dec. The overlap length does not affect the characteristics of the poly-Si TFT's, but determines the lateral crystallization rate.

I. 서 론

AMLCD(Active Matrix Liquid Crystal Display)는 작은 소비 전력, 휴대의 간편성으로 널리 각광 받고 있는 평판 표시 소자로, 최근 그의 대면적화와 고속화를 위한 연구가 활발히 진행되고있다. 고속화를 위해

기존에 사용되어온 비정질 실리콘 박막 트랜지스터(amorphous-Si Thin Film Transistors: a-Si TFT's)를 속도가 빠르고 구동회로와 화소 트랜지스터를 한 기판 위에 형성할 수 있는 다결정 실리콘 박막 트랜지스터(polycrystalline-Si TFT's: p-Si TFT's)로 대체하여야하며 대면적화를 위해서는 기존에 사용되어온 석영 기판으로는 불가능하여 저가의 유리기판을 사용해야 한다. 가장 많이 사용되는 p-Si TFT's의 제작 방법은 비정질 실리콘을 기판에 형성한 뒤 다결정화시켜 p-Si TFT를 제작하는 방법이며 결정화시키는 방

* 正會員, 서울大學校 材料工學部
(Division of Materials Science and Engineering,
College of Engineering Seoul National University)
接受日字:1996年11月22日, 수정완료일:1997年4月7日

법으로는 600°C 정도의 비교적 고온에서 장시간 열처리하는 고상 결정화 (Solid Phase Crystallization, SPC)^[11]와 레이저를 이용한 결정화(Laser Crystallization)^[12] 등이 있다.

고상 결정화의 경우는 유리 기판을 사용하기에는 불가능한 600°C의 이상의 고온이 필요하고 레이저의 경우는 TFT의 특성이 우수하다는 장점에 반해 대면적화 시 불균일성이 문제로 남아 있다. 따라서 유리 기판 위의 다결정 실리콘 TFT 형성은 비정질 실리콘의 결정화 온도를 낮추는데 초점이 맞추어 지고 있다. 이러한 연구 중에 주목할 만한 것은 Ag^[13], Au^[14], Pd^[15], Ni^[16], Ti^[17] 등의 금속을 비정질 실리콘과 반응시키면 결정화 온도를 낮출 수 있다는 것이며 이를 금속 유도 결정화 (Metal Induced Crystallization : MIC)라 한다.

이 방법은 실리콘 내부에 금속 이온이 함유되어 실리콘의 반도체적 특성을 열화 시키는 단점을 갖고 있어 반도체 소자로 적용하지 못하였다. 최근 금속 유도 결정화와는 다른 '금속 유도 측면 결정화 (Metal Induced Lateral Crystallization : MILC)'가 보고되었는데 이는 Ni 박막을 비정질 실리콘 표면에 부분적으로 형성시키고 열처리하면 금속을 입힌 부분뿐만 아니라 그 측면으로도 결정화가 진행되며 측면으로 성장한 결정은 금속 오염이 없어 이를 이용하면 500°C의 공정 온도에서 높은 전자 이동도를 보이는 박막 트랜지스터가 보고되어졌다^[8].

그러나 유리 기판을 사용하기 위해서는 더욱 낮은 결정화 온도가 요구되고 있다. MILC 현상을 보이는 또 하나의 금속으로는 Pd이 보고되고 있는데^[9] 결정화 온도가 400°C 정도로 낮고 결정화 속도가 빠른 반면 결정화된 Si 내부에 micro-twin 등의 미세 결함이 많아 TFT를 제작할 경우 Ni-MILC에 의한 TFT에 비해 낮은 전자 이동도 및 On/Off current ratio 등의 특성을 보인다.

본 연구에서는 Ni-MILC에 비해 빠른 결정화 속도와 낮은 결정화 온도 특성을 보이는 Pd을 Ni과 함께 이용하여, 측면 결정화 온도를 Pd에 의한 결정화 온도로 낮추면서 TFT의 특성은 Ni-MILC에 의한 TFT 특성을 얻고자 하였다. Ni과 Pd을 함께 이용한 이중금속측면결정화(Double-Metal Induced Lateral Crystallization : DMILC) 양상과 이러한 방법을 이용하여 제작된 TFT의 특성을 고찰하였다.

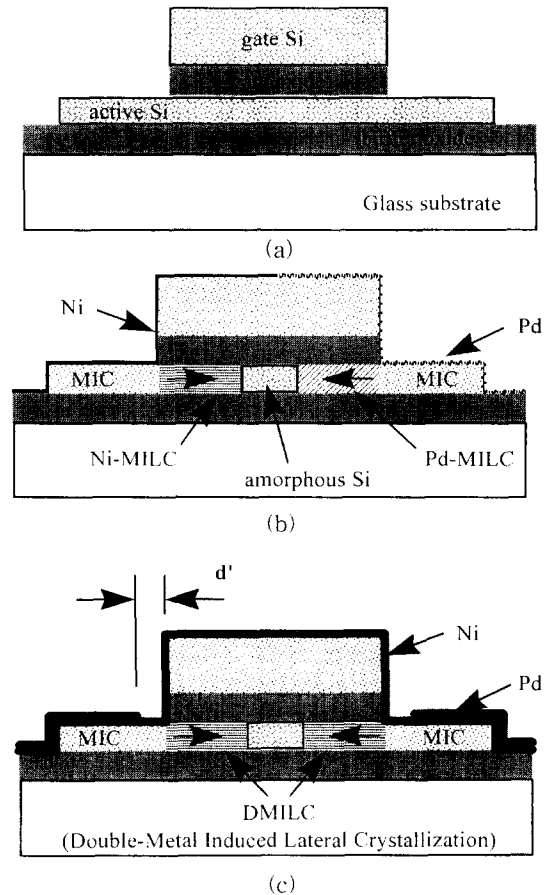


그림 1. DMILC(Double-metal Induced Lateral Crystallization)에 의한 다결정실리콘 박막 트랜지스터의 제작 방법. 게이트 부분과 소오스/드레인 부분은 MIC(Metal Induced Crystallization), 게이트 밑부분의 채널영역은 DMILC에 의해 결정화된다.

Fig. 1. Schematic illustration of process steps for poly-Si TFT's by DMILC. The gate and source/drain regions are crystallized by MIC and the channel area under the gate by DMILC.

II. 실험 방법

그림 1에 이중 금속 유도 측면 결정화를 이용한 박막 트랜지스터 제작 방법을 나타내었다. ECR CVD를 이용하여 상온에서 SiH₄/O₂ 분위기에서 1000 Å 두께의 SiO₂를 Corning 7059 기판에 형성시킨 후 비정질 실리콘을 1000 Å 두께로 Si₂H₆ 개스를 사용하여 250°C에서 PECVD 장비로 증착하였다. Active 영역을 사진 감광 및 RIE로 패터닝하고 게이트 절연막을 형성하

기 위해 기판 가열 없이 ECR CVD 장치에서 1000Å 두께의 실리콘 산화막을 형성하였다. Active Si과 같은 방법으로 게이트 실리콘을 증착한 뒤 패터닝 후 소오스/드레인 영역 위의 실리콘 산화막을 불산으로 제거한 뒤 그림 1(b)와 같이 얇은 두께(50Å)의 Ni 박막을 lift-off 방법을 이용하여 소오스/드레인 중 한쪽에만 형성한 뒤 다시 다른 한쪽에 같은 방법으로 50Å 두께의 Pd를 형성하였다.

또 다른 TFT 형성 방법으로 그림 1(c)와 같이 같은 두께의 Ni 박막을 마스크 작업 없이 전면에 증착한 뒤 lift-off 방법을 이용하여 게이트로부터 일정한 거리를 띄워 50Å 두께의 Pd를 증착하였다. 소오스/드레인과 게이트 영역에 이온 질량 도핑 장치(Ion Mass Doping System)에서 H₂/PH₃(95/5) 개스로 15KV의 가속전압으로 P 이온을 주입하였다. 열처리하는 수소 분위기, 400°C의 온도에서 시간에 따라 열처리한 후 소자 표면의 Ni과 Pd을 HNO₃/HCl(1/5)의 용액으로 제거하였다. 측면 결정화 거리는 광학 현미경을 사용하여 측정하였고 전기적 측정을 위하여 알루미늄 증착, 패터닝 후 375°C, 수소 분위기에서 열처리한 후 소자 특성을 분석하였다. 별도의 수소화 처리는 하지 않았다.

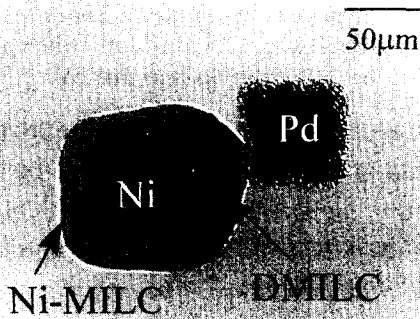


그림 2. Ni과 Pd에 의한 DMILC 현상. Pd를 마주보는 Ni이 증착된 면에서 측면으로의 결정화 거리가 증가된 것을 볼 수 있다.
 Fig. 2. DMILC phenomenon using Ni and Pd thin films. Lateral crystallization from Ni pad edge toward Pd pad is enhanced.

III. 결과 및 고찰

그림 2는 비정질 실리콘 표면 위에 각각 다른 부분에 Ni과 Pd를 부분적으로 형성한 후 500°C에서 5시간 열처리하였을 때의 Nomarski 광학 현미경 사진으로

Ni이 증착된 부분으로부터 측면으로 비정질 실리콘이 결정화되는데 Pd를 마주보는 면에서 빠른 측면 결정화 양상을 관찰할 수 있다.

Ni이나 Pd에 의한 MILC는 MIC에서와 같이 NiSi₂와 Pd₂Si의 형성에 의해 결정화 온도가 낮아지고 이들 실리사이드가 비정질 실리콘 박막 쪽으로 전진하면서 측면으로 결정화시키는 것을 TEM 분석을 통하여 확인하였다. 특히 Pd에 의한 MILC (Pd-MILC)의 경우 Pd₂Si는 격자 상수가 a=13.055Å, c=27.490Å^[10]으로 단위 부피의 Pd₂Si 형성 시 0.47만큼의 실리콘 원자만이 Pd₂Si의 형성에 포함되고 0.53만큼의 실리콘은 반응하지 않고 비정질 실리콘 기지로 밀려나게 되어 비정질 실리콘 박막 내에 압축 응력이 발생하게 된다. 이러한 압축응력은 비정질 실리콘이 결정화되면서 4%정도의 부피 축소를 일으킬 때 유발되는 인장 응력을 보상하면서 결정화 에너지를 낮춘다. Pd-MILC 성장 속도는 형성시킨 Pd간의 거리가 가까워질수록 증가하는 것을 관찰할 수 있는데 이는 Pd간의 거리가 가까워질수록 압축 응력의 크기가 커지므로 성장 속도가 증가하는 것으로 설명된다. Ni에 의한 MILC (Ni-MILC)의 경우에는 결정화 시 형성되는 CaF₂ 구조의 NiSi₂^[11]와 Diamond 구조의 Si과의 격자 불일치도가 0.4%이고 각각의 단위 격자내의 Si의 갯수가 똑같이 8개이므로 NiSi₂ 형성 시 부피 변화에 의한 응력은 발생하지 않는다. 따라서 Ni-MILC의 경우에는 NiSi₂를 촉매로 하여 비정질 실리콘과 결정질 실리콘의 자유에너지 차이만이 결정화 구동력이 된다. 그러나 본 실험과 같이 Ni과 함께 Pd를 형성시킨 경우에는 Pd에 의해 형성된 압축응력이 Ni MILC의 결정화 구동력에 더하여져 Pd-MILC의 경우와 같이 Ni과 Pd 간의 거리가 가까워질수록 Pd-MILC는 물론 Ni-MILC 성장 속도가 증가되는 것으로 생각된다. 이러한 Pd과 Ni을 이용한 이중 금속 유도 측면 결정화(Double-Metal Induced Lateral Crystallization : DMILC)는 성장 속도의 증가뿐만 아니라 결정화 온도를 낮추는데, 그림 1(b)와 같이 TFT 구조 중 소오스/드레인의 한쪽에 Ni을 다른 한쪽에 Pd를 증착하여 채널부분을 결정화 할 경우 Pd이 증착된 부분에서 결정화가 빨리 일어나 전기적 특성을 좌우하는 채널 영역에서의 결정화는 Pd-MILC에 의해 대부분 이루어진다.

Pd에 의해 결정화된 실리콘은 그 내부에 많은 micro-twin 등의 결함을 갖고 있어^[9] 그림 3과 같이 낮은

전자 이동도, 낮은 On/Off 전류비를 보인다. 따라서 채널 부분은 Ni에 의한 측면결정화를 유발하도록 해야 하므로 그림 1(c)와 같은 구조를 고안하였다.

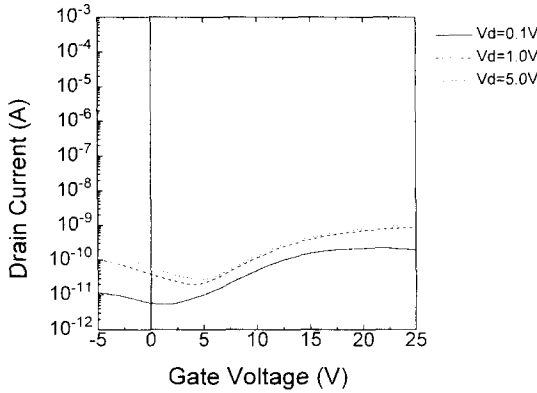


그림 3. Overlap 길이가 0 μm 일 때 DMILC에 의해 제작된 다결정 실리콘 TFT의 특성. 400°C에서 35시간 동안 열처리하였고 소자의 크기는 폭 30 μm , 길이 7 μm 임.

Fig. 3. Characteristics of poly-Si TFT fabricated by DMILC method which is illustrated in figure 1(b). The overlap length was 0 μm and an annealing was carried out at 400°C for 35hours. The width and length of the TFT is 30 μm and 7 μm , respectively.

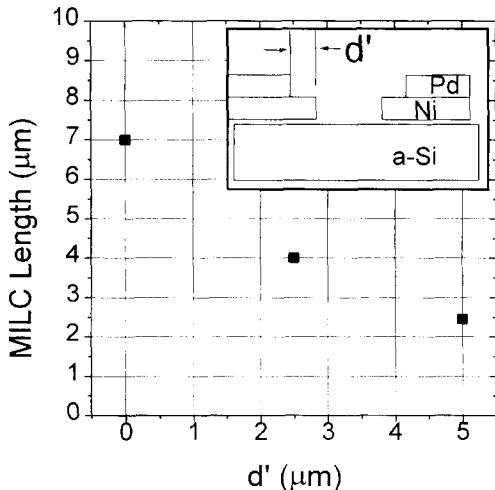


그림 4. 400°C에서 35시간 동안 열처리하였을 때 Overlap 길이, d'에 따른 DMILC 길이. Overlap 길이가 작을수록 DMILC 길이가 증가한다.

Fig. 4. DMILC length from the edge of Ni film by an annealing at 400°C for 35hours. d' is a length of overlap between Ni and Pd films. The shorter the overlap length, the larger the DMILC Length.

400°C에서 35시간 열처리했을 때 게이트 측면으로부터 Pd를 증착시킨 거리 d'에 따른 측면 결정화 거리를 그림 4에 나타내었다.

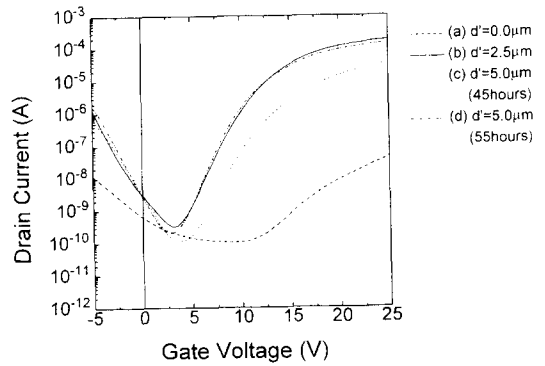


그림 5. 400°C, 35시간의 열처리에 의해 제작된 DMILC TFT의 I-V 특성. overlap 길이는 (a)0 μm , (b)2.5 μm (c)5.0 μm (45시간 열처리) (d) 5.0 μm (55시간 열처리)이며 크기는 폭 30 μm , 길이 7 μm , 그리고 드레인 전압은 5V이었다.

Fig. 5. I-V characteristics of the n-channel poly-Si TFT fabricated by DMILC at 400°C. The overlap length of d' was varied as (a)0 μm , (b)2.5 μm , (c)5.0 μm (annealed for 45hours) and (d) 5.0 μm (annealed for 55hours). The size of the transistors is 30 μm /7 μm (width/length), and the drain voltage was 5V.

d'=0.0 μm 일 때 즉 마스크 공정 없이 Ni과 Pd를 순차적으로 증착했을 때가 측면 결정화 길이가 7 μm 로 가장 많이 일어났으나 이때 채널 영역에서의 결정화 모양은 Ni-MILC 형상과 Pd-MILC 형상이 혼합된 모습을 보였고 d'=2.5 μm , 5.0 μm 일 때는 Ni-MILC와 같은 결정화 양상만을 보인다. 게이트 부분은 Ni만이 증착되어있는데 이러한 경우에는 약 30시간의 결정화 열처리에 의해 MIC가 완료되어 게이트 실리콘의 결정화가 이루어진다. Ni을 소오스/드레인 전 영역에 증착시킨 후 Pd를 게이트로부터 2.5 μm 의 거리를 두고 증착시킨 후 (d'=2.5 μm) 결정화시키면 게이트 한쪽 면으로부터 채널 안쪽으로 4 μm 의 측면 결정화를 보였는데 이는 채널의 길이가 8 μm 이하인 소자의 채널 영역이 모두 결정화된다는 것을 말하며, d'=5.0 μm 일 때는 한쪽으로부터 2.5 μm 의 측면 결정화가 이루어져 5 μm 이하의 채널 길이를 가진 소자의 채널 영역이 모두 결정화된다는 것을 말한다. 이렇게 게이트로부터

일정거리 d' 만큼 거리를 띄우는 DMILC에서는 게이트 옆부분의 Ni 만이 증착된 부분, 즉 d' 부분에서 Ni 에 의한 금속유도결정화(Ni-MIC)가 MILC보다 먼저 일어나므로 d' 뒷부분 증착된 Pd에 의한 측면 결정화가 결정화된 실리콘 막을 통해 진행되지 못하고 단지 소오스/드레인 부분에서의 결정화 및 응력 발생만을 일으키기 때문으로 생각된다. 따라서 d' 부분에서의 Ni-MIC 및 Ni-MILC만이 채널 영역으로 성장이 일어난다.

그림 5에 d' 의 길이가 (a)0.0 μm , (b)2.5 μm 그리고 (c,d)5.0 μm 로 제작된 $W=30\mu\text{m}$, $L=7\mu\text{m}$ 크기의 소자를 400 $^{\circ}\text{C}$ 에서 열처리하였을 때 드레인 전압(V_d) 5V에서의 I-V 특성을 나타내었다. d' 의 길이가 0.0 μm 일 때(a) 그림 3과 비교하면 약간 개선된 소자 특성을 보이나 역시 Pd-MILC 만으로 측면결정화를 이룬 소자의 특성과 비슷한 특성을 보이고 있다. 이는 앞서 설명한 바와 같이 측면 결정화된 영역이 Ni-MILC와 Pd-MILC 양상이 혼합되어 소자 특성도 역시 Pd만으로 결정화시킨 소자와 비슷한 특성을 보이는 것이다. $d'=2.5\mu\text{m}$ 로 제작된 소자(b)를 400 $^{\circ}\text{C}$ 에서 35시간 열처리하였을 때 게이트 부분 즉 Ni이 증착된 영역에서의 면저항은 400 Ω/\square , Ni과 Pd이 증착된 소오스/드레인 영역에서의 면저항은 900 Ω/\square 로 되어 Ni-MILC에 의한 500 $^{\circ}\text{C}$ 공정^[12]에서와 결정화와 함께 도펀트의 활성화가 동시에 이루어진다. 이때 소자의 특성은 전자 이동도 38.5 cm^2/Vs , $V_d=1\text{V}$ 에서의 최소 누설전류 1pA/ μm , on/off 전류비 7×10^5 이었으며 Slope은 1.4V/dec이었다. 같은 온도에서 열처리 시간을 10시간 추가하여도 특성 변화는 관찰되지 않는데 이는 이 온도에서 채널 영역이 전부 결정화되면 더 이상의 특성 변화를 보이지 않는 것을 나타낸다. 400 $^{\circ}\text{C}$ 에서 DMILC로 형성시킨 TFT의 전자 이동도, Slope 등의 특성은 600 $^{\circ}\text{C}$ 에서 고상 결정화 방법으로 제작한 소자^{[13], [14]}의 전자 이동도 20~40 cm^2/Vs , Slope 1~1.5V/dec와 비교하여도 비슷한 결과를 보이는 것이다. 이러한 전기적 특성으로부터 DMILC에 의해 채널 영역이 400 $^{\circ}\text{C}$ 에서도 우수한 전기적 특성을 가진 결정화된 실리콘을 형성할 수 있다는 것을 보여준다.

$d'=5.0\mu\text{m}$ 인 소자를 35시간 열처리할 경우 $d'=0.0\mu\text{m}$ 의 경우(a)와 비슷하게 나타나다 10시간 추가 열처리 할 경우(c) On 전류와 slope가 크게 증가한다. 35시간 열처리 후 투명한 유리기관의 뒷면으로 채널

부분을 관찰한 결과 채널 부분이 결정화가 완료되지 않았고 10시간 추가 열처리 후에도 역시 채널 가운데 부분의 약 1 μm 정도 길이가 결정화되지 않은 비정질 실리콘이 남아 있는 것을 확인하였고 이 때문에 낮은 전자 이동도와 낮은 On 전류를 보이는 것이다. $d'=5.0\mu\text{m}$ 인 소자를 10시간 추가 열처리하여 총 55시간 열처리 한 경우(d) $d'=2.5\mu\text{m}$ 로 제작된 소자(b)의 특성과 동일한 특성을 갖게 되는 것을 보여주고 있는데 이로부터 d' , 즉 게이트로부터 증착시킨 Pd 박막과의 거리는 채널 부분의 결정화 속도에만 관계되고 채널 부분의 결정화가 완료되면 소자 특성에는 영향을 주지 않는다는 것을 나타낸다. 역방향, 즉 게이트에 부전압(negative voltage)를 인가했을 때 Ni-MILC^[8]에 의한 소자나 기존의 SPC^[12] 방법에 의한 소자보다 누설전류가 큰 것은 해결해야할 문제로 남아있다. 채널 영역의 결정화 정도, 즉 소오스/드레인으로부터 채널 영역으로의 결정화 길이와 결정화되지 않고 비정질 실리콘으로 남아있는 길이 비율에 따른 소자의 특성은 그림 6에 나타낸 것과 같이 $d'=2.5\mu\text{m}$ 로 제작된 소자를 400 $^{\circ}\text{C}$ 에서 35시간 열처리한 후 채널 길이에 따른 소자 특성을 측정함으로써 확인 할 수 있었다.

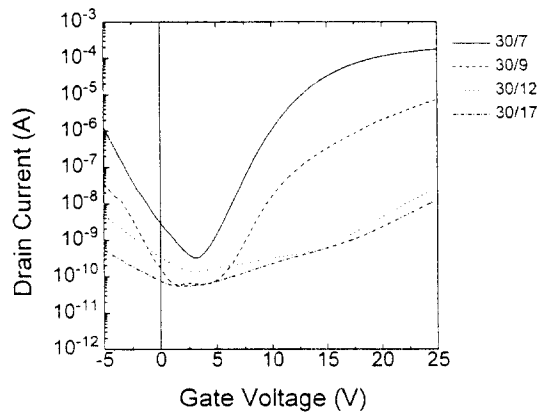


그림 6. Overlap 길이가 2.5 μm 일 때 DMILC를 이용하여 400 $^{\circ}\text{C}$ 에서 35시간 열처리한 경우 채널 길이에 따른 I-V 특성비교, 드레인 전압은 5V이었고 채널길이는 그림에 표시되어있습.

Fig. 6. I-V characteristics of the transistors fabricated at 400 $^{\circ}\text{C}$ for 35hours with respect to channel length. The overlap length of the transistors is 2.5 μm and drain voltage was 5V. The channel lengths are indicated in the figure.

400 $^{\circ}\text{C}$ 에서 35시간 열처리하면 한쪽으로부터 4 μm 측

면 결정화가 일어나므로 채널 길이가 $8\mu\text{m}$ 이상인 소자는 채널 부분의 결정화가 완료되지 않는다. 채널 길이가 $8\mu\text{m}$ 이상인 소자는 채널 부분이 완전히 결정화되지 않고 채널 길이가 증가할수록 비정질 실리콘의 길이 비율이 상대적으로 커지면서 전자 이동도와 On 전류가 감소하는데 채널 길이의 증가에 의한 효과보다 훨씬 큰 폭으로 감소하는 것을 볼 수 있다. 이로부터 $d'=5.0\mu\text{m}$ 일 때 열처리 시간에 따른 특성 변화가 채널 부분에서 결정화가 되지 않고 남아 있는 비정질 실리콘에 의한 것임을 확인할 수 있었다.

IV. 결 론

Ni과 Pd 박막을 이용하여 비정질 실리콘의 결정화 온도를 400°C 로 낮출 수 있었고 측면으로의 결정화 속도는 최고 $0.2\mu\text{m}/\text{시간}$ 이었다. 측면으로의 결정화 속도는 Ni 박막과 Pd 박막의 overlap 정도에 따라 변하였고 overlap이 작을수록 측면으로의 결정화 속도는 증가하였다. Overlap이 없이 Ni과 Pd을 연속적으로 증착하여 열처리한 경우 측면으로의 결정화는 Ni-MILC와 Pd-MILC의 혼합상으로 되어 이를 TFT에 이용할 경우 낮은 전자이동도와 낮은 Slope을 보였다. Ni과 Pd의 overlap 이 $2.5\mu\text{m}$ 일 때 400°C 에서 35시간의 열처리에 의해 제작된 poly-Si TFT의 특성은 전자 이동도 $38.5\text{cm}^2/\text{Vs}$, $V_d=1\text{V}$ 에서의 최소 누설전류 $1\text{pA}/\mu\text{m}$, on/off 전류비 7×10^6 이었으며 Slope은 $1.4\text{V}/\text{dec}$ 이었다.

감사의 글

* 본 연구는 1996년도 한국디스플레이조합과 과학재단의 우수연구센터인 서울대학교 신소재 박막가공 및 결정성장 연구센터의 연구비지원으로 수행되었습니다.

참 고 문 헌

[1] K. Nakazawa, "Recrystallization of amorphous silicon films deposited by low pressure chemical vapor deposition from Si_2H_6 gas," *J. Appl. Phys.* 69(3), 1703, 1991.
[2] H. Kuriyama, S. Kiyama, S. Noguchi, T.

Kuwahara, S. Ishida, T. Nohda, K. Sano, H. Iwata, S. Tsuda and S. Nakano, "High mobility poly-Si TFT by a new laser annealing method for large area electronics," *IEDM 1991 Tech. Dig.*, 563, 1991.
[3] G. Ottaviani, D. Sigurd, V. Marrello, H. W. Mayer, and H. O. McCaldin, "Crystallization of Ge and Si in metal films. I," *J. Appl. Phys.* 45(4), 1730, 1974.
[4] L. Hultman, A. Robertsson, H. T. G. Hentzell, and I. Eugstrom, "Crystallization of amorphous silicon during thin-film gold reaction," *J. Appl. Phys.* 62, 3647, 1987.
[5] R. Kakkad, G. Liu, and S. J. Fonash, "Low Temperature Selective crystallization of amorphous silicon," *J. Non-Crystalline Solids*, 115, p. 66, 1989.
[6] Y. Kawazu, H. Kudo, S. Onari, and T. Arai, "Low Temperature Crystallization of Hydrogenated Amorphous Silicon Induced by Nickel Silicide Formation," *Jpn. J. Appl. Phys.* 29, 2698, 1990.
[7] R. J. Nemanichi, R. T. Fulks, B.L. Stafford, and H.A. Vanderplas, "Initial reactions and silicide formation of titanium on silicon studied by Raman spectroscopy," *J. Vac. Sci. Technol.* A3, (1985), 938.
[8] S.W. Lee, and S.K. Joo, "Low temperature poly-Si thin film transistor fabrication by metal-induced lateral crystallization," *IEEE Electron Device Lett.* 17(4), 160, 1996.
[9] S.W. Lee, Y.-C. Jeon, and S.K. Joo, "Pd induced lateral crystallization of amorphous Si thin films," *Appl. Phys. Lett.*, 66(13), 1671, 1995.
[10] K. Maex and M. van Rossum, *Properties of Metal Silicides*, INSPEC publication, p.8, 1995.
[11] R.W.G. Wyckoff, *Crystal Structures* 2nd Ed. vol. 1, Wiley, New York, p. 359, 1978.
[12] S.W. Lee and S.K. Joo, "Low temperature dopant activation and its application to polycrystalline silicon thin film transistors," *J. Appl. Phys. Lett.*, 1996 to be published.

- [13] R.A.Ditizio and S.J.Fonash, "Examination of the optimization of thin film transistor passivation with hydrogen electron cyclotron resonance plasmas." *J. Vac. Sci. Technol.* A10(1), p. 59, 1992.
- [14] T.W. Little, K.-I. Takahara, H.Koike, T.Nakazawa, I.Yudasaka and H.Ohshima, "Low temperature poly-Si TFT's using solid phase crystallization of very thin films and an electron cyclotron resonance chemical vapor deposition gate insulator." *J. J. Appl. Phys.* vol. 30, no. 12B, p. 3724, 1991.

 저 자 소 개

李 炳 一(正會員) 第 33卷 A編 第 9號 參照

金 光 昊(正會員)

1969년 7월 16일생. 1995년 2월 홍익대학교 금속재료공학과 졸업(공학사). 1996년 3월 ~ 현재 서울대학교 재료공학부(전자재료) 석사과정 재학중. 주관심분야는 TFT-LCD, 반도체 소자제조공정, 강유전체 박막등임.

申 眞 旭(正會員)

1970년 11월 18일생. 1996년 2월 경북대학교 금속공학과 졸업(공학사). 1996년 3월 ~ 현재 서울대학교 재료공학부(전자재료) 석사과정 재학중. 주관심분야는 TFT-LCD, 반도체소자 제조공정, 박막배터리, electrochromism 등임.

鄭 元 哲(正會員)

1973년 12월 12일생. 1996년 2월 서울대학교 금속공학과 졸업(공학사). 1996년 3월 ~ 현재 서울대학교 재료공학부(전자재료) 석사과정 재학중. 주관심분야는 TFT-LCD, 반도체 소자제조공정, 박막 Inductor, HRAM 등임.

安 平 洙(正會員)

1972년 12월 17일, 1995년 8월 연세대학교 금속공학과 졸업(공학사). 1996년 3월 ~ 현재 서울대학교 재료공학부 석사과정 재학중. 주관심분야는 TFT-LCD, 반도체 소자제조공정, Li 2차전지 등임.

朱 承 基(正會員) 第 31卷 A編 第 11號 參照

현재 서울대학교 재료공학부 교수