

論文97-34D-3-7

# 10-Gb/s 광통신시스템을 위한 GaAs HBT IC의 설계 및 제작

## (Design and Fabrication of GaAs HBT ICs for 10-Gb/s Optical Communication System)

朴盛鎬\*, 李泰雨\*, 金永碩\*\*, 奇鉉哲\*\*\*, 宋基文\*\*\*\*, 朴文平\*, 片廣毅\*

(Sung Ho Park, Tae-Woo Lee, Young Seok Kim, Hyun Chul Kie, Kie-Moon Song, Moon Pyung Park, and Kwang Eui Pyun)

### 요 약

본 연구에서는 10 Gb/s 광통신시스템을 위한 핵심적인 4종류의 IC를 설계 및 제작하고 그 특성을 평가하였다. AlGaAs/GaAs HBT를 사용하여 laser diode 구동기, 전치증폭기, 제한기능 증폭기를 제작하였으며, 또한 GaInP/GaAs HBT를 사용하여 AGC 증폭기를 제작하였다. SPICE를 이용한 적정화된 회로설계와 일련의 안정된 MMIC 제작공정을 통해 11.5 GHz의 LD 구동기, 10.5 GHz의 전치증폭기, 7.2 GHz의 AGC 증폭기, 10.3 GHz의 제한기능 증폭기를 제작하였다.

### Abstract

Design and performance of principal four ICs for the 10 Gb/s optical communication system are presented. AlGaAs/GaAs HBTs are basic devices to implement a laser diode driver, a pre amplifier, and a limiting amplifier, and GaInP/GaAs HBTs are used for an AGC amplifier. We fabricated 11.5 GHz LD driver, 10.5 GHz pre amplifier, 7.2 GHz AGC amplifier, and 10.3 GHz limiting amplifier, using the optimized circuit design and the stabilized MMIC fabrication process.

### 1. 서 론

정보화 사회로의 급속한 발전이 이루어지면서 멀티

미디어와 실시간 정보교환 등 통신 서비스에 대한 소비자들의 요구도 다양화 및 고급화되어 가는 추세이며, 따라서 대량의 정보를 신속하게 전달할 수 있는 넓은 대역폭의 고속 정보통신망 확보가 매우 중요한 과제로 부각되고 있다. 이러한 목적으로 최근 광대역 종합통신망(B-ISDN: Broadband Integrated Service Digital Network)을 구현하기 위해 10-Gb/s 이상의 전송 속도를 갖는 초고속 광통신시스템에 대한 연구가 전세계적으로 활발히 진행중이다.<sup>1)-5)</sup> 그 실현을 위해서는 시스템을 구성하는 핵심 부품의 개발이 선행되어야 한다.

현재 직접변조 방식의 송신부를 갖는 10-Gb/s 광통신시스템의 일반적인 구성은 그림 1과 같다. 송신부는 다중화기(MUX), LD(Laser Diode) 구동기, LD로 이루어지며, 수신부는 PD(Photo Diode), 저잡음 전치증폭기(preamplifier), 자동이득제어(AGC: Automatic

\* 正會員, 韓國電子通信研究院 化合物半導體研究部  
(Compound Semiconductor Department, ETRI)

\*\* 正會員, 忠北大學校 電氣電子工學部  
(School of Electrical and Electronic Engineering, Chungbuk University)

\*\*\* 正會員, 暎園大學校 電子工學科  
(Dept. of Electronic Engineering, Kyungwon University)

\*\*\*\* 正會員, 建國大學校 應用物理學科  
(Dept. of Applied Physics, Kun-kuk University)

※ 본 연구는 HAN/B-ISDN의 연구비 지원으로 수행되었습니다.

接受日: 1996年7月26日, 수정완료일: 1997年3月7日

Gain Controlled) 증폭기, 제한 증폭기(limiting amplifier), 판별회로(decision circuit), 클럭재생회로(clock recovery circuit) 및 역다중화기(DMUX) 등으로 구성된다. 이러한 응용을 위하여 HBT(Heterojunction Bipolar Transistor) 소자는 Si 바이폴라나 GaAs MESFET(Metal-Semiconductor Field Effect Transistor)에 비하여 포토리소그라피 공정기술상의 큰 제약없이 보다 높은 고속 및 고주파특성을 얻을 수 있고, HEMT(High Electron Mobility Transistor)에 비해서는 균일한 소자 동작전압, 대전류 구동능력, 높은 파괴전압의 장점을 가지기 때문에 가장 유망한 통신소자로서 기대되고 있다.<sup>1,6)</sup>

본 논문에서는 에피성장 및 제작공정이 비교적 잘 확립되어 있는 AlGaAs/GaAs HBT와 차세대 소자로 기대되는GaInP/GaAs HBT를 이용하여 광통신시스템을 위한 초고속 LD 구동기, 전치증폭기, AGC증폭기, 제한증폭기를 설계 및 제작하고 그 특성을 평가하였다.

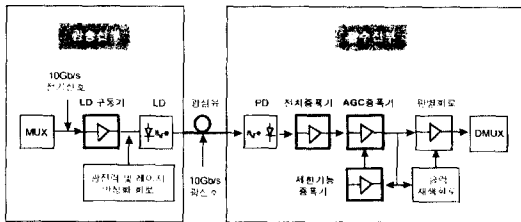


그림 1. 10-Gb/s 광통신시스템의 블록도

Fig. 1. Block diagram of the 10-Gb/s optical communication system.

## II. 제작 및 HBT 소자특성

LD 구동기와 전치증폭기 및 제한증폭기를 위해서는 AlGaAs/GaAs HBT를, 그리고 AGC증폭기를 위해서는 GaInP/GaAs HBT를 3인치 반절연성 GaAs 기판위에 MOCVD 방법으로 성장시킨 에피를 사용 제작하였다. 여기서 HBT 특성의 가장 중요한 변수인 베이스층의 두께 및 탄소 도핑농도는 각각 700Å과  $3 \times 10^{19}/\text{cm}^3$ 이다. 회로에 사용된 기본 소자는 에미터 면적이  $2 \times 10 \mu\text{m}^2$ , 에미터와 베이스 간격이  $0.5 \mu\text{m}$ 인 HBT 소자이며, 회로기능에 따라 이들 소자를 2개, 3개, 6개를 묶어 구성하였다. 실리코닐화막을 층간 절연막으로 한 MIM 캐패시터와 NiCr 저항을 MMIC 구성을 위해 함께 사용하였다. 제작공정으로서 에미터,

베이스, 컬렉터의 분리는 메사식각에 의해 이루어졌으며, 각각의 전극재료로서 Ti/Pt/Au, Ti/Pt/Au, Au Ge/Ni/Au를 리프트오프 방식에 의해 증착하고 질소분위기속에서  $350^\circ\text{C}$ , 10초 동안 RTA에 의한 합금화열처리를 하여 전극을 형성하였다. SiN 층을 MERIE (Magnetically Enhanced Reactive Ion Etching) 장비의  $\text{C}_2\text{F}_6$  플라즈마로써 식각하여 via를 형성하고 1, 2차 배선금속으로서 Ti/Au를 증착후 패드를 오픈함으로써 공정이 완료된다. 모든 리소그라피 공정은 GCA사의 i-line stepper를 이용하여 진행하였다.<sup>17)</sup> 그림 2는 회로에 사용된 개별 HBT소자의 배선공정이 완료된 후의 평면구조 사진이다.

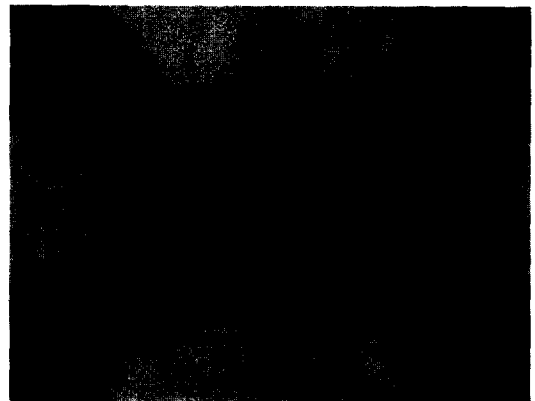


그림 2. AlGaAs/GaAs HBT의 평면 SEM사진 (에미터 면적:  $2(2 \times 10 \mu\text{m}^2)$ )

Fig. 2. SEM photograph of an AlGaAs/GaAs HBT (emitter area:  $2(2 \times 10 \mu\text{m}^2)$ ).

AGC증폭기에 사용된 GaInP/GaAs HBT의 경우 공통 에미터 I-V 측정결과 0.15 V의 낮은 오프셋 전압과 80 정도의 전류이득이 얻어졌으며, 그림 3(a)의 Gummel plot에서 보듯이 베이스 전류와 컬렉터 전류의 이상지수 (ideality factor)가 각각 1.14와 1.0으로서 우수한 집합계면 특성을 가짐을 알 수 있다. 또한 AC 특성으로서 HP8510B Network Analyzer와 CASCADE Microtech Probe Station을 이용하여 0.5 ~ 40 GHz의 주파수 범위에서 S-parameter를 측정하고 이로부터 계산된 전류이득과 전력이득의 주파수 응답특성 곡선에서 -6 dB/oct. 외삽법으로 구한 차단주파수( $f_T$ ) 및 최대공진주파수( $f_{max}$ )는 그림 3(b)에서 보는 바와 같이 각각 56 GHz와 45 GHz로 나타났다. 한편 LD 구동기, 전치증폭기 및 제한증폭기에 사용된 동일 규격의 AlGaAs/GaAs HBT의 경우 DC

특성으로서 0.23 V의 오프셋 전압, 전류이득 65, 베이스 전류와 컬렉터 전류의 이상지수가 각각 1.9와 1.04였으며, 고주파 특성으로서  $f_T$ 와  $f_{max}$ 가 각각 63 GHz와 45 GHz로 나타났다.<sup>17,9)</sup>

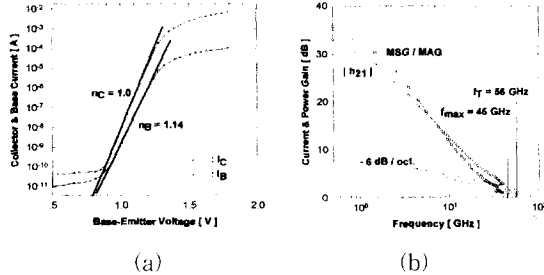


그림 3. GaInP/GaAs HBT의 DC 및 AC 특성 (에미터 면적:  $2 \times 10 \mu m^2$ )

(a) Gummel곡선 (b) 주파수 대역특성

Fig. 3. AC and DC performances of a GaInP/GaAs HBT (emitter area:  $2 \times 10 \mu m^2$ )

(a) Gummel plot (b) frequency response.

### III. 회로의 설계 및 제작 특성

#### 1. LD 구동기

LD 구동회로는 다중화기를 통하여 받아들인 다채널의 전기적 신호를 초고주파의 데이터로 변환하여 LD를 구동시킴으로써 초고속의 광신호로 변환하고 이를 광섬유를 통해 수신부로 전송하는 역할을 한다. 이를 위해 초고속 변조와 대전류 구동능력 및 신호제한 기능을 지녀야 하므로 LD 구동기의 전체회로는 그림 4와 같이 크게 제한기능단, 바이어스단, 버퍼단 및 구동회로단을 결합한 형태로 구성된다. 제한기능단은 입력신호의 크기에 관계없이 안정된 회로동작이 가능하도록 하며, 바이어스단은 전류원 HBT의 전류를 제어하고 구동단에서는 변조 전류를 50 mA<sub>p-p</sub>까지 조절하면서 또한 pre-bias를 최대 60 mA까지 인가할 수 있도록 설계되어 있다. 따라서 구동단에서는 대전류를 흘릴 수 있도록 3 개의 AlGaAs/GaAs HBT소자를 연결하여 사용하였다.<sup>19,10)</sup>

전체 회로는 PSPICE를 이용하여 최적화하였으며, 이때 표준화된 방법으로 추출된 대신호 SPICE 파라미터를 입력하였다. 그림 5에서 시뮬레이션 결과 -3 dB 주파수 대역폭이 20 GHz이며,  $S_{21}$  이득이 17 dB로서 설계 요구사항을 충분히 만족하고 있다. 그러나 제작후 측정결과는 이득은 비슷하지만, 대역폭이 11.5 GHz로

서 예상치에 비해 주파수 응답특성이 상당히 저하된 것으로 나타났다.

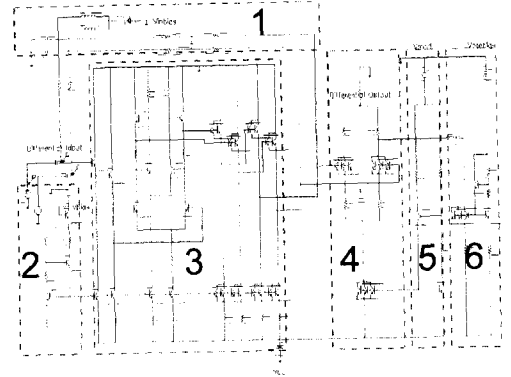


그림 4. 설계된 LD 구동기의 전체 회로도(1: 입력 바이어스단, 2: 바이어스단, 3: 차동증폭단, 4: 구동단, 5: 변조단, 6: 프리 바이어스단)

Fig. 4. Circuit diagram designed for the LD driver(1: input bias, 2: bias, 3: differential amplifier, 4: driver, 5: modulation, 6: pre-bias stage).

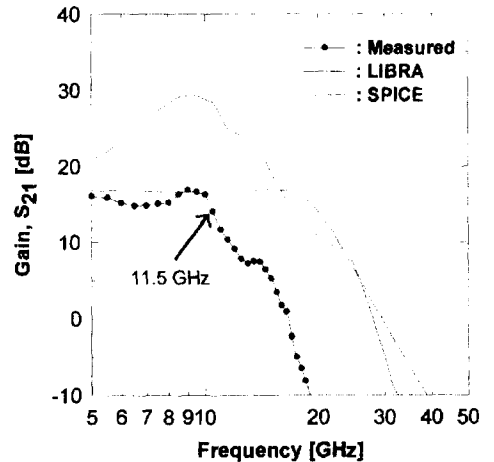


그림 5. 10 GHz LD 구동기의 SPICE와 LIBRA 시뮬레이션 및 실제 측정에 의한 주파수 응답특성

Fig. 5. Measured frequency response of the 10-GHz LD driver on a wafer and simulated results for the IC using SPICE and LIBRA.

한편 각종 기생성분을 포함시키고, 실제 HBT로부터 추출한 S파라미터를 입력시켰을 때의 LIBRA 시뮬레이션 결과는 16 GHz의 대역폭과 22 dB의 이득을 보였으며, 실제 측정결과와 비교하였을 때 특성곡선 형태

가 비슷한 것으로 관측되었는데 이것은 별도의 신호선 측정결과로부터 특정 주파수에서의 공진현상에 의한 것임을 알 수 있었다. 측정에 의한 -3 dB 주파수대역폭이 시뮬레이션 결과에 비해 작게 나타난 것은 신호선의 길이에 따른 기생 임피던스 등 회로 레이아웃상의 문제가 주된 요인으로 판단된다. 그림 6에 MMIC 형태로 제작이 완료된 LD 구동기의 칩사진을 나타내었다. 여기서 전체 칩의 크기는  $1.4 \times 1.9 \text{ mm}^2$ 이며, 패드의 크기와 피치는 각각  $75 \times 75 \text{ }\mu\text{m}^2$ 과  $150 \text{ }\mu\text{m}$ 이다.

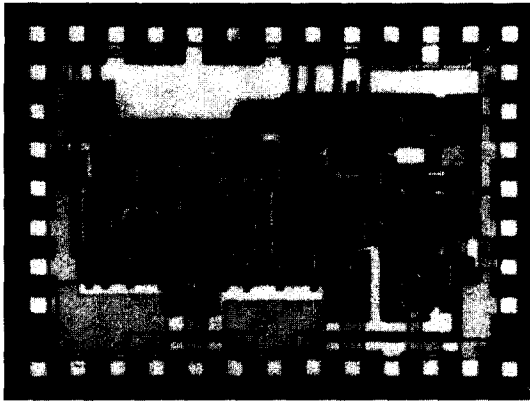


그림 6. 제작된 10 GHz LD 구동기의 광학현미경 칩사진 (칩크기:  $1.4 \times 1.9 \text{ }\mu\text{m}^2$ )  
 Fig. 6. Optical microscope photograph of the fabricated 10-GHz LD driver chip (chip size:  $1.4 \times 1.9 \text{ }\mu\text{m}^2$ ).

### 2. 전치증폭기

전치증폭기는 수광소자인 포토 다이오드(PD)의 미세한 출력신호를 증폭하는 역할을 하며 이때 잡음을 최소화하는 것이 중요하다. 본 연구에서는 전달 임피던스형<sup>[11]</sup>의 구조를 사용하여 캐환저항의 크기를 조절함으로써 주파수대역폭과 잡음 및 이득을 조절할 수 있는 전치증폭기를 설계하였다. 그림 7 (a)와 (b)에  $2 \times 10 \text{ }\mu\text{m}^2$ 의 에미터면적을 갖는 AlGaAs/ GaAs HBT를 기본소자로 하여 설계된 10-GHz 전치증폭기의 회로도 와 제작이 끝난 후의 칩 레이아웃을 나타내었다. 여기서 칩의 크기는  $0.63 \times 0.73 \text{ mm}^2$ 이다.

전치증폭기의 설계시 포토 다이오드의 자체 기생성분에 의한 영향을 고려하는 것이 중요하므로 일반적인 PD의 등가회로를 전치증폭기의 입력단에 연결하고, 또한 패키징했을 때의 기생 인덕턴스에 의한 영향을 고려하여 SPICE에 의해 회로 시뮬레이션을 하였다. 시

뮬레이션에 의한 주파수 응답특성은 트랜스임피던스(transimpedance)가  $52 \text{ dB}\Omega$ 이고 -3 dB 대역폭이 10.25 GHz로 나타났다. 한편 제작이 완료된 후의 측정결과는 그림 8에서 보는 바와 같이 트랜스임피던스가  $46 \text{ dB}\Omega$ 으로서 시뮬레이션에 의한 결과보다 약간 낮은 값을 보이고 있으나 -3 dB 대역폭은 10.5 GHz로서 거의 대등한 값을 보이고 있다. 현재의 회로는 이득증폭을 위해 1단의 feedback만을 사용하고 있지만 설계변경에 의해 2단의 feedback을 사용할 경우 상당한 이득향상이 기대된다.<sup>[18]</sup>

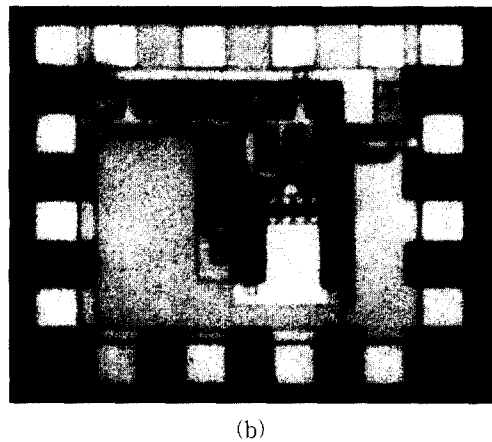
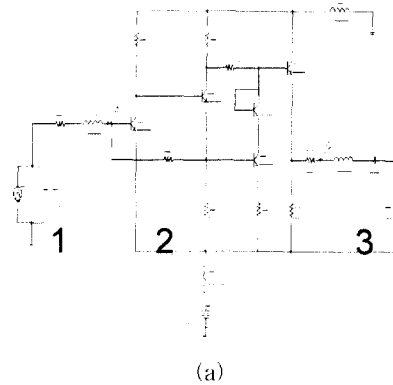


그림 7. 10-GHz 전치증폭기의 회로도 및 칩 레이아웃 (a) PD를 포함한 회로도 (1: PD 등가회로, 2: Transimpedance 전치증폭단, 3: 기생효과) (b)제작후의 칩사진 (칩크기:  $0.63 \times 0.73 \text{ mm}^2$ )  
 Fig. 7. Circuit diagram and chip layout of the 10 GHz pre amplifier (a) circuit diagram including a PD (b) photograph of the fabricated chip (chip size:  $0.63 \times 0.73 \text{ mm}^2$ ).

### 3. AGC 증폭기

AGC 증폭기는 제한 증폭기와 결합하여 광통신 시스템의 주증폭기를 구성하며, 저잡음증폭기의 출력을 받

아 다음 단의 판별회로와 클럭 추출회로를 구동할 수 있도록 충분한 출력을 공급해야 한다. 그림 9에 차동 증폭기로 구성된 AGC 전체 회로도를 나타내었다. 주 신호선을 중심으로 하여 주요 블럭으로 고임피던스 입력 버퍼, 첫째 단 증폭기, 둘째 단 증폭기, 50 Ω 출력 버퍼가 있다. 전력소모의 제한(1.5 W 이내)을 고려하여 2개의 증폭단만을 사용하였으며, 전원전압은 0V 혹은 -8 V를 인가하도록 하였고  $f_T$ 와  $f_{max}$ 가 최대가 되는 10mA의 전류가 개별 GaInP/GaAs HBT에 흐르도록 설계하였다.<sup>17)</sup>

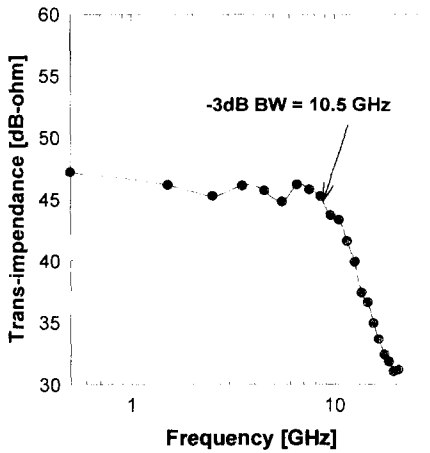


그림 8. 웨이퍼 상에서 측정된 10-GHz 전치증폭기의 주파수 응답특성  
 Fig. 8. Measured frequency response of the 10-Gb/s pre-amplifier on a wafer.

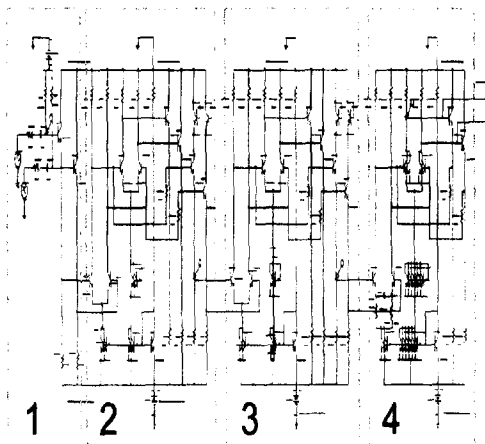
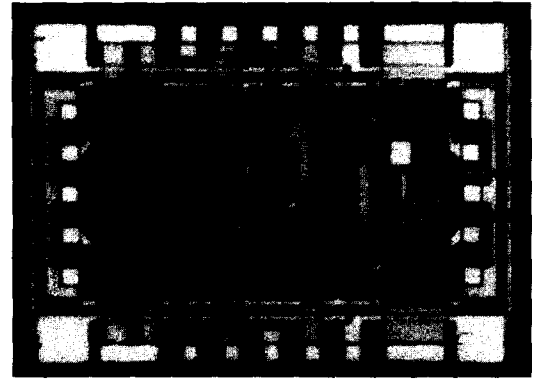
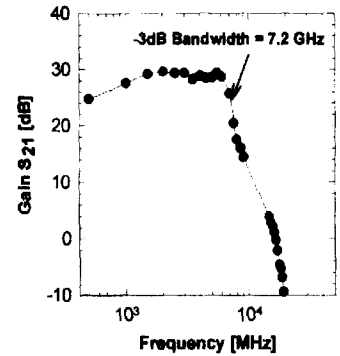


그림 9.  $2 \times 10 \mu\text{m}^2$ 의 GaInP/GaAs HBT, NiCr 저항 및 MIM 캐패시터로 구성된 AGC 증폭기의 회로도  
 Fig. 9. Circuit diagram of the AGC amplifier implemented with  $2 \times 10 \mu\text{m}^2$  GaInP/GaAs HBTs, NiCr resistors, and MIM capacitors.

그림 10(a)와 (b)에 제작이 완료된 후의 AGC 증폭기의 칩 레이아웃과 on-chip 측정에 의한 주파수 응답특성을 나타내었다.  $V_{FE} = -7.5 \text{ V}$ ,  $V_1 = 3 \text{ V}$ ,  $V_2 = 3.3 \text{ V}$ 의 바이어스 조건에서 -3 dB 대역폭은 7.2 GHz 이고,  $S_{21}$  이득이 약 30 정도인 특성이 얻어졌다.



(a)



(b)

그림 10. AGC 증폭기의 칩 레이아웃 및 주파수 응답 특성 (a) 제작후의 칩 사진(칩면적:  $1.25 \times 1.7 \mu\text{m}^2$ ) (b) 측정된 주파수 응답특성

Fig. 10. Chip layout and measured frequency response of the AGC amplifier (a) optical microscope photograph of the fabricated AGC amplifier (chip size:  $1.25 \times 1.7 \mu\text{m}^2$ ). (b) measured frequency response of the AGC amplifier.

4. 제한가능 증폭기

제한가능 증폭기는  $2 \times 10 \mu\text{m}^2$ 의 에미터면적을 갖는 AlGaAs/GaAs HBT를 사용하여 그림 11과 같이 입력 버퍼단, 첫째 증폭단, 둘째 증폭단 및 출력 버퍼단 등 총 4단으로 구성하였으며, HBT의 최대 동작속도를 얻기 위하여  $V_{CE} = -2.0 \text{ V}$ ,  $I_C = 10 \text{ mA}$ 의 바이어스 조건을 만족하도록 설계하였으며,  $V_{CC} = 0 \text{ V}$ ,  $V_{FE} =$

-8 V로 하였다. 입력은 단일 및 차동입력이 가능하도록 되어 있는데, 일반적으로 차동입력의 경우 단일 입력에 비해 입력 캐패시턴스의 비선형 특성을 서로 보상하기 때문에 위상 지연특성이 우수하다. 입력신호의 정합을 위해 입력 버퍼가 필요하며, 또한 출력 부하가 마지막 증폭 단에 영향을 미치지 않도록 출력 버퍼가 필요하다. 특히 출력 버퍼단은 충분한 대역폭과 낮은 위상지연을 만족시키기 위하여 에미터 저항 및 캐패시터를 결합한 에미터 피킹회로를 사용하였다.<sup>[12]</sup>

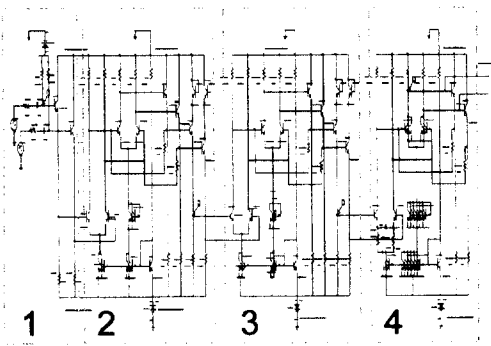
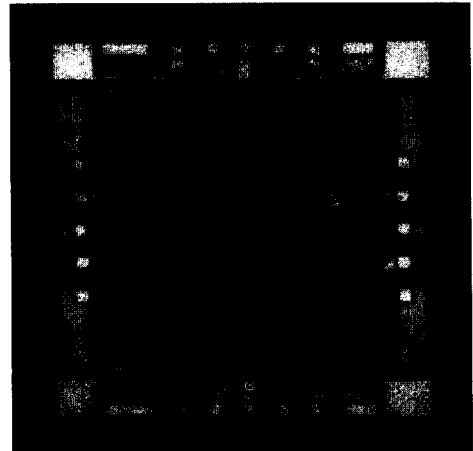


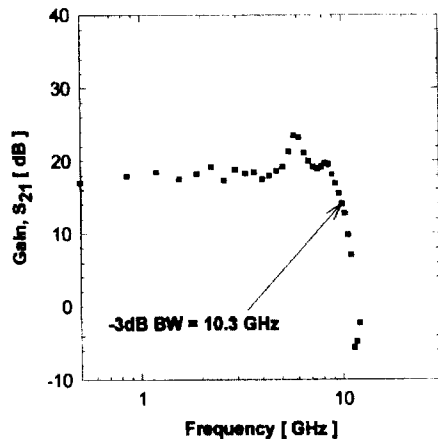
그림 11. 제한기능 증폭회로의 블록도 (1: 차동입력 및 버퍼단, 2: 1차 제한증폭단, 3: 2차 제한 증폭단, 4: 출력버퍼 및 차동 출력단)

Fig. 11. Block diagram of the limiting amplifier circuit (1: differential input and input buffer, 2: first limiting amp., 3: second limiting amp., 4: output buffer and differential output stage).

그리고 첫째와 둘째 증폭단에 전류제한 증폭회로를 사용하여 SPICE 시뮬레이션을 한 결과  $S_{21}$  이득의 경우 첫째 단 14 dB, 둘째 단 14 dB, 출력 버퍼단 11 dB 로 총 39 dB였으며, -3 dB 대역폭의 경우 첫째 단과 둘째 단의 전류제한 증폭기에서는 대략 20 GHz 이상의 특성을 보였으나 18 mA의 높은 전류를 흘려야 하는 출력 버퍼에서의 주파수 특성 제한 때문에 전체 회로에서는 17 GHz의 대역폭 특성을 보이고 있다. 그림 12(a)와 (b)에 제작이 완료된 후의 제한기능 증폭기의 칩 레이아웃과 on chip 측정에 의한 주파수 응답특성을 나타내었다. 그림에서  $S_{21}$  이득이 약 20 dB이고, -3 dB 대역폭은 약 10.3 GHz 정도임을 알 수 있다. 신호선의 단축 등 레이아웃상의 개선이 있을 경우 측정값이 시뮬레이션 특성에 보다 근접할 수 있을 것으로 판단된다.



(a)



(b)

그림 12. 제한기능 증폭기의 칩 레이아웃 및 주파수 응답특성 (a) 제작후의 칩 사진(칩면적: 1.7x1.7 mm<sup>2</sup>) (b) 측정된 주파수 응답특성

Fig. 12. Chip layout and measured frequency response of the limiting amplifier (a) optical microscope photograph of the fabricated limiting amplifier(chip size: 1.7x1.7 mm<sup>2</sup>) (b) measured frequency response of the limiting amplifier.

#### IV. 결 론

본 논문에서는 차단주파수와 최대공진주파수가 각각 63 GHz과 45 GHz인 AlGaAs/GaAs HBT 소자를 사용하여 LD 구동기, 전치증폭기 및 제한기능 증폭기를, 또한 차단주파수와 최대공진주파수가 각각 56 GHz와 45 GHz인 GaInP/GaAs HBT를 이용하여 AGC

증폭기를 설계 및 시뮬레이션하였으며, 일련의 MMIC 제작공정을 이용하여 회로를 제작한 후 on-chip상의 특성을 측정 분석하였다. 주파수 응답 특성으로서 -3dB 대역폭은 LD구동기, 전치 증폭기, 제한기능 증폭기의 경우 각각 11.5, 10.5, 10.3 GHz로 나타나 패키징전의 시스템 요구사항을 만족하였으며, AGC 증폭기의 주파수 대역폭은 7.2 GHz로서 다소 미흡한 결과를 나타내었다. S<sub>21</sub> 이득 등 측정결과가 시뮬레이션 특성에 비교적 못미친 것은 설계시 고려하지 못한 레이아웃에서의 기생 캐패시턴스나 인덕턴스 등에 의한 것으로 보이며, 효율적인 레이아웃이 이루어질 경우 회로 성능의 상당한 개선이 기대된다.

### 참 고 문 헌

- [1] K. Runge, D. Daniel, R. D. Standley, J. L. Gimlett, R. B. Nubling, R. L. Pierson, S. M. Beccue, K. C. Wang, N.-H. Sheng, M.-C. F. Chang, D. M. Chen, and P. M. Asbeck, AlGaAs/GaAs HBT ICs for high-speed lightwave transmission systems, *IEEE Solid-State Circuits*, vol. 27, p. 1332, 1992.
- [2] K. Hohkawa, S. Matsuoka, K. Hagimoto, and K. Nakagawa, Integrated circuits for ultra-high-speed optical fiber transmission systems, *IEICE Trans. Electron.*, vol. E76-C, p. 68, 1993.
- [3] N. Nagano, T. Suzaki, M. Soda, K. Kasahara, and K. Honjo, AlGaAs/GaAs heterojunction bipolar transistor ICs for optical transmission systems, *IEICE Trans. Electron.*, vol. E76-C, p. 883, 1993.
- [4] M. Nakamura, Y. Imai, E. Sano, Y. Yamaguchi, and O. Nakajima, A limiting amplifier with low phase deviation using an AlGaAs/GaAs HBT, *IEEE Solid-State Circuits*, vol. 27, p. 1421, 1992.
- [5] J. Akagi, Y. Kuriyama, M. Asaka, T. Sugiyama, N. Iizuka, K. Tsuda, and M. Obara, Five AlGaAs/GaAs HBT ICs for a 20Gb/s optical repeater, *IEEE-ISSCC, Digest of Technical Papers*, TP 10.1, p. 168, 1994.
- [6] 박형무, 10Gbps급 고속 IC의 기술동향 및 국내 현황, *전자공학회지*, 제22권, 제2호, p.123, 1995.
- [7] 박성호, 김영석, 이태우, 송기문, 박문평, Fabrication of GaInP/GaAs HBT and its application to high speed AGC amplifier, *제3회 한국반도체학술대회 논문집*, A-58, p. 119, 1996
- [8] 이태우, 기현철, 박문평, 송기문, 정준오, 박성호, 편광의, Design, fabrication and characterization of 10Gbps pre-amplifier using heterojunction bipolar transistors, *제3회 한국반도체학술대회 논문집*, A-61, p. 127, 1996
- [9] 이태우, 기현철, 박성호, 편광의, 박형무, 10Gbps LD driver IC using AlGaAs/GaAs HBTs, *제3회 한국반도체학술대회 논문집*, B 34/P, p. 217, 1996
- [10] 기현철, 안기철, 박성호, 박문평, 최성우, 광봉신, 박철순, 박형무, AlGaAs/GaAs HBT를 사용한 레이저 다이오드 구동회로 설계, *대한전자공학회 추계종합학술대회 논문집*, 제 17권, 제 2호, p. 675, 1994
- [11] H.-M. Rein, et al., *IEEE J. of Solid-State Circuits*, vol. 29, p. 1014, 1994.
- [12] 박성호, 나기열, 한재천, 강신재, 김영석, 이태우, 송기문, 박문평, 편광의, 박형무, 10-GHz bandwidth limiting amplifier using an AlGaAs/GaAs HBT, *제3회 한국반도체학술대회 논문집*, A 65, p. 135, 1996

## 저 자 소 개

朴 盛 鎬(正會員) 第 34卷 D編 第 1號 參照

李 泰 雨(正會員) 第 34卷 D編 第 1號 參照

金 永 碩(正會員) 第 34卷 D編 第 1號 參照

奇 鉉 哲(正會員)

1984년 2월 한양대학교 전자공학과(학사). 1986년 8월 한양대학교 전자공학과(석사). 1992년 2월 한양대학교 전자공학과(박사). 1992년 3월 ~ 현재 경원대학교 전자공학과 조교수. 1986년 11월 ~ 1989년 2월 한국전자통신연구소 연구원. 관심분야는 갈륨비소를 이용한 초고속 디지털 및 아날로그 회로 설계

宋 基 文(正會員)

1982년 2월 연세대학교 금속공학과(학사). 1990년 5월 University of Texas at Arlington 물리학과(석사). 1994년 8월 University of Texas at Arlington 물리학과(박사). 1994년 10월 ~ 1996년 2월 한국전자통신연구소 박사후 연수연구원. 1996년 2월 ~ 현재 건국대학교 응용물리학과 조교수. 관심분야는 갈륨비소 HBT 에피구조 설계 및 시뮬레이션

朴 文 平(正會員) 第 33卷 A編 第 3號 參照

片 廣 毅(正會員) 第 34卷 D編 第 1號 參照