

論文 97-34D-3-6

1.0 μ m CMOS SOG로 구현한 직접 디지털 주파수합성기의 성능에 관한 고찰

(A Study on the Direct Digital Frequency Synthesizer Implemented in the 1.0 μ m CMOS SOG and Its Performance)

金大容*, 李鍾先**

(Kim, Dae Yong and Lee, Jong Sun)

요 약

본 논문에서는 직접디지털주파수합성기(DDFS)에서 위상누산기의 비트 수(L), 어드레스-비트 수(A)와 Sine ROM 출력 비트 수(D)들에 의한 출력 스펙트럼 성능(Spectral Performance)을 비교 분석하기 위하여, 10진(BCD) DDFS와 2진(Binary)-DDFS 2종을 1.0 μ m CMOS Gatearray(SOG)기술로 구현한 결과를 기술하였다. 전자인 BCD-DDFS는 L=24, A=14, D=8인 NCO(Number Controlled Oscillator)형 구조를, 후자인 B-DDFS는 L=24, A=8, D=10이고 잡음정형기(Noise Shaper)를 사용한 개선된 구조를 이용하여 각각, 설계하였다. 위상누산기의 위상 잘림(Phase Truncation)에 의한 출력 스펙트럼의 영향을 최소화함과 동시에 어드레스 비트 수(A)를 조정하여 Sine ROM의 크기를 최적화 하기 위하여 잡음정형기(Noise Shaper)를 개재하였고, 이의 출력 주파수 특성과 성능 개선을 도모하였다.

Abstract

In this study, two types of the direct digital frequency synthesizers(DDFS) designed and implemented using 1.0 μ m CMOS Gatearray(SOG) technologies are introduced. To analyze the effect of the number of phase bits(L), address data bits(A), and DAC bits(D) on the output spectrums of the DDFSs, the NCO-based BCD-DDFS composed of L=24, A=14, and D=8, and the improved Binary-DDFS composed of L=24, A=8, and D=10 have been studied. The chips have been designed with and without a noise shaper to reduce spurious noises due to phase truncation and reduced sine ROM in output spectrum.

I. 서 론

현대의 통신 시스템에서 필요로 하는 주파수 합성기는 성능 면에서 주파수 해상도(Resolution), 대역폭(Bandwidth)과 칩이 속도(Switching Speed)들의 대

폭적인 개선이 필요하다. 이전에는 아날로그 PLL(Phase Locked Loop) 주파수 합성기를 사용하여 대부분 통신 시스템의 주파수합성부를 구현하였으나, 시스템의 디지털화로 디지털방식의 주파수 합성기 이용이 급증하는 추세이기 때문이다. 주파수 합성기(Frequency Synthesizer)란 한 개 혹은 여러 개의 주파수원(Frequency Source)으로부터 단일 출력 주파수 혹은 서로 다른 여러 개의 출력 주파수를 발생시키는 장치로서 합성 방법에 따라 직접 방식(Direct Synthesizer), 간접 방식(Indirect Synthesizer)과 디지털방식(Digital

* 正會員, 韓國電子通信研究院
(ETRI)

** 正會員, 忠北大學校 情報通信工學科
(Dept. of C & C Eng. Chung-Buk Univ.,)
接受日 1996年6月24日, 수정안료일: 1997年3月6日

Synthesizer)이 있다. 직접 방식은 하나 혹은 그 이상의 기준 주파수에 분주(Divide)와 제배(Multiply)를 가함으로써 다수의 출력 주파수를 얻는 방식으로서 천이 시간(Switching Time)이 거의 발생하지 않지만 홉핑(Hopping) 주파수의 개수가 증가할수록 시스템 구성이 복잡하여지고 부피가 커지는 단점이 있어 실용성이 떨어진다. 간접 방식인 PLL(Phase Locked Loop) 주파수 합성기는 출력 주파수 대역이 넓고 비교적 우수한 SNR을 가지고 있어 현재 주파수 합성기의 주종을 이루지만 궤환루프(Feedback Loop)의 특성상 동기 시간의 지연으로 빠른 주파수 홉핑시스템(Fast Frequency Hopping System)에는 적당하지 못하다¹⁾.

이에 비하여 디지털 방식은 표본화(Sampling)이론과 디지털-아날로그 신호 변환 기술로 출력 파형을 합성하는 방식으로, 광대역에 사용 가능하며 발생 주파수의 해상도(Resolution) 및 안정도(Stability)가 뛰어나고, 변화가 연속 위상을 이루므로 코헤런트 통신(Coherent Communication)이 가능하며 천이 시간이 짧아 빠른 주파수홉핑 시스템에 적합하다^{1,2)}.

본 연구에서는 2종의 직접디지털주파수합성기를 설계하여 1.0μm CMOS SOG 기술로 구현한 결과로서 위상누산기의 비트 수(L), 어드레스 비트 수(A)와 Sine ROM출력 비트 수(D)들에 의한 출력 스펙트럼 성능을 비교 분석하였다. 위상누산기의 위상 잘림에 의한 출력 스펙트럼의 영향을 최소화하기 위하여, 잡음정형기를 개재하여 이의 출력 주파수 특성과 성능 개선을 도모하였다.

II. 직접 디지털주파수합성기의 기본 구조

직접 디지털주파수합성기의 기본 구조는 그림 1에서와 같이 위상 변화를 누적하는 위상누산부(Phase Accumulator Part), 위상 변화에 따른 Sine값을 계산하는 Sine함수 계산부(Sine Function Computation Part)와 발생한 디지털 정현파를 아날로그 신호로 변환시키는 디지털-아날로그신호 변환기부(Digital-to-Analog Converter Part)로 구성된다.

매 클럭 주기마다, 위상의 증가를 나타내는 일련의 워드(~수 비트)는 누산기의 내용이 출력 신호의 위상값과 비례하도록 디지털 누산기에서 가산된다. 또한, 매 클럭 주기마다 누산기의 값이 Sine함수 계산부에

전달되어 Sine값을 계산하고 발생한 디지털 출력 데이터를 아날로그 신호로 변환시켜 Sine파형을 출력시킨다.

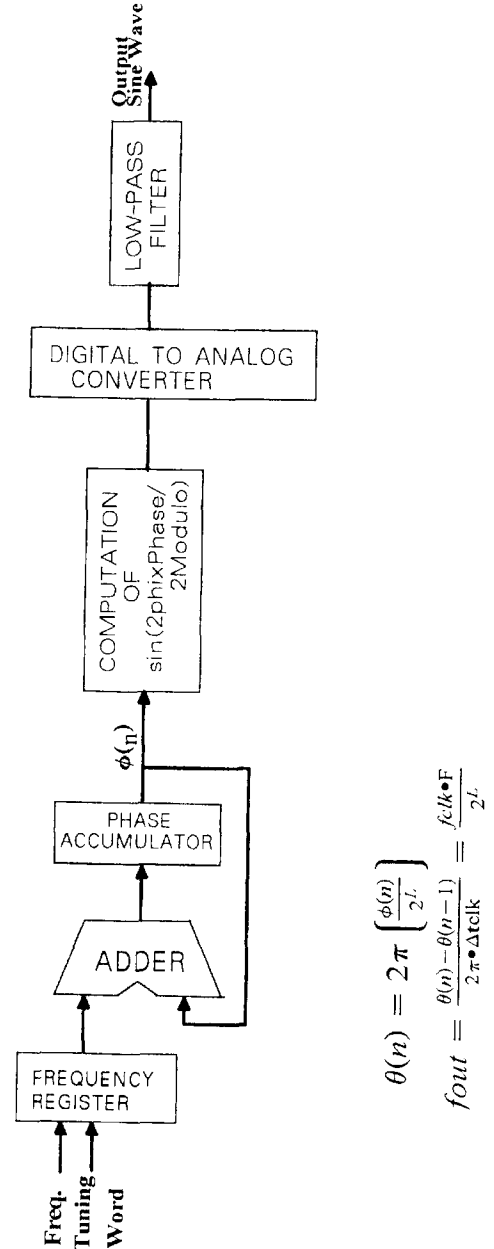


그림 1. 직접 디지털주파수합성기의 구조

Fig. 1. Direct Digital Frequency Synthesizer Block Diagram.

주파수 합성 방법 중에서 디지털방식의 DDFS 주파수 합성은 다른 방법에 비해서 몇 가지의 독특한 장점이 있다. 첫째로, 주파수 간격(Frequency Spacing)은

위상누산기의 비트 수가 하나씩 증가하면 반으로 줄어 들기 때문에 Tierney et. al.이 제안한 Architecture¹³을 이용하여 설계된 DDFS의 경우 매우 좁은 간격의 주파수를 얻을 수 있고, 둘째로, 천이 속도가 매우 빠르다는 것이다. PLL방식의 주파수 합성기는 수 ms Order의 천이 속도를 얻을 수 있는 반면, DDFS는 두 기준 클럭주기이내 즉, 약 수ns Order이내에 두 주파수 사이를 Tuning할 수 있다. 셋째로, 천이할때 다른 방법으로는 얻을 수 없는 절대적인 위상코히어런스(Absolute Phase Coherence)를 유지할 수 있다는 점이다. 고 해상도와 빠른 천이 속도(수ns이내)가 DDFS의 특징이지만, 광대역(Wide Bandwidth)과 High Spectral Purity를 동시에 얻을 수 없는 것으로 알려졌다. 이런 관점에서, Bandwidth/Spectral Purity Product(적)를 개선시키는 새로운 구조의 DDFS연구가 활발하다^{14,51}.

1. 위상누산기(Phase Accumulator)

주파수 조정 입력 데이터의 위상 정보를 보존(Holding)하는 기능의 위상누산기는 L-비트 주파수 저장 레지스터, L-비트 전가산기(Full Adder)와 데이터 레지스터로 구성된다. 주파수 조정 디지털 입력은 입력 저장 레지스터로 들어가고, 위상 가산기에서는 선형적으로 증가하는 디지털값을 얻기 위하여 매 클럭 주기마다 이 입력된 데이터에 가산되어 데이터 레지스터에 저장된다. 임의의 시간에 위상누산기의 값은 위상값을 나타낸다.

동작 원리를 살펴보기 위하여, 누산기의 워드 비트(Word bit)를 L-비트라 하고, 매 클럭 주기마다 가산되는 위상 증가 수가 P-워드이면 DDFS의 출력 주파수, F_{out}은 다음과 같이 표시된다.

$$F_{out} = F_{clk} * \frac{P}{2^L} \quad (1)$$

P: 주파수 조정 워드 값, F_{clk}: 클럭주파수

또한, 합성주파수를 발생시키기 위한 출력 주파수와 위상 증가와의 관계식은 식(2)과 같다.

$$F_{out} = F_{clk} * \frac{\Delta\phi}{2^L}$$

$$F_{out(MAX)} = \frac{F_{clk}}{2} \quad (2)$$

Δφ: 위상 증가 값

그런데, 주파수 조정 워드 값, P가 위상 누산기의 비트

수(L-bit)의 위상 변화에 의존하여, 정수 값으로만 발생되므로 주파수 해상도는 식(3)과 같이 표현된다.

$$F_{res} = \frac{1}{2^L} * F_{clk} \quad (3)$$

F_{res}: 주파수 해상도, L: 누산기의 비트 수

또한, 10진(BCD)가산기를 사용한 경우의 출력은 10진으로 가산, 제어됨으로 출력 주파수와 해상도는 다음과 같이 표시된다.

$$F_{out} = \frac{F_{clk} * \Delta\phi(10)}{10^{\frac{L}{4}}}$$

$$F_{res} = \frac{1}{10^{\frac{L}{4}}} * F_{clk} \quad (4)$$

Δφ(10): 10진 위상증가값, L: 위상누산기 비트 수

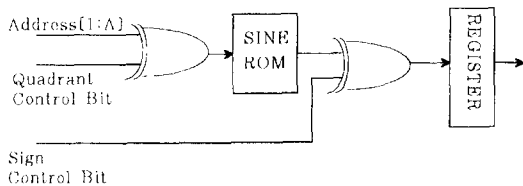
DDFS를 시스템에 응용하기 위해서 주파수 해상도와 주파수 증가 간격을 고려하여 위상누산기의 비트-폭을 결정하는데, 12~32 비트가 일반적으로 사용된다. 24 비트 위상누산기를 사용하면 식(2)에서와 같이 50MHz 클럭을 사용한 B-DDFS인 경우에 2.99Hz의 주파수 해상도를 얻을 수 있다. 위상누산기에서 나오는 출력은 위상 정보가 지정되어 있으므로, Sine ROM의 어드레스로 사용된다.

2. Sine 함수 계산

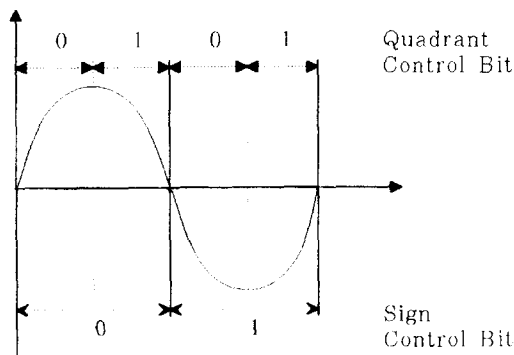
Sine함수 계산은 초월 함수(Transcendental Function)이기 때문에 계산하는 방법이 어렵고 복잡하여 여러 가지 방법으로 시도되었으나^{16,7,81}, 사용하기에 간편한 ROM-based Look-up Table방식^{16,81}이 일반적으로 사용되고 있다. 이 방식은 Sine파형의 위상과 진폭데이터를 ROM에 저장하여 어드레스에따라 Sinusoidal Waveform을 나타내는 일련의 데이터를 출력시켜 사용하는 방법이며, Sine ROM은 위상누산기에서 받은 디지털 위상 정보를 디지털 위상과 진폭 값으로 변환시키는 Sine 함수표이다. 위상 정보는 어드레스 버스에 지정되고 진폭 정보가 출력 데이터 버스에 나타나며, 각각의 이산(Discrete) 위상 점이 이산 진폭 값에 일치한다. 따라서, Sine ROM인 Look-up Table은 디지털 위상과 진폭 변환기이다.

Sine ROM내부의 워드의 개수와 워드의 비트 수는 각각 위상 양자화(Phase Quantization) 오차와 진폭 양자화(Amplitude Quantization) 오차를 각각 결정한다. 위상이나 진폭 잘림없이 Sine Look-up Table을

구현하기 위해서는 24-비트의 위상누산기를 사용한 경우, 16-Msample 이상의 저장 용량이 필요하다. 즉, 정형 Sine파형을 얻기 위해서는 많은 데이터(Sample)를 저장하는 Sine Look up Table인 대용량 ROM이 필요하게 된다^[7,9,11]. 그러나, 구현 가능한 ROM 크기를 만들기 위하여 위상 계수(Phase Argument), $\Phi(n)$ 는 잘려지지만 ROM 크기를 최소화한 비트 축소(Reduction or Compression) Algorithms를 적용하여, ROM 크기와 성능을 절충(Trade-off)하여야 한다. DDFS로 높은 출력 주파수를 얻기 위한 연구 결과^[8]의 한 예로서, 클럭 속도를 개선하기 위하여 Sine Look up Table의 크기를 줄이고 Access Time을 짧게 할 수 있도록 Sine 값의 근사치를 취하여 이용하였지만, DDFS 합성기의 디지털 스펙터스 성능은 악화되었다고 알려졌다. 그러나 DDFS 설계에서 ROM에 많은 Sine 값을 저장하게 되면 칩 크기가 커져 전력 소모와 동작 속도면에서 불리하게 됨으로, 일반적으로 Sine 값 저장 압축(Storage Compression)기술을 이용하여 Sine 값인 데이터 량을 줄여 사용하거나, Sine Look up Table인 ROM 크기와 출력 성능을 절충하여 DDFS를 설계하고 있다.



(a) Sign과 Quadrant 제어로직



(b) 대칭 사인파형

그림 2. Sign과 Quadrant 제어로직과 출력파형도
Fig. 2. Sign and Quadrant Control Logic and Its Output Waveform.

3. 비트 축소 방법

DDFS의 출력인 Sinusoid는 그림 2(a)과 같이 대칭적인 파형임으로, ROM내부에 2π 동안 전 위상과 진폭 점을 저장할 필요가 없다. 따라서, Sine 정보중 $0 \sim \pi/2$ 에 해당하는 제1상한 값만 ROM내부에 저장하면 어드레스도 2비트 줄일 수 있고, 따라서 ROM크기도 4:1로 줄일 수 있다. 그러나, 한 주기의 완전한 출력을 만들기 위해서 하드웨어적인 재순환(Recycling)시킬 보수기의 회로가 첨가된다. 이 경우 최상위 비트는 Sign-비트로, 다음 상위 비트는 Quadrant-비트로 그림 2(b)에서와 같이 각각 사용된다.

ROM 크기를 줄이는 또하나의 방법으로서 ROM 어드레스로 위상누산기의 출력의 상위 비트 일부만 사용하여도, 주파수 천이시 위상코헤런스 특성이 약간 떨어지지만, 같은 출력 주파수를 얻을 수 있다. 최근의 연구 결과로서, 32-비트의 위상누산기를 사용한 DDFS의 경우, 위상누산기 출력의 하위 17비트를 제거하고 상위 15비트만 Sine 값을 계산하는데 사용했을 때 발생하는 최대 위상 에러는 0.02° 에 불과하며, 이 에러는 시스템에 적용하여도 거의 영향을 주지 않는 것으로 알려졌다^[19]. 예를 들어, 주파수 조정 입력 단이 24-비트인 경우, 24-비트 전부를 어드레스로 사용했을 경우와 이중 하위 10-비트를 버리고 상위 14-비트만을 어드레스로 사용했을 경우와 같은 결과를 얻을 수 있다. 24개의 어드레스를 사용하면 데이터양은 $2^{24}(=16.777 \text{ Msamples})$ 개가 되어 데이터 처리와 ROM용량 상의 문제점으로 Chip제작이 어렵다. 그러나 14-비트를 어드레스로 사용하면 $2^{14}(=16.384 \text{ ksamples})$ 개의 데이터 양이 요구되므로 ROM용량을 크게 감소시킬 수 있고, 데이터를 고속으로 처리할 수 있다.

III. 종래 구조의 BCD-DDFS 설계

종래 구조의 BCD-DDFS는 그림 3의 블록다이어그램에서와 같이 입력이 24-비트(L=24)인 NCO형 구조의 위상누산기부와 어드레스가 14-비트(A=14)이며, Sine Look-up Table의 출력이 8-비트(D=8)인 Sine ROM으로 구성된 단순 구조의 DDFS를 설계하였다.

위상누산기는 24 비트의 주파수 조정 입력레지스터, 24-비트의 10진 전가산기(Full Adder)와 위상 값을 저장하는 위상레지스터로 구성하였다. 10진 방식의 출

력 값을 얻고, 고속 연산 속도를 얻기 위하여, 각 자리 비트를 합산하기 전에 캐리(Carry)를 미리 계산해 두는 방식의 Carry-lookahead Adder¹⁰⁾로 24-비트의 10진-전가산기 로직을 구성하였고, 레지스터들은 D-type Flip-Flop을 사용하여 설계하였다. 위상누산기의 출력 24-비트중 최상위 비트는 Sign제어 비트로 사용하고, 상위 13-비트들은 어드레스로 사용하였다.

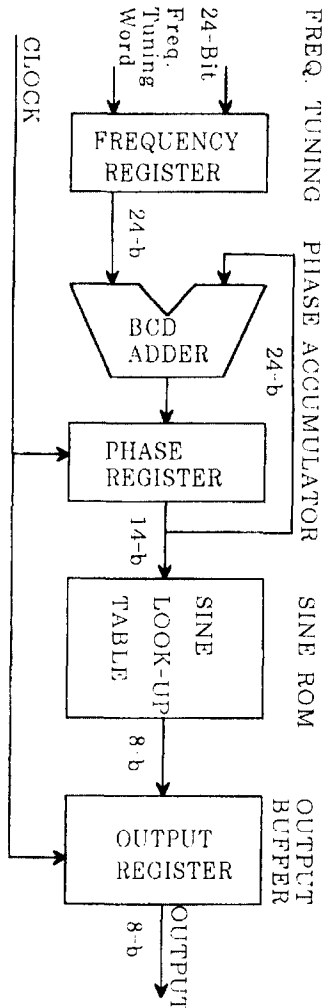


그림 3. 종래구조의 BCD-DDFS 블럭다이어그램
Fig. 3. Conventional BCD-DDFS Block Diagram.

Sine Look-up Table은 보통 어드레스 디코더와 ROM으로 구성되나 Access속도와 Chip면적을 고려하여 논리 조합(Combinational Logic)으로 구성하였다. 1,000개의 사인함수 표본 값이 128-level들을 만들 수 있도록 Sine Look-up Table을 구성하였고, Sine

함수의 값을 0에서 128까지 환산하여 반주기, 즉 $0-\pi$ 까지의 값을 나타내도록 하였다. Sine Look-up Table의 최종 출력이 $0-2\pi$ 까지의 완전한 Sine파형을 얻기 위해서 어드레스의 Sign제어 비트와 반주기의 출력 단의 보수를 취하였다. 최종 출력 단의 레지스터는 D-type Flip-Flop으로 구성하였으며, Look-up Table의 출력 데이터들이 동기될 수 있도록 사용하였다. 이 회로의 출력 주파수와 해상도는 식(4)에서와 같이 표현된다.

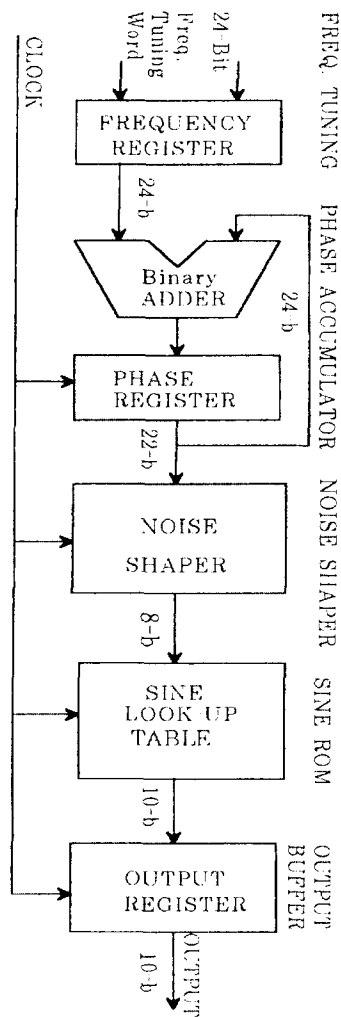


그림 4. 잡음정형기를 부가한 새로운 구성의 2진 DDFS 블럭다이어그램
Fig. 4. Block Diagram for the Improved Binary-DDFS with a Noise Shaper

설계한 DDFS가 50MHz 클럭에서 동작할 수 있도록

록 하기위하여 각 Gate들의 Ramp Delay는 로직 설계시 3ns 이내로 하였으나, 배치/배선 후 4ns 이내로 조정되었으며, Logic Simulator인 COMPASS Tool을 이용하여 Simulation을 수행하였고, 40MHz 동작을 확인하였다.

IV. 잡음정형기를 부착한 DDFS 설계

앞 절에서 설계한 BCD-DDFS는 Sine Look-up Table에 2^{12} (=4,096)개의 어드레스에 해당하는 128 level 1,000개의 Sine 샘플값을 저장하고 있기 때문에 Chip Size가 커져, 동작 속도와 전력소모면에서 불리하다. 이를 개선하기 위하여, 그림 4의 블럭다이아그램에서와 같이 위상누산기의 입력이 24-비트(L=24), 어드레스가 8-비트(A=8)이며, 10-비트(D=10)의 출력을 갖도록 Sine Look-up Table을 축소시켜 사용함과 동시에 위상누산기와 Sine Look-up Table 사이에 잡음정형기(Noise Shaper)를 부과한 개선된 새로운 구조로 DDFS를 설계하였다.

위상누산기는 BCD-DDFS에서와 같이 24-비트의 주파수 조정 입력 레지스터, 2진-전가산기(Full Adder)와 위상 값을 저장하는 위상레지스터로 구성하였다. 앞의 위상누산기는 2진 방식의 출력 값을 얻고 고속 연산 속도를 얻기 위하여, 각 자리 비트를 합산하기 전에 캐리(Carry)를 미리 계산해 두는 Carry look-ahead Adder¹¹⁰⁾ 방식으로 24-비트의 2진 전가산기로 로직을 구성하였고, 레지스터들은 D type Flip-Flop을 사용하였으며, 위상누산기의 출력 24-비트중 상위 22-비트만 잡음정형기로 입력되도록 구성하였다.

잡음정형기는 L-비트의 위상누산기에서 그 출력중 상위 K 비트를 어드레스로 사용한 경우, 발생한 (L-K)비트의 위상잘림(Phase Truncation)에 의한 신호 대역에서 발생한 잡음을 감소시키기 위해서 ROM과 위상누산부 중간에 인가한 기능 회로를 지칭하며, 전단인 위상누산기에서 발생한 Glitch들을 제거하고 합성된 주파수가 클럭 주파수보다 낮은 경우, 진성 Oversampling이 발생하게 됨으로 이를 이용하여 위상트런케이션으로 발생한 잡음을 감소^{111,12)} 시키며, 저역통과 필터 역할을 하기도 한다. 따라서 본 설계에서의 잡음정형기는 앞단의 위상누산기와 같은 구조로 구성되어 있으나 효율을 높이기위하여 2단의 잡음정형기를 이용하였다. 제 1단의 잡음정형기는 22 비트의 전

가산기를 사용하여 22개의 출력 비트중 상위 14-비트만 제 1단의 잡음정형기로 보내고 제 2단의 잡음정형기는 14-비트의 전가산기를 사용하여 14개의 출력 비트중 상위 6-비트만 Sine Look-up Table의 어드레스비트로 사용함으로써 어드레스 수를 감소시켜 Sine Look-up Table의 크기를 축소할 수 있도록 구성하였다. 또한, 후단의 잡음정형기의 출력 최상위 비트는 Sign 제어 비트로, 다음 상위 비트는 Quadrant 제어 비트로 각각 사용하였다.

Sine Look-up Table은 BCD-DDFS의 구조에서와 같이 논리조합 (Combinational Logic)으로 구성하였다. 64개의 표본 Sine 샘플 값으로 Sine Look-up Table을 구성하였고, Sine 함수의 값을 0에서 64-level까지 환산하여 1/4주기, 즉 $0 - \pi/2$ 까지의 값을 나타내도록 하였다. Sine Look-up Table의 최종 출력이 $0 - 2\pi$ 까지의 완전한 Sine파형을 얻기 위해서 어드레스의 Quadrant 제어 비트와 1/4주기의 출력 단의 보수를 취하여 반주기의 출력을 얻고, 다시 Sign 제어 비트와 반주기의 출력 단의 보수를 취하였다. 최종단의 레지스터는 D-type Flip-Flop으로 구성되었으며, Look-up Table 출력 데이터들이 동기될 수 있도록 사용하였다.

로직 설계시 개선된 DDFS가 50MHz 클럭에서 동작할 수 있도록 각 Gate들의 Ramp Delay는 3ns 이내가 되도록 조절하였고, 배치/배선 후에도 Ramp Delay는 3ns 이내로 맞출 수 있었으며, Logic Simulator을 이용하여 Simulation을 수행한 결과 구동클럭이 50MHz에서도 동작함을 확인하였다.

V. 칩 레이아웃과 공정

설계 완료된 DDFS들의 디바이스 레이아웃과 공정은 1.0 μ m CMOS Gatearray 기술을 이용하여 Chip을 구현하였다. 디바이스 레이아웃은 COMPASS Tool의 Gate Compiler를 이용하였고, Base Array로서는 12,000 Gate의 VGT300039(6.562x6.562mm²) 원판을 사용하였다. Chip의 블럭을 설정하는데 Base Array 전체를 사용하지 않고 그림 5와 그림 6에서와 같이 Tool이 자동 조정된 적합한 면적을 이용한 배치/배선(Place & Route)을 수행하게 하여 면적을 최소화함으로써 가능한 높은 주파수에서 안정되게 동작하도록 하였다. 설계에 사용된 Library는 COMPASS 1.0

μm CMOS Portable Library만 사용하였으며, Chip의 배치 및 배선 과정에서는 설계된 DDFS가 50MHz에서 동작하도록 시스템 클럭이나 홉핑 클럭같이 중요한 불럭이나 Critical Path가 있는 부분은 배치/배선 시 Weight를 주어 배치 알고리즘 상의 Seed역할을 하도록 하여 레이아웃 하였다. 이후 Physical Layout으로 변형시키기 위해 Merge과정을 거쳤으며, 또한 배치/배선 과정에서 추출한 Net의 저항과 Loading Capacitance 값으로 Post Simulation을 수행하여 정상 동작함을 확인하였다. Pad에 신호를 할당할 때는 Ground Bouncing에 의한 잡음을 최소화하기 위해 출력 전류의 누계가 40mA를 초과하지 않도록 접지선(Vss)을 하나씩 추가하였으며 Pad가 모자라면 Double Bonding으로 처리하였다.

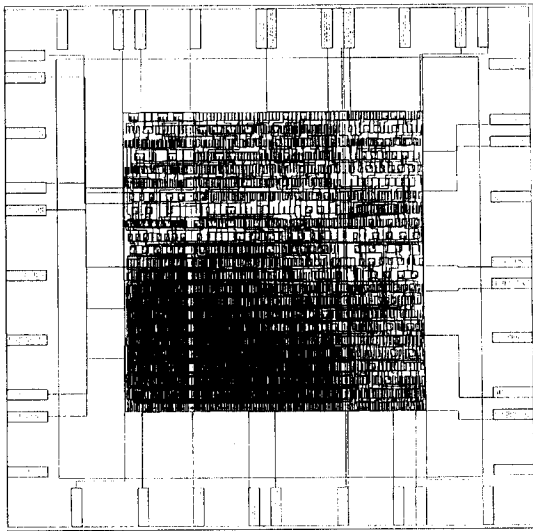


그림 5. BCD-DDFS의 배치/배선 상태도
Fig. 5. BCD-DDFS Layout after Placement/Route.

공정은 VTI와 호환되게 개발한 $1.0\mu\text{m}$ SOG CMOS공정으로 Wafer 2장을 1차에 걸쳐 제작하였으며, 제작후 Wafer상태의 시험으로 기능을 확인한 후에는 Wafer Back Lapping을 거쳐 44-Pin PLCC Package에 각각 실장하였다. 이후 Package 상태에서 DC, AC 시험을 수행하여 양품을 선별한 후 Evaluation Board에서 측정하였다.

VI. 측정 결과 및 토의

공정이 끝난 두종의 DDFS Chips 특성 측정 결과를

표 1에 나타내었으며, 모든 동작하는 두종의 디바이스들은 각각, 동일한 특성을 얻을 수 있었다.

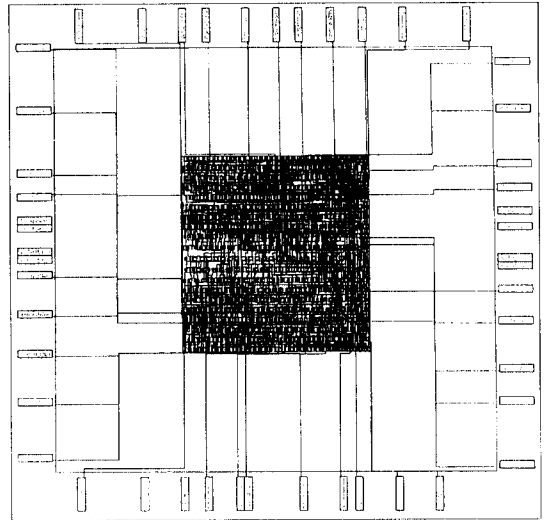


그림 6. 2진-DDFS의 배치/배선 상태도
Fig. 6. Binary-DDFS Layout after Placement/Route.

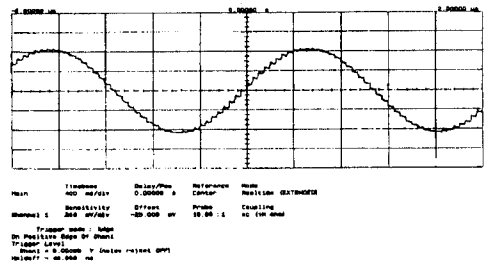
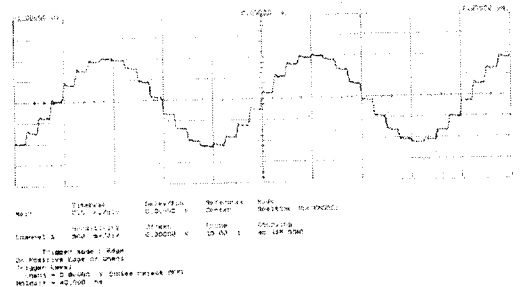


그림 7. $F_{clk}=20\text{MHz}$, $F_{out}=455\text{kHz}$, $F_{clk}=20\text{MHz}$, $F_{out}=1.2\text{MHz}$ 인 8-비트 DAC의 아나로그 출력 파형
Fig. 7. DDFS Analog Output Using 8-bit DAC for $F_{clk}=20\text{MHz}$, $F_{out}=455\text{kHz}$, $F_{clk}=20\text{MHz}$, $F_{out}=1.2\text{MHz}$

그림 7에서는 그 대표적인 아나로그 출력 파형을 보여 주고 있다. B-DDFS와 BCD-DDFS의 최대 클럭 주파수는 각각, 50MHz와 40MHz로 측정되었고, 이 클럭 주파수에서 각각, 25MHz와 20MHz의 최대 합성 주파수를 얻을 수 있었다. 그림 8에서는 $F_{clk}=2.0\text{MHz}$ 와 $F_{out}=455\text{kHz}$ 에서 출력 스펙트럼을 보여주고 있다. 그림 9에서는 B-DDFS에서 $F_{clk}=33.3\text{MHz}$, $F_{out}=8.333\text{MHz}$ 와 $F_{clk}=33.3\text{MHz}$, $F_{out}=2.083\text{MHz}$ 인 8-비트 DAC의 아나로그 출력 스펙트럼의 Spectral Purity 측정 결과를 나타내고 있다. 그림 9의 출력 스펙트럼에서 -41.67dBc 의 스퍼리어스 성분은 8-비트 DAC의 해상도를 사용한 결과이며, 10 비트 해상도를 갖는 DAC을 사용하면 Spectral Purity는 더욱 개선 될 것으로 예상할 수 있다. 측정 장비로서는 HP 54504A Digitizing Oscilloscope와 HP8563 Spectrum Analyzer를 각각 사용하였다.

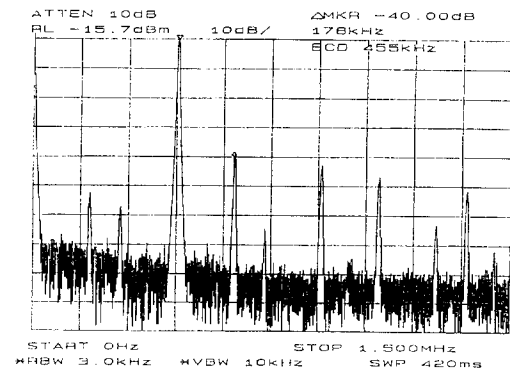
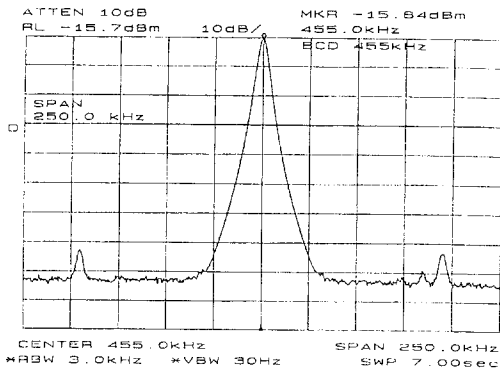


그림 8. BCD-DDFS에서 $F_{clk}=2.0\text{MHz}$ 와 $F_{out}=455\text{kHz}$ 인 8-비트 DAC의 아나로그 출력 스펙트럼

Fig. 8. BCD DDFS Analog Output Using 8 bit DAC for $F_{clk}=2.0\text{MHz}$ and $F_{out}=455\text{kHz}$.

두종의 DDFS 출력 스펙트럼의 Spectral Purity 성능을 비교하기 위하여 합성 출력 주파수가 클럭 주파수의 1/4에 해당하는 경우의 측정 결과를 살펴보면 그림 8과 그림 9에 나타난 바와 같이 각각, -40.00dBc 와 -41.67dBc 로서 후자인 B DDFS의 출력이 개선되었음을 알 수 있다. 결과로서 낮은 주파수대역($F_{clk}=2\text{MHz}$, $F_{out}=455\text{kHz}$ 미만)에서는 잡음 발생면에서 BCD-DDFS가 B-DDFS보다 안정된 합성주파수를 발생시켰지만, 높은 주파수 대역($F_{clk}=33.3\text{MHz}$, $F_{out}=4.2\text{MHz}$ 이상)에서는 B-DDFS가 BCD-DDFS보다도 주파수 안정도 및 잡음발생율에서 개선되었음을 볼 수 있다.

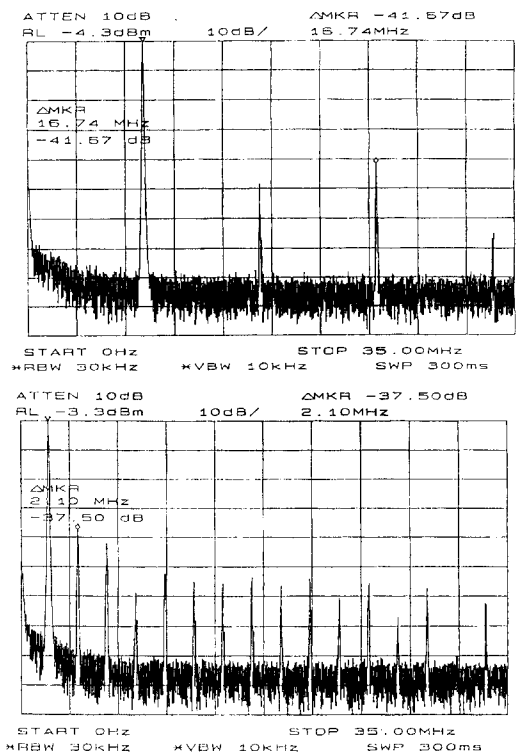


그림 9. B-DDFS에서 $F_{clk}=33.3\text{MHz}$, $F_{out}=8.333\text{MHz}$ 와 $F_{clk}=33.3\text{MHz}$, $F_{out}=2.083\text{MHz}$ 인 8 비트 DAC의 아나로그 출력 스펙트럼

Fig. 9. B-DDFS Analog Output Using 8 bit DAC for $F_{clk}=33.3\text{MHz}$, $F_{out}=8.333\text{MHz}$ and $F_{clk}=33.3\text{MHz}$, $F_{out}=2.083\text{MHz}$.

디지털 주파수 합성기에서 잡음 발생원으로서는, 위상 잡음과 한정된 Sine ROM 데이터에 의해 발생한 오차라고 일반적으로 알려졌다^[13,14]. 전자는 위상 양자화 잡음으로서 초기 주파수 값의 누산처리 과정에서

표 1. 구현한 DDFS의 특성 요약
Table 1. DDFS Chip Specifications.

	BCD-DDFS	Binary-DDFS
Technology	1.0μm Twin-well, Double Poly, Double Metal CMOS	1.0μm Twin-well, Double Poly, Double Metal CMOS
Die Size	6.562 x 6.562 mm ²	6.562 x 6.562 mm ²
# of Sine Samples	500 samples	64 samples
Gate Count(ROM)	963	62
Total Gate Count	4,505	4,092
Power Consumption	I _{cc} =60.25 mA @5V, 40MHz	I _{cc} 55.29 mA @5V, 40MHz
Max. Clock Freq.	40MHz	50MHz
Switching Time	125ns(@40MHz Clock)	100ns(@50MHz Clock)
Tuning Latency	5 Clock Latency	5 Clock Latency
Tuning Bandwidth	10MHz(f _{clk} =40MHz)	12.5MHz(f _{clk} =50MHz)
Freq. Resolution	10Hz	2.99Hz
Output Word Length	8-bit	10-bit

발생하고, 후자는 DDFS의 표본화(Sampling)과정에서 실제 Sine파형을 진폭 값에 대응하여 출력 진폭 데이터를 Sine ROM에 저장하게 함으로써 나타나게 되며, Alias 신호와 스퍼리어스 신호로서 전 영역에 걸친 잡음을 발생한다. 또한, 이외에도 디지털-아날로그 변환기의 비선형성에 기인한 왜곡 현상으로 발생하기도 한다. 이 중 주파수 합성기의 성능에 가장 큰 영향을 주는 것이 위상 잘림에 의해서 발생한 스퍼리어스 신호로 알려져있다^[9,13].

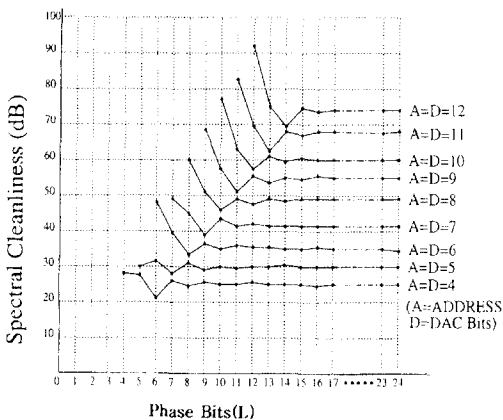


그림 10. DDFS구조에서 위상누산 비트수(L) 대 스펙트럼 순수도
Fig. 10. Number of Phase Bits(L) vs. Spectral Cleanliness.

그림 10와 그림 11에서는 참고문헌^[14]에서와 같이

설계한 DDFS구조들의 입력 어드레스와 DAC-비트 수에 대한 출력 스펙트럼을 비교하기 위해서 수학적으로 해석하기 위한 FFT(Fast Fourier Transformation) 시뮬레이션결과를 나타내며, 각각, 위상누산 비트 수(L)와 DAC-비트 수(D)의 변화에 따른 스펙트럼 순수도(Spectral Cleanliness)를 보여주고 있다. 스펙트럼 순수도는 어드레스 비트와 DAC 비트 수가 증가하면 그림 10에서와 같이 개선된다. 그림 11에서와 같이 DAC 비트가 하나씩 증가할 때 마다, 어드레스와 DAC의 비트 수가 같을 경우에는 스펙트럼의 순수도는 6dB/bit씩 개선되는 반면, DAC 비트수=어드레스 비트수-2(또는 3)일 경우에, 스펙트럼의 순수도는 8.5dB/bit씩 개선됨을 알 수 있다. 또한, 고정된 어드레스 비트 수에 대하여 출력 비트 즉 DAC-비트 수가 증가하여도 DDFS의 출력 스펙트럼 순수도는 더 이상 개선되지 않고 있음을 볼 수 있다. 따라서, 그림 10과 그림 11에서와 같이 본 연구에서 설계한 BCD-DDFS(L=24, A=14, D=8)와 잡음정형기를 부착한 DDFS(L=24, A=8, D=10)의 스펙트럼 순수도는 각각, 약 65dB, 48dB로 계산됨을 예상할 수 있다.

본 연구에서는 Sine ROM에 저장한 Sine 샘플 값이 BCD-DDFS의 경우가 B-DDFS의 경우보다 약 8:1로 크고, 또한, Sine ROM의 입력으로 사용하는 어드레스 수도 کم으로, BCD-DDFS의 출력 스펙트럼의 잡음 수위는 B-DDFS의 출력 스펙트럼보다도 개선된 것으로 예상되나, 실제 설계결과에서는 그림 8과 그림

9에서와 같이 잡음정형기를 부과한 B-DDFS의 출력 스펙트럼이 개선되었음을 알 수 있다. 이 현상은 잡음정형기를 부과한 B-DDFS의 경우 합성된 출력 주파수가 사용한 클럭 주파수보다 낮으면 진성(Intrinsic) Oversampling이 발생하므로 위상 잘림에 의해서 발생한 위상 오차를 줄여 잡음을 개선한 것으로 볼 수 있으며, 사용된 잡음정형기의 출력인 Sine ROM 어드레스를 보정하여 Sine 값인 샘플링 데이터의 출력 간격을 길게 하는 Oversampling이 발생한 것으로 추정할 수 있다¹³⁾. 또한, 그림 9, 그림 10과, 그림 11의 결과를 비교하여 보면, 두 DDFS의 스펙트럼 순수도가 50dB로 동일함을 확인할 수 있다. 그러나, 종래 구조의 DDFS는 ROM Size(약 1,900 gates)가 상대적으로 매우 큼으로 잡음정형기를 부착한 DDFS가 추가적인 하드웨어의 증가(약 1,500 gates)에도 불구하고 동작 속도의 측면에서 우수하며, 전력 소모면에서도 잡음정형기를 부착한 DDFS가 더 유리함이 실험적으로 판명되었다.

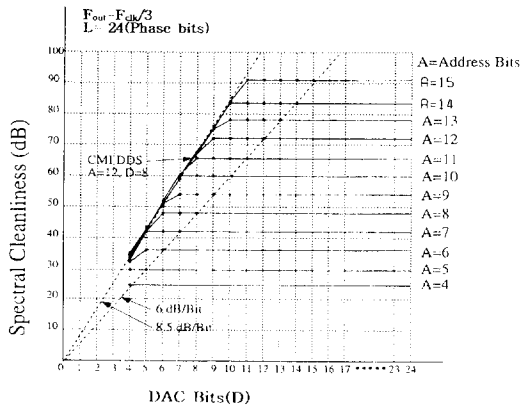


그림 11. DDFS구조에서 DAC 비트수(D) 대 스펙트럼 순수도

Fig. 11. Number of DAC Bits(D) vs. Spectral Cleanliness.

VII. 결 론

직접 디지털주파수합성기의 성능 개선 연구로서 두 종류의 직접디지털주파수합성기를 설계하여 1.0 μ m CMOS SOG기술로 구현하였으며, 위상누산기의 비트 수(L), 어드레스 비트 수(A)와 Sine ROM의 출력 비트 수(D)들에 의한 출력 스펙트럼의 성능을 비교 분석하였다.

종래구조의 BCD-DDFS의 Sine Look-up Table에서는 2^{12} (4,096)개의 어드레스에 해당하는 256-level의 1,000개의 Sine 값을 저장하고 있기 때문에 Chip 크기가 커져, 동작 속도와 전력소모면에서 불리하다. 이를 개선하기 위하여, 위상누산기의 입력이 24-비트(L=24), 어드레스가 8 비트(A=8)이며, 10-비트(D=10)의 출력을 갖는 Reduced Sine Look up Table 방식과 위상누산기와 Sine Look-up Table 사이에 위상누산기의 위상 잘림(Truncation)에 의한 출력 스펙트럼의 영향과 Sine ROM축소에 따른 성능 저하를 최소화하기 위하여 잡음정형기(Noise Shaper)를 부과한 새로운 구조의 DDFS를 설계하여 Chip으로 구현하였다.

구현 결과, 개선된 직접 디지털주파수합성기 구조에서 위상 잘림으로 발생한 위상오차를 줄여 잡음수위를 기준방식의 수준(40dBc Worst Case Spurious)으로 유지한 반면, 기준방식에 비해 동작속도(40MHz에서 50MHz로)와 전력소모의 특성을 약 20% 개선한 효과를 얻었다.

감사의 글

※ 이 논문은 1995년도 한국전자통신연구원의 기초연구사업비에 의하여 연구되었으며, 그 일부를 발표한 것임. DDFS 디바이스의 측정에 협조하여주신 정진 전자(주)에게 감사드립니다.

참 고 문 헌

- [1] V. Manassewitsch, "Frequency Synthesizer, Theory and Design," 2nd ed. New York: Wiley, 1989.
- [2] J. Browne, "DDS Technology Fulfills Promise of Speed and Accuracy," *Micro waves & RF*, vol. 28, no. 9, Sept, 1989, pp 153-158.
- [3] J. Tierney, C. M. Rader, and B. Gold, "A digital frequency synthesizer," *IEEE Trans. Audio Electroacoust.*, vol AU-19, pp. 48-57, 1971.
- [4] Loke K. Tan, et. al., "An 800MHz Quadrature Digital Synthesizer with ECL-Compatible Output Drivers in 0.8mm

- CMOS," in ISSCC Dig. Tech. Papers, Feb. 1995, pp 258-259.
- [5] 이종선, 유영갑, 김대용, "The DDFS Design with Multi-ROM and Noise Shaper," Proc. The 3rd Korean Conference on Semiconductors, 1996, pp. 515-516.
- [6] "Q2334 Dual Direct Digital Synthesizer Technical Data Sheet," Qualcomm Inc., San Diego, CA. June 1990.
- [7] D. A. Sutherland, et al, "CMOS/SOS Frequency Synthesizer LSI Circuit for Spread Spectrum Communications," IEEE J. Solid State Circuits, vol. SC-19, pp. 497-505, Dec. 1984.
- [8] "Q2220 Direct Digital Synthesizer Technical Data Sheet," Qualcomm Inc., San Diego, CA. June 1990.
- [9] Henry T. Nicholas, III and Henry Samueli, "A 150-MHz Direct Digital Frequency Synthesizer in 1.25- μ m CMOS with -90-dBc Spurious Performance," IEEE J. Solid State Circuits, vol. SC-26, pp. 1959-1969, Dec. 1991.
- [10] Neil H. E. Weste and K. Eshraghian, Principles of CMOS VLSI Design," Chap. 5, 2nd ed. New York: Addison Wesley, 1993.
- [11] Paul O'Leary and Franco Maloberti, "A Direct-Digital Synthesizer with Improved Spectral Performance," IEEE Trans. Communications, vol 39, pp. 1046-1048, 1991.
- [12] 유홍균 외 4인, "저전압 CMOS test vehicle(주파수합성기)설계에 관한 연구," ETRI 최종 연구보고서, 1993. 11
- [13] Henry T. Nicholas, III and Henry Samueli, "An analysis of the output spectrum of direct digital frequency synthesizers in the presence of phase accumulator truncation," IEEE Proc. 41st Annu. Frequency Cont. Symp. 1987, pp. 495-502.
- [14] Joseph F. Garvey and Daniel Babitch, "An Exact Spectral Analysis of a Number Controlled Oscillator Based Synthesizer," IEEE Proc. 41st Annu. Frequency Cont. Symp. 1987, pp. 511-521.

 저 자 소 개



李鍾先(正會員)

1969年 4月 7日生. 1993年 2月 충북대학교 정보통신공학과 졸업(공학사). 1997年 2月 충북대학교 정보통신공학과 대학원졸업(공학석사). 1995年 11月 ~ 1996年 3月 한국전자통신연구원, ASIC설계연구실, 위촉연구원.

1996年 11月 ~ 현재 (주)한국통신카드, 연구원. 주관심 분야: 고속시스템설계, ASIC설계 등



金大容(正會員)

1949年 8月 13日生. 1988年 5月 텍사스주립대학교(Austin) 전기과(공학박사). 1973年 12月 ~ 1977年 3月 한국과학기술연구원, 연구원. 1977年 9月 ~ 현재 한국전자통신연구원, 책임연구원. 1992年 3月 ~ 현재 충북대

학교 정보통신공학과 겸임교수